

VIETNAM NATIONAL UNIVERSITY – HCM CITY
UNIVERSITY OF SCIENCE

ĐIỆN TỬ CƠ BẢN



CHƯƠNG IV: TRANSISTOR HIỆU ỨNG TRƯỜNG FET

Presenter: Nguyen Thi Thien Trang



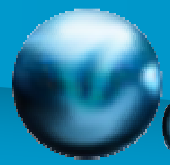
CHƯƠNG IV: TRANSISTOR HIỆU ỨNG TRƯỜNG FET

- Phân loại – Cấu tạo – Hoạt động
- MOSFET loại tăng
- MOSFET loại giảm
- Khuếch đại tín hiệu lớn
- Hoạt động chuyển mạch (giao hoán)

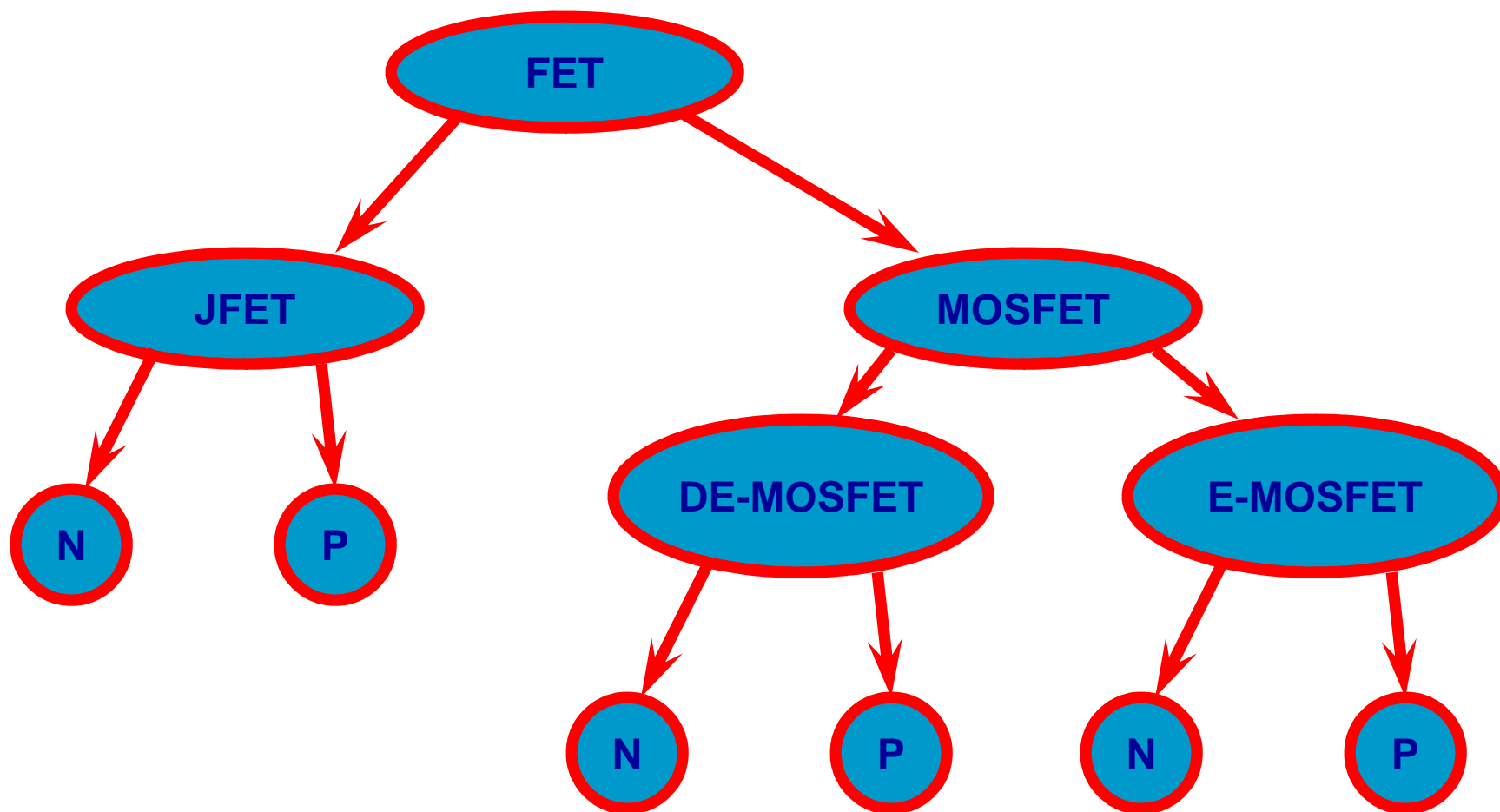


ĐẠI CƯƠNG VÀ PHÂN LOẠI

- FET (Field Effect Transistor) -Transistor hiệu ứng trường – Transistor trường.
- Có 2 loại:
 - **Junction field-effect transistor-JFET:** Transistor hiệu ứng trường điều khiển bằng tiếp xúc PN (hay gọi là transistor trường mối nối).
 - **Insulated- gate field effect transistor-IGFET:** Transistor có cực cổng cách điện.
- Thông thường lớp cách điện được dùng là lớp oxit nên còn gọi là metal - oxide - semiconductor transistor (viết tắt là MOSFET).
- Trong loại transistor trường có cực cổng cách điện được chia làm 2 loại là MOSFET kênh sẵn (DE-MOSFET) và MOSFET kênh cảm ứng (E-MOSFET).
- Mỗi loại FET lại được phân chia thành loại kênh N và kênh P.



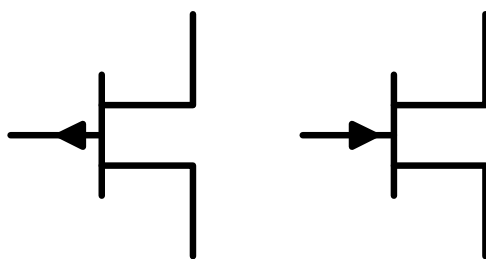
ĐẠI CƯƠNG VÀ PHÂN LOẠI





ĐẠI CƯƠNG VÀ PHÂN LOẠI

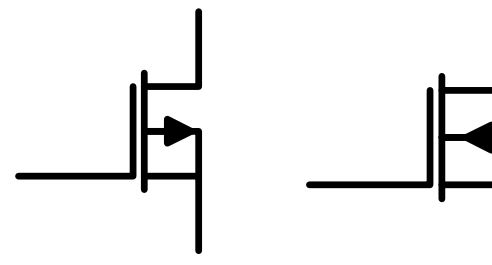
Ký hiệu



P

N

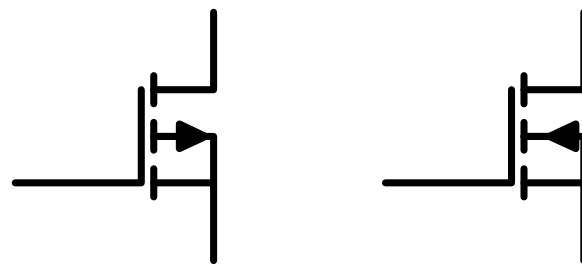
a). JFET



P

N

b). MOSFET kênh sẵn



P

N

c). MOSFET kênh cảm ứng

ƯU NHƯỢC ĐIỂM CỦA FET SO VỚI BJT

- **Một số ưu điểm:**
 - Dòng điện qua transistor chỉ do một loại hạt dẫn đa số tạo nên. Do vậy FET là loại cấu kiện đơn cực (unipolar device).
 - FET có trở kháng vào rất cao.
 - Tiếng ồn trong FET ít hơn nhiều so với transistor lưỡng cực.
 - Nó không bù điện áp tại dòng $I_D = 0$ và do đó nó là cái ngắt điện tốt.
 - Có độ ổn định về nhiệt cao.
 - Tần số làm việc cao.
- **Một số nhược điểm:** Nhược điểm chính của FET là hệ số khuếch đại thấp hơn nhiều so với transistor lưỡng cực.

SỰ GIỐNG VÀ KHÁC NHAU GIỮA FET VÀ BJT

- **Giống nhau:**

- Sử dụng làm bộ khuếch đại.
- làm thiết bị đóng ngắt bán dẫn.
- Thích ứng với những mạch trở kháng.

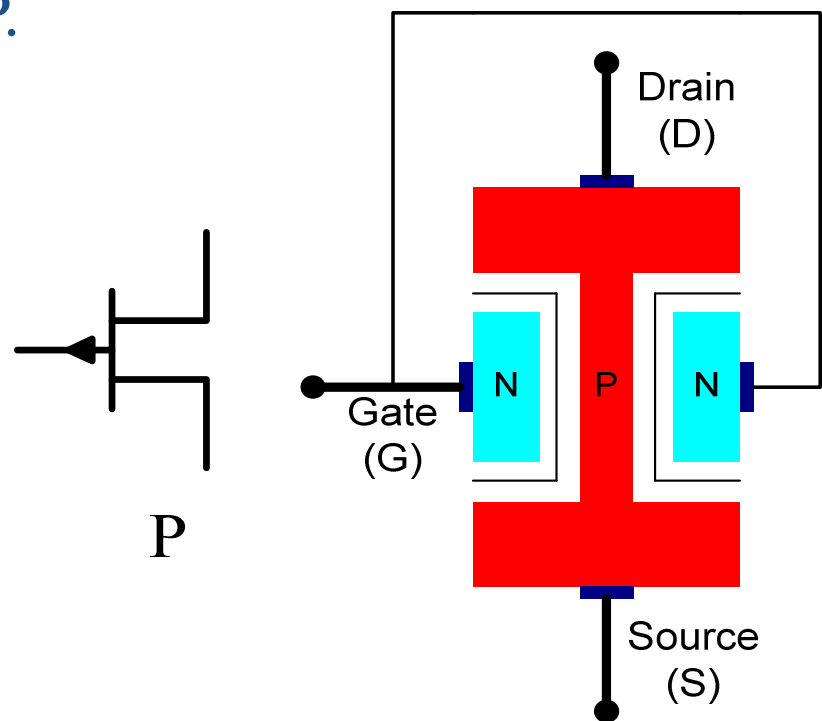
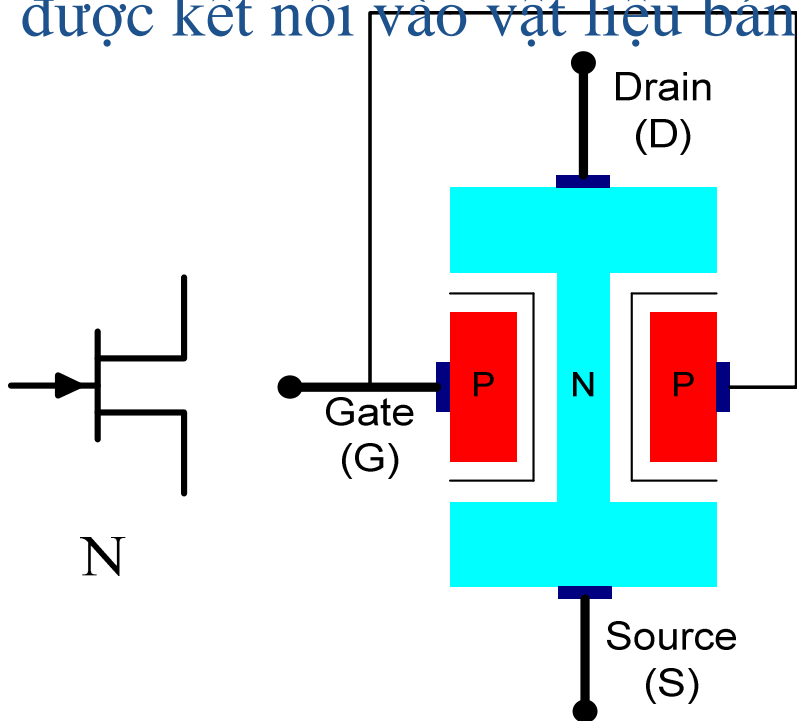
- **Một số sự khác nhau:**

- BJT phân cực bằng dòng, còn FET phân cực bằng điện áp.
- BJT có hệ số khuếch đại cao, FET có trở kháng vào lớn.
- FET ít nhạy cảm với nhiệt độ, nên thường được sử dụng trong các IC tích hợp.
- Trạng thái ngắt của FET tốt hơn so với BJT



CẤU TẠO JFET

Có 2 loại JFET : kênh N và kênh P. JFET kênh n thông dụng hơn. JFET có 3 cực: cực Nguồn S (source); cực Cửa G (gate); cực Máng D (drain). Cực D và cực S được kết nối vào kênh N. Cực G được kết nối vào vật liệu bán dẫn P.



CƠ BẢN VỀ HOẠT ĐỘNG CỦA JFET

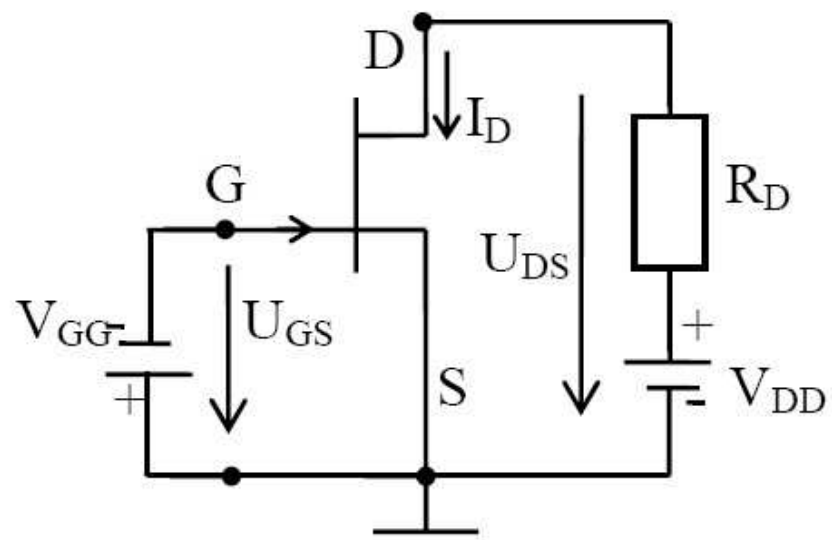
JFET hoạt động giống như hoạt động của một khóa nước.

- Nguồn áp lực nước-tích lũy các hạt e^- ở điện cực âm của nguồn điện áp cung cấp từ D và S.
- Ống nước ra - thiếu các e^- hay lỗ trống tại cực dương của nguồn điện áp cung cấp từ D và S.
- Điều khiển lượng đóng mở nước-điện áp tại G điều khiển độ rộng của kênh n, kiểm soát dòng chảy e^- trong kênh n từ S tới D.

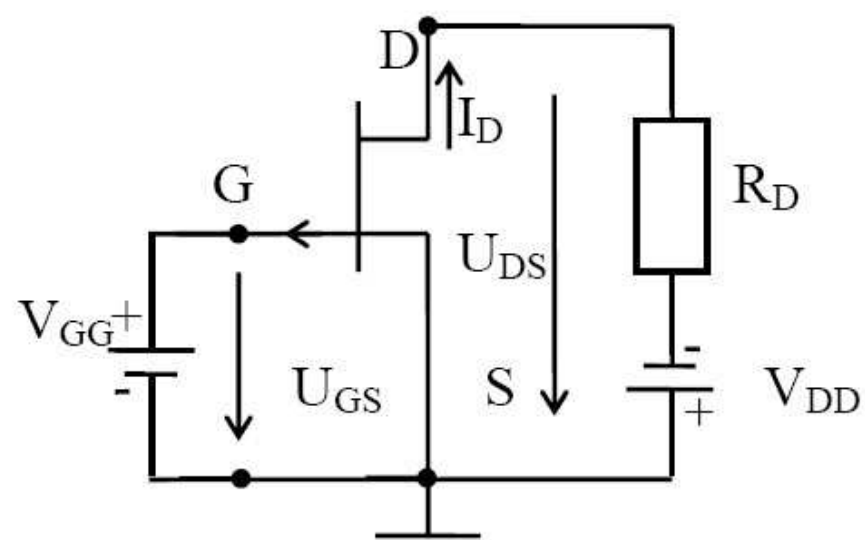




SƠ ĐỒ MẠCH JFET

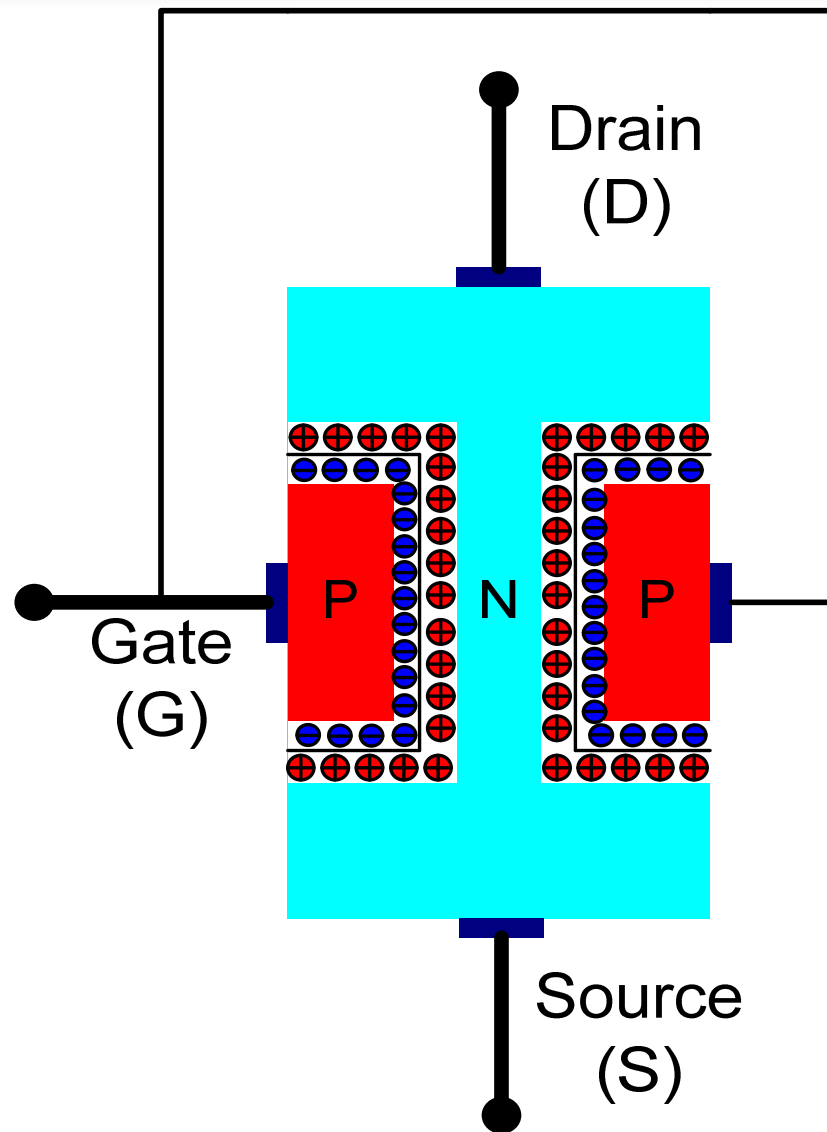


a/ JFET kênh N

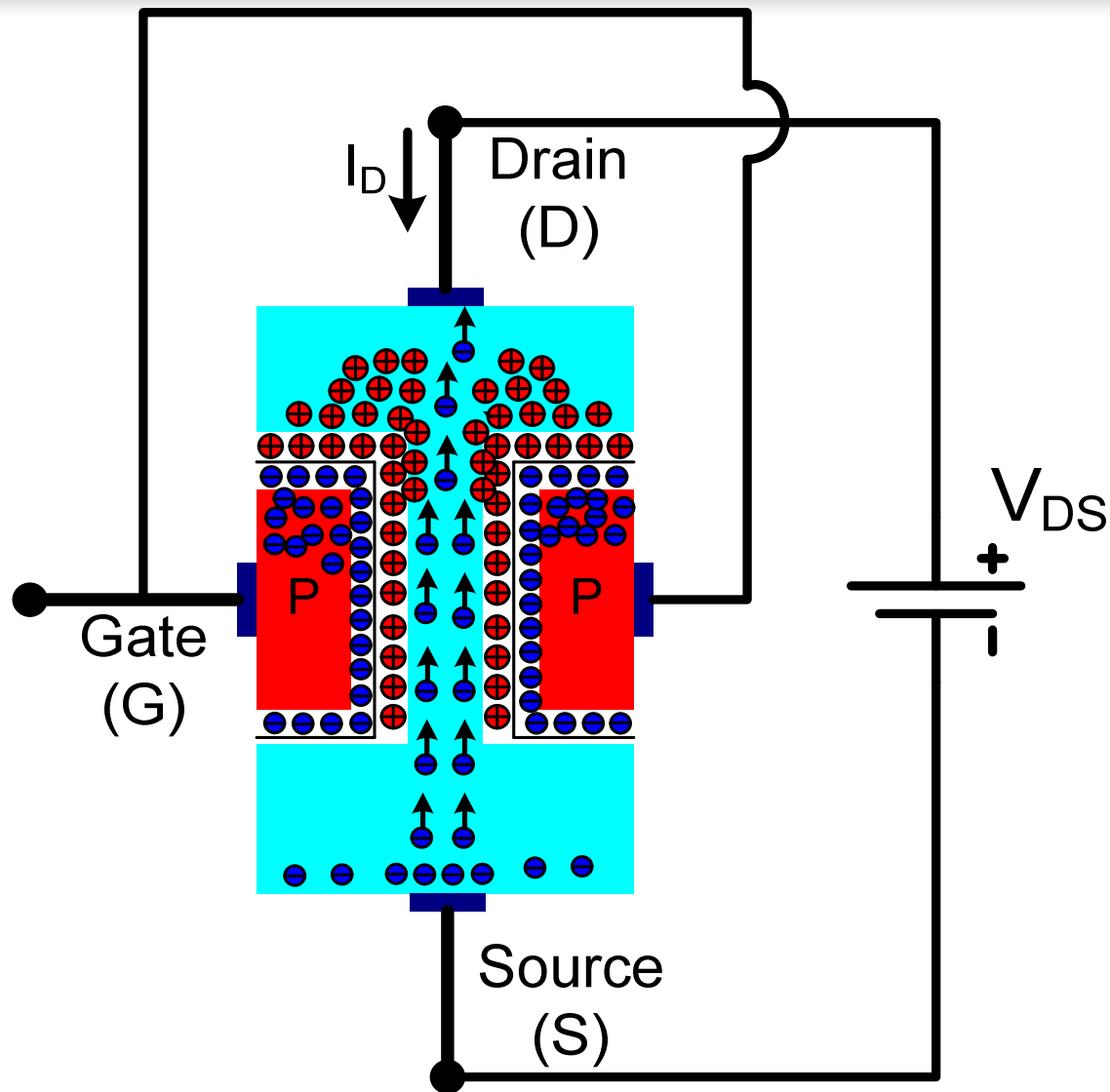


b/ JFET kênh P

JFET KÊNH N KHI CHỨA PHÂN CỰC

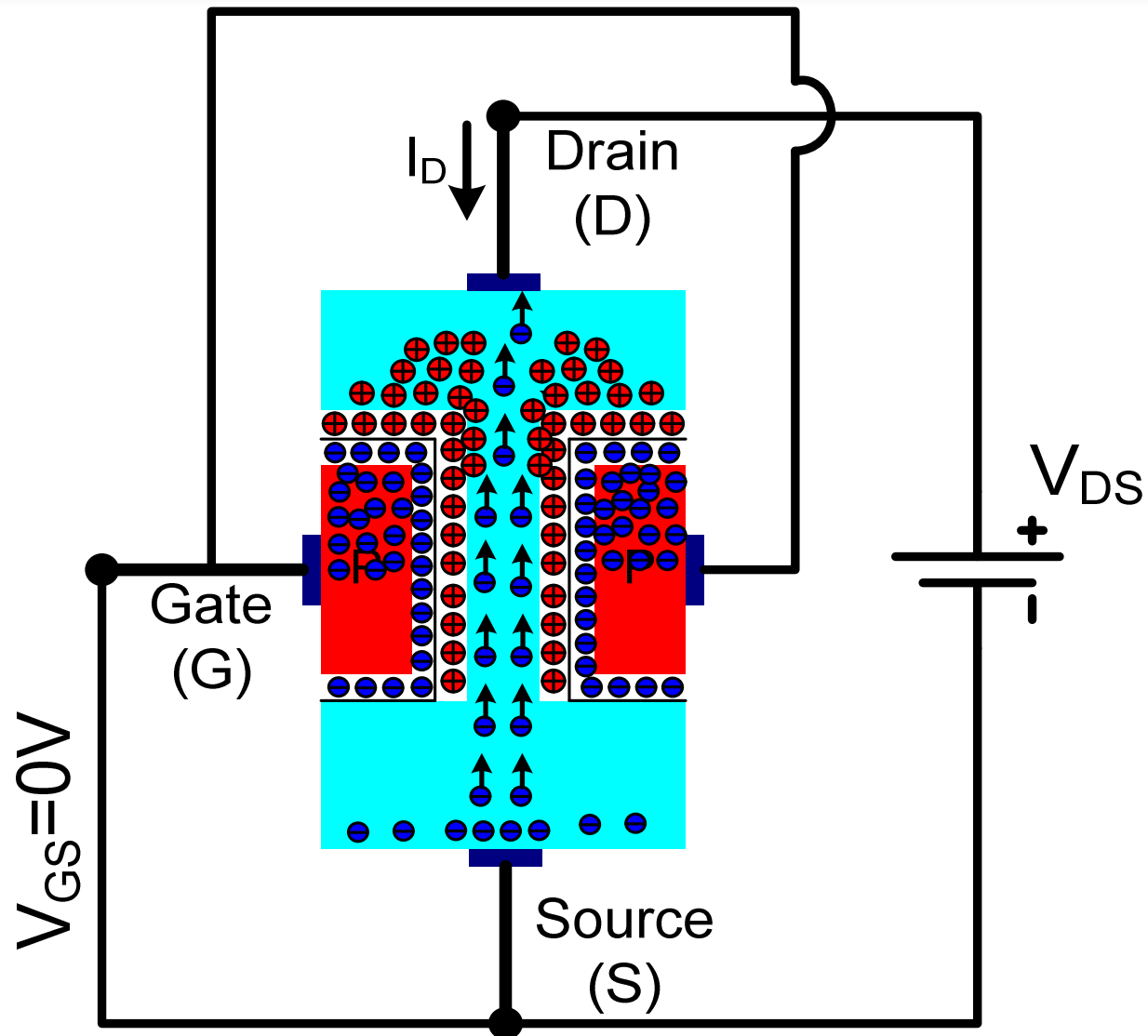


JFET kênh N khi đặt điện áp vào D và S, chân G không kết nối



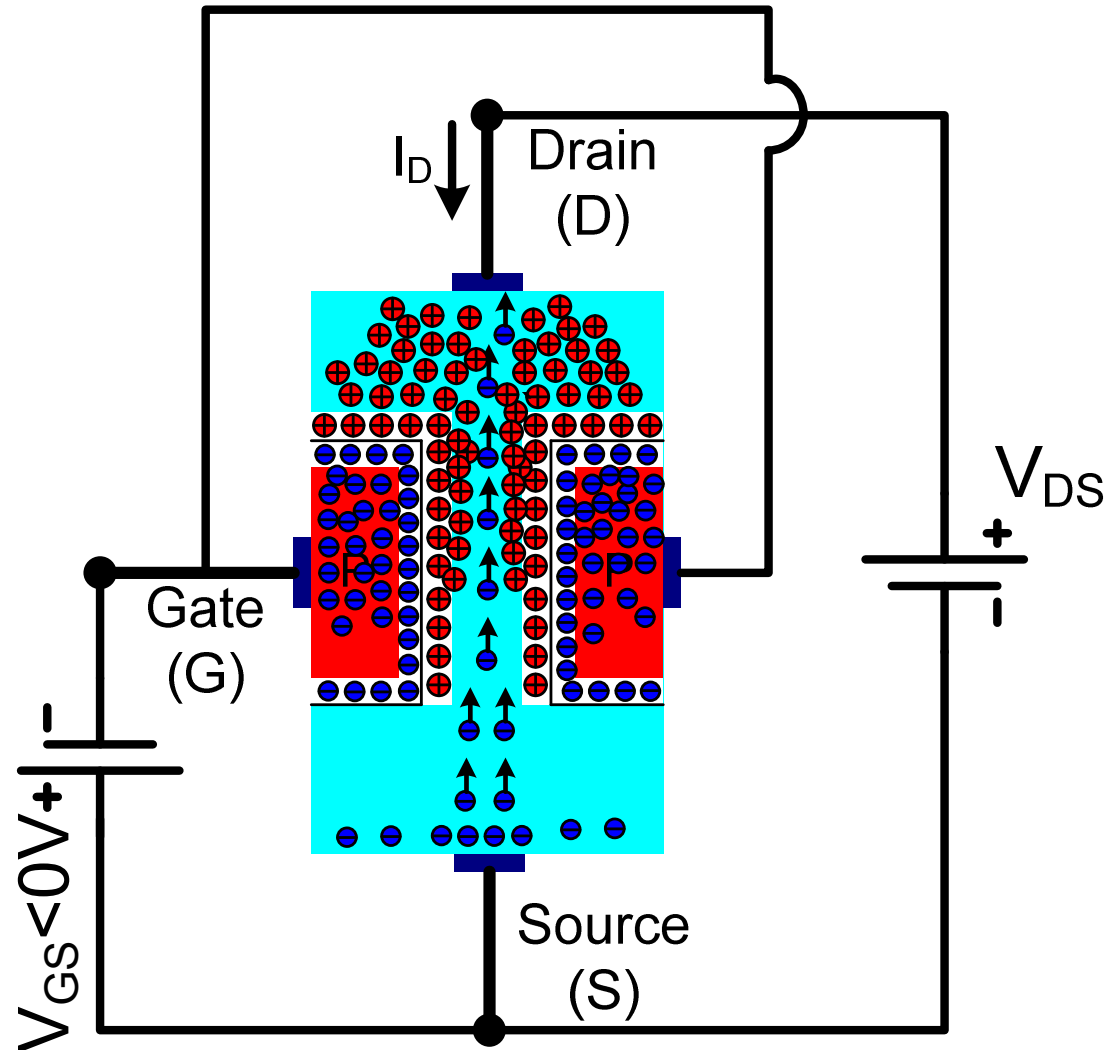


JFET kênh N khi phân cực bão hòa



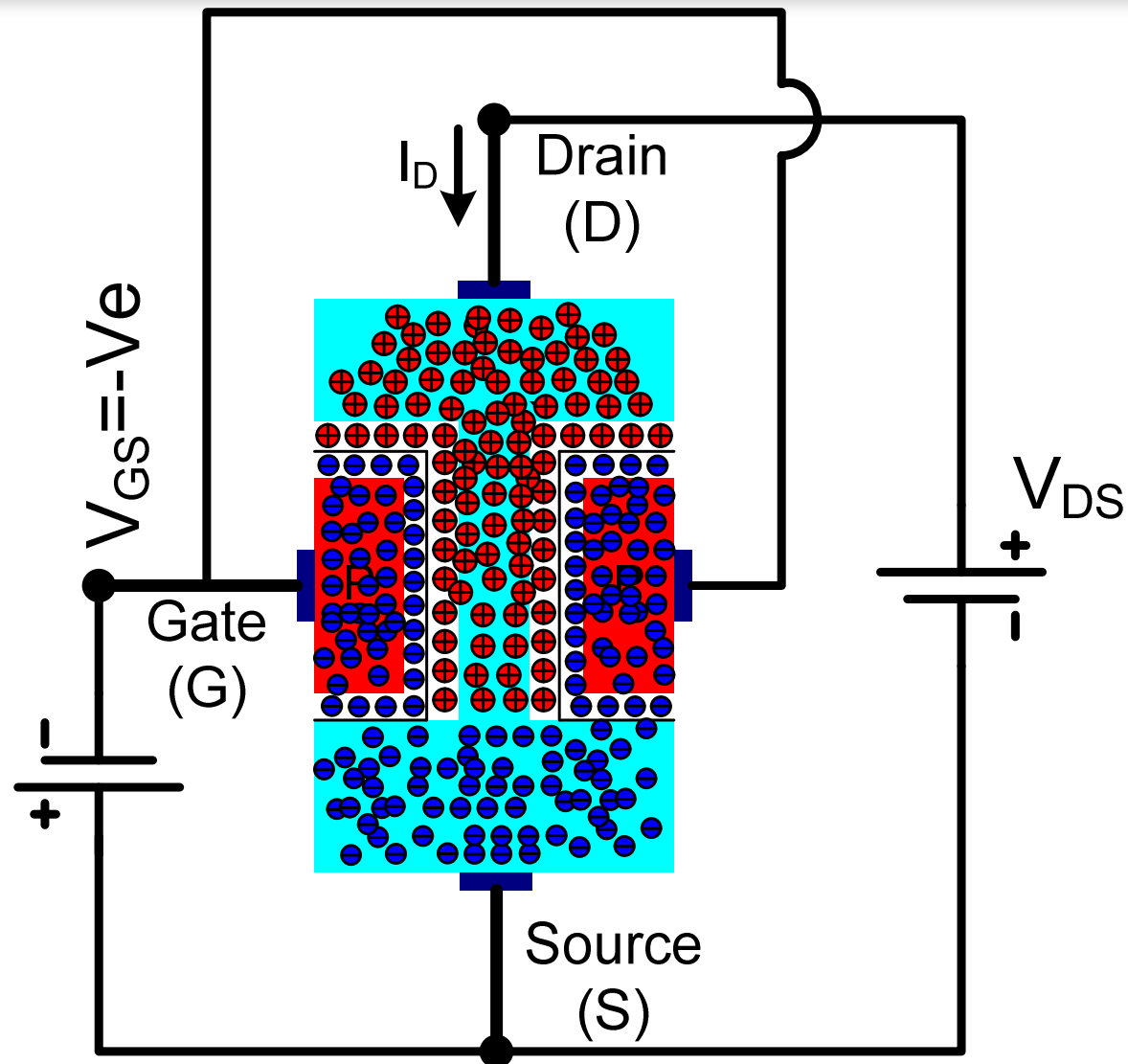


JFET KÊNH N PHÂN CỰC

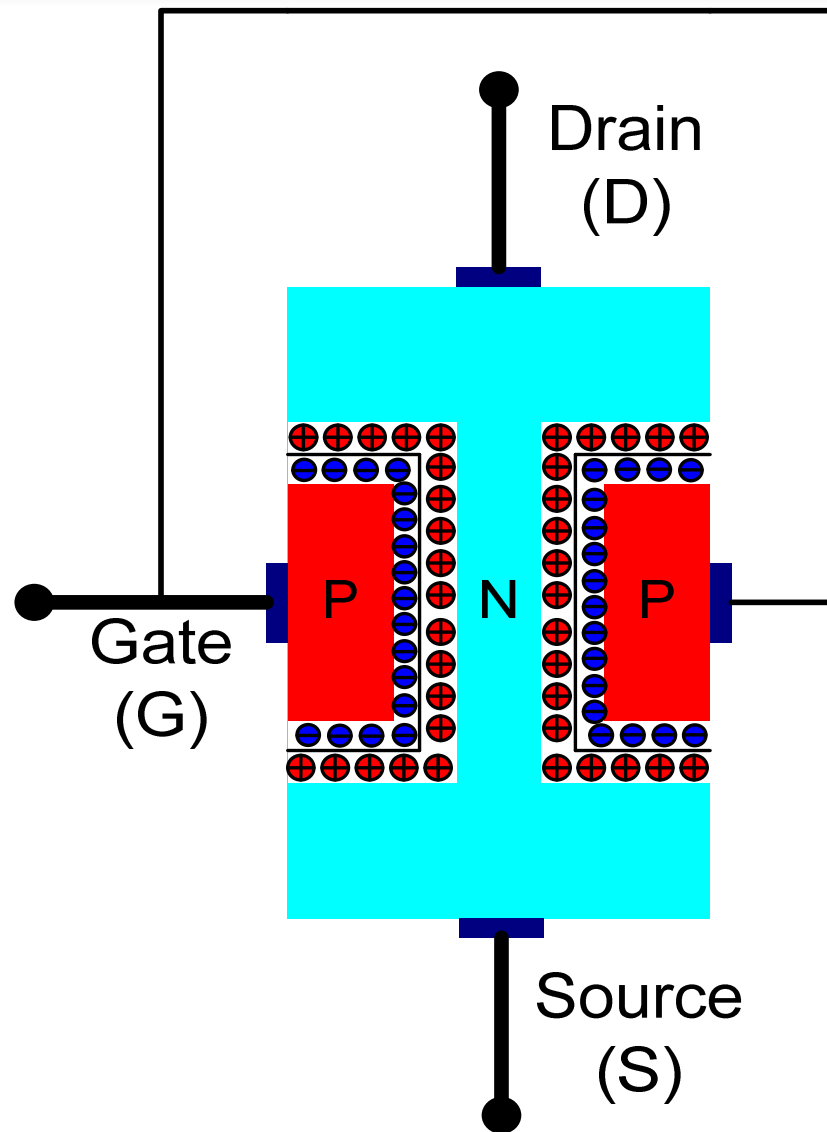




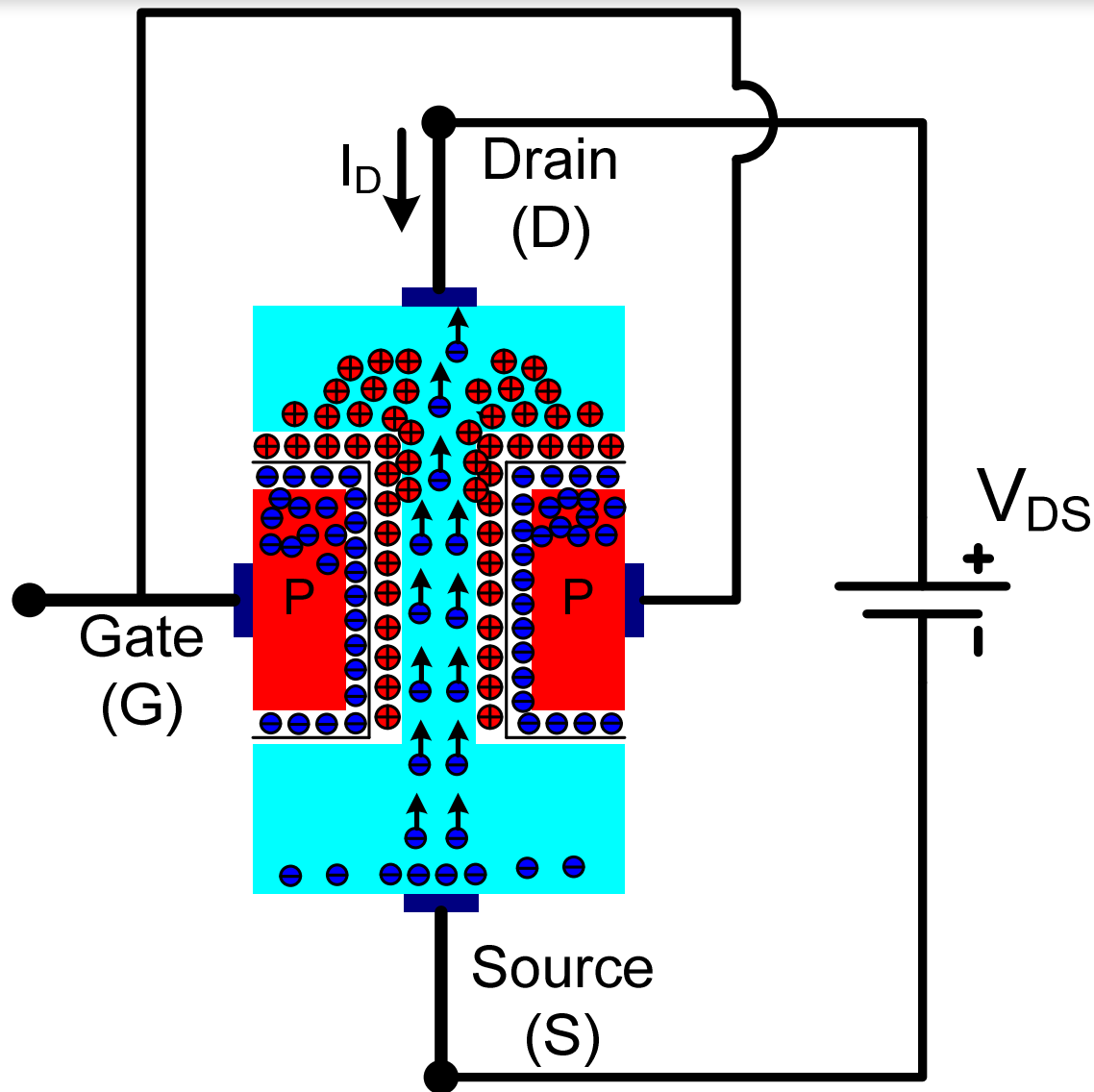
JFET KÊNH N Ở CHẾ ĐỘ NGỪNG



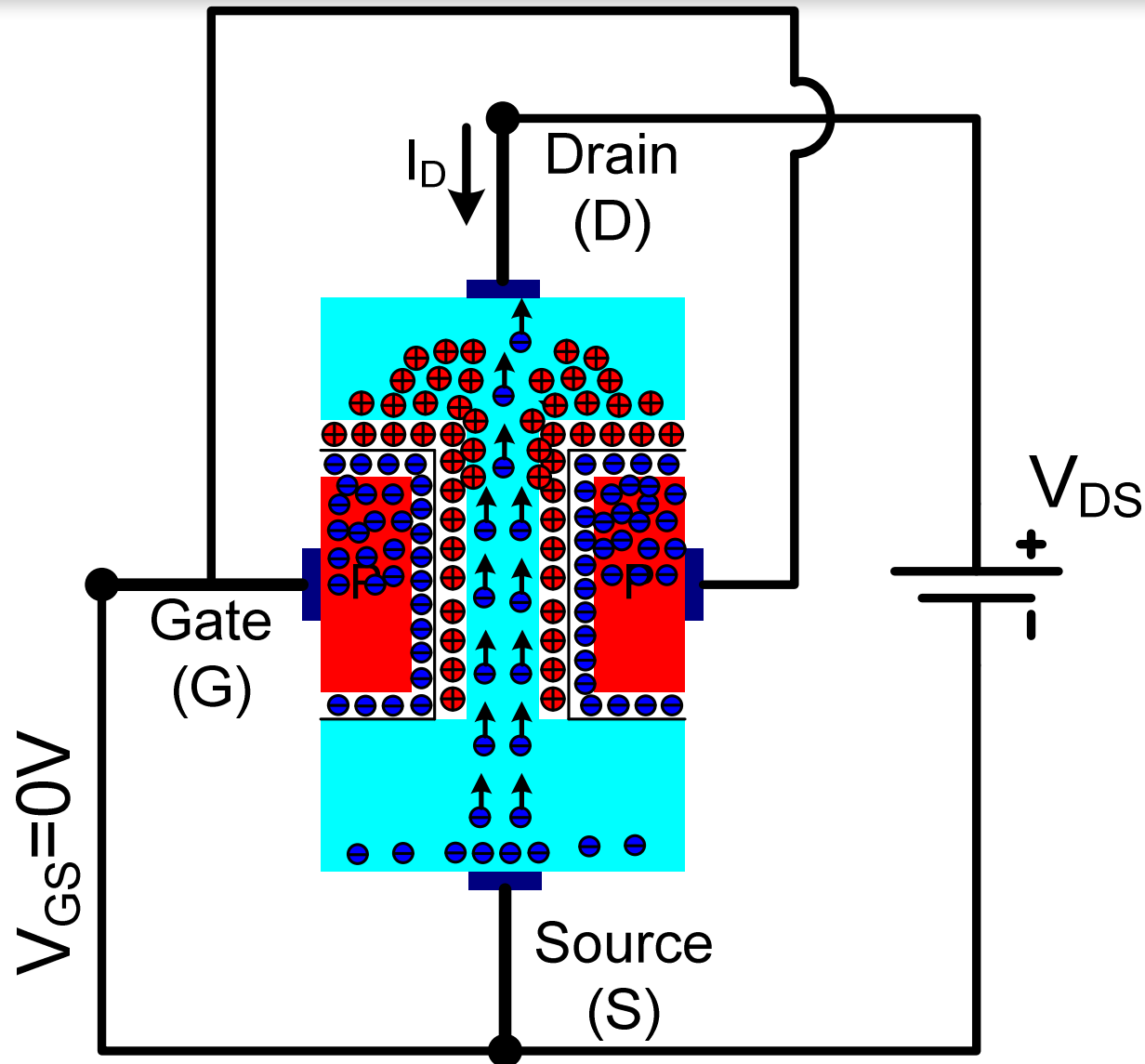
JFET KÊNH N KHI CHỨA PHÂN CỰC



JFET kênh N khi đặt điện áp vào D và S, chân G không kết nối

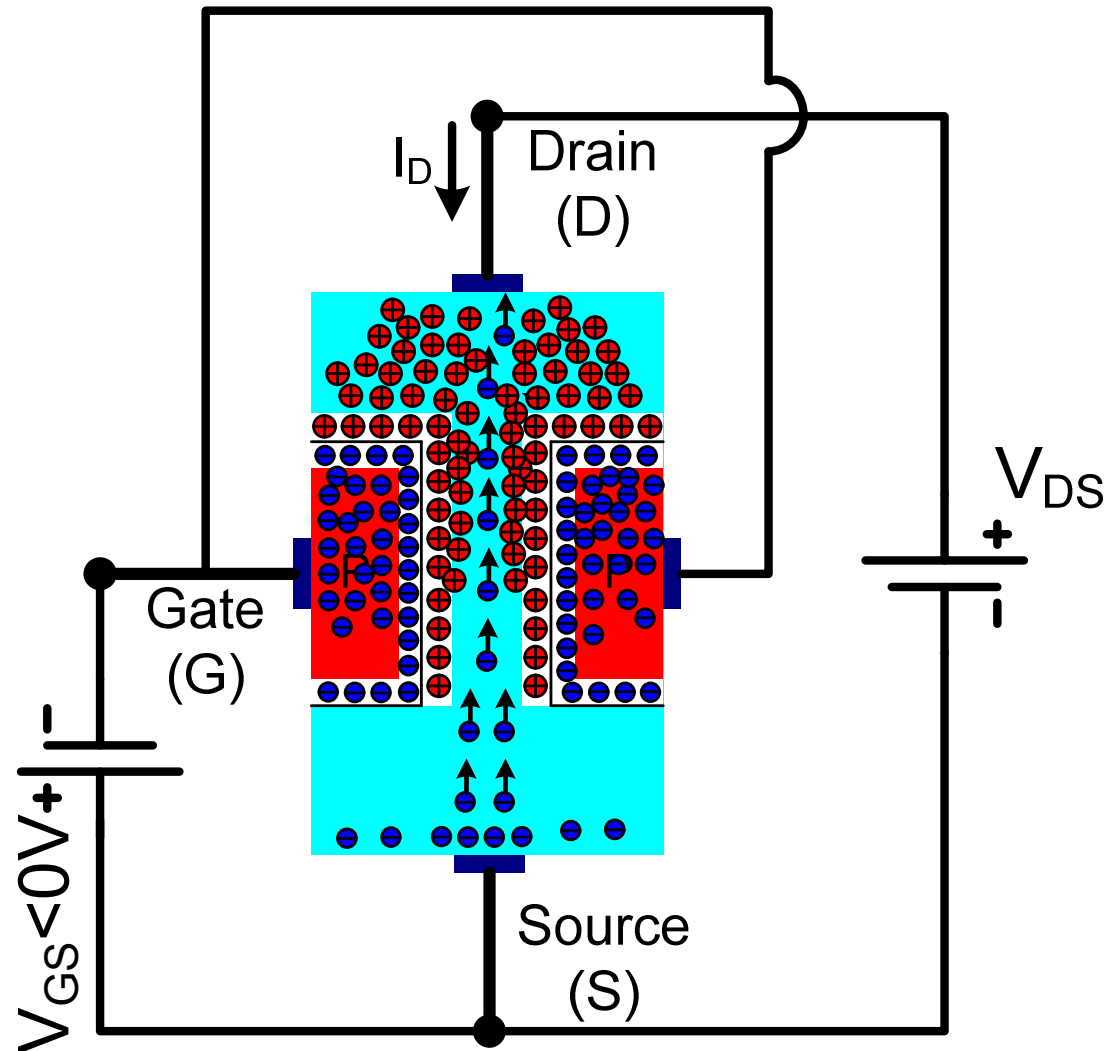


JFET KÊNH N KHI PHÂN CỰC BẢO HÒA

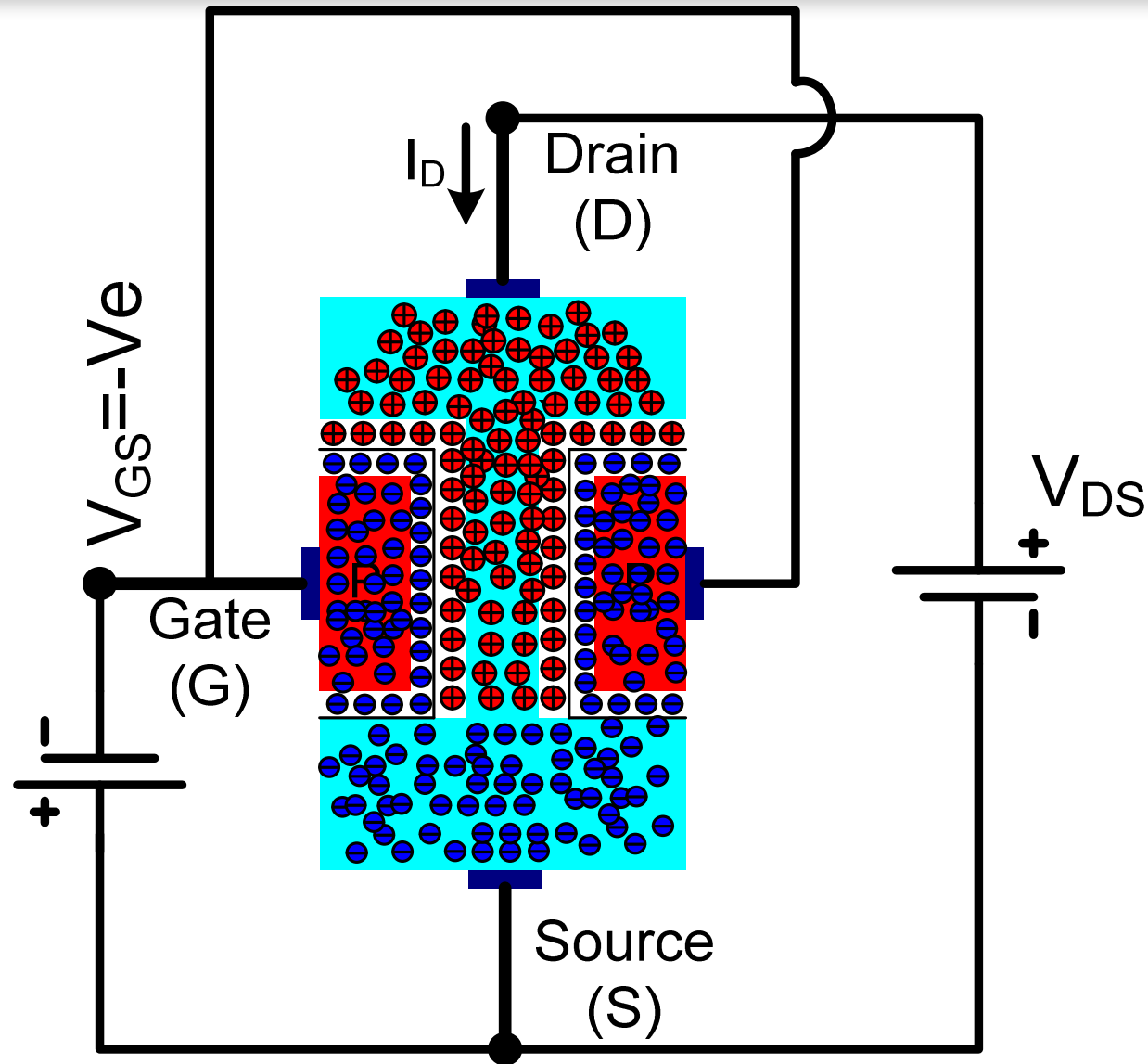




JFET KÊNH N PHÂN CỰC



JFET KÊNH N Ở CHẾ ĐỘ NGỪNG



ĐẶC ĐIỂM HOẠT ĐỘNG CỦA JFET

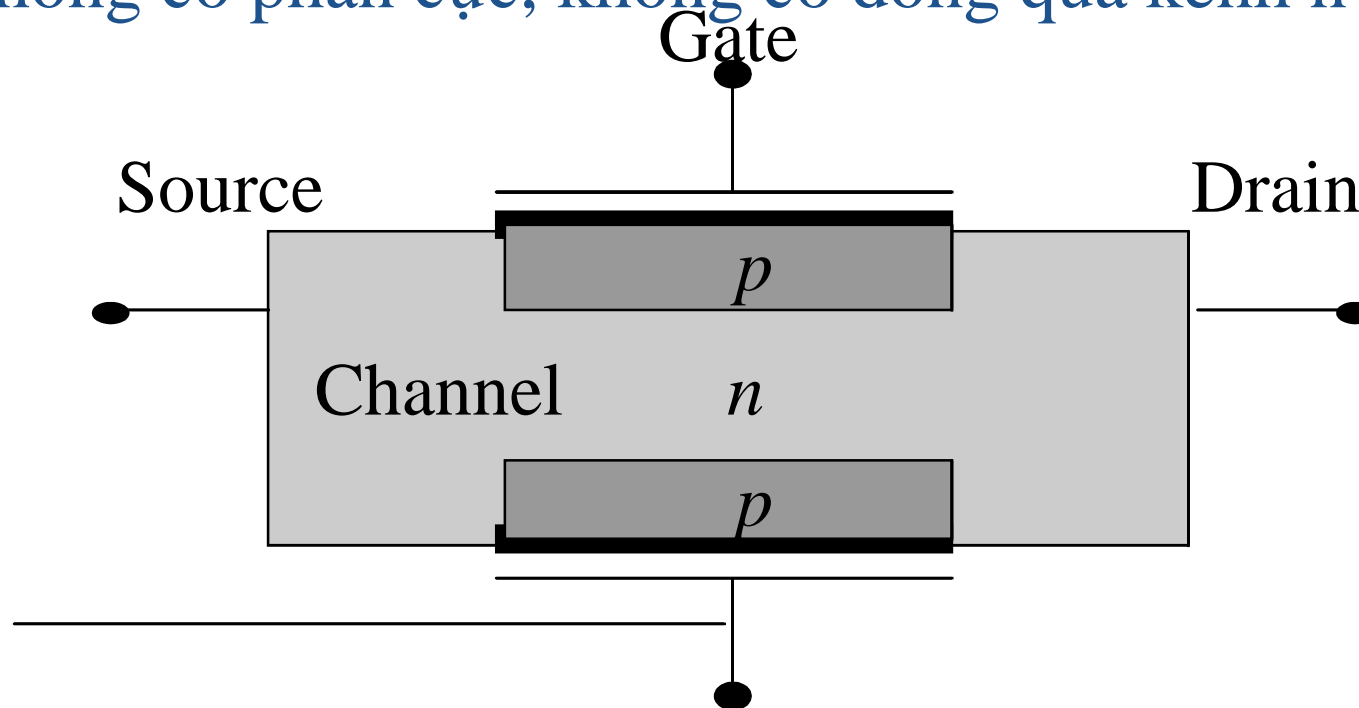
JFET kênh N có 3 chế độ hoạt động cơ bản khi $V_{DS} > 0$:

- A. $V_{GS} = 0$, JFET hoạt động bảo hòa, $I_D = I_{D_{max}}$**
- B. $V_{GS} < 0$, JFET hoạt động tuyến tính, $I_D \propto V_{GS}$**
- C. $V_{GS} = -V_{ngắt}$, JFET ngưng hoạt động, $I_D = 0$**

ĐẶC ĐIỂM HOẠT ĐỘNG CỦA JFET

Với JFET kênh n

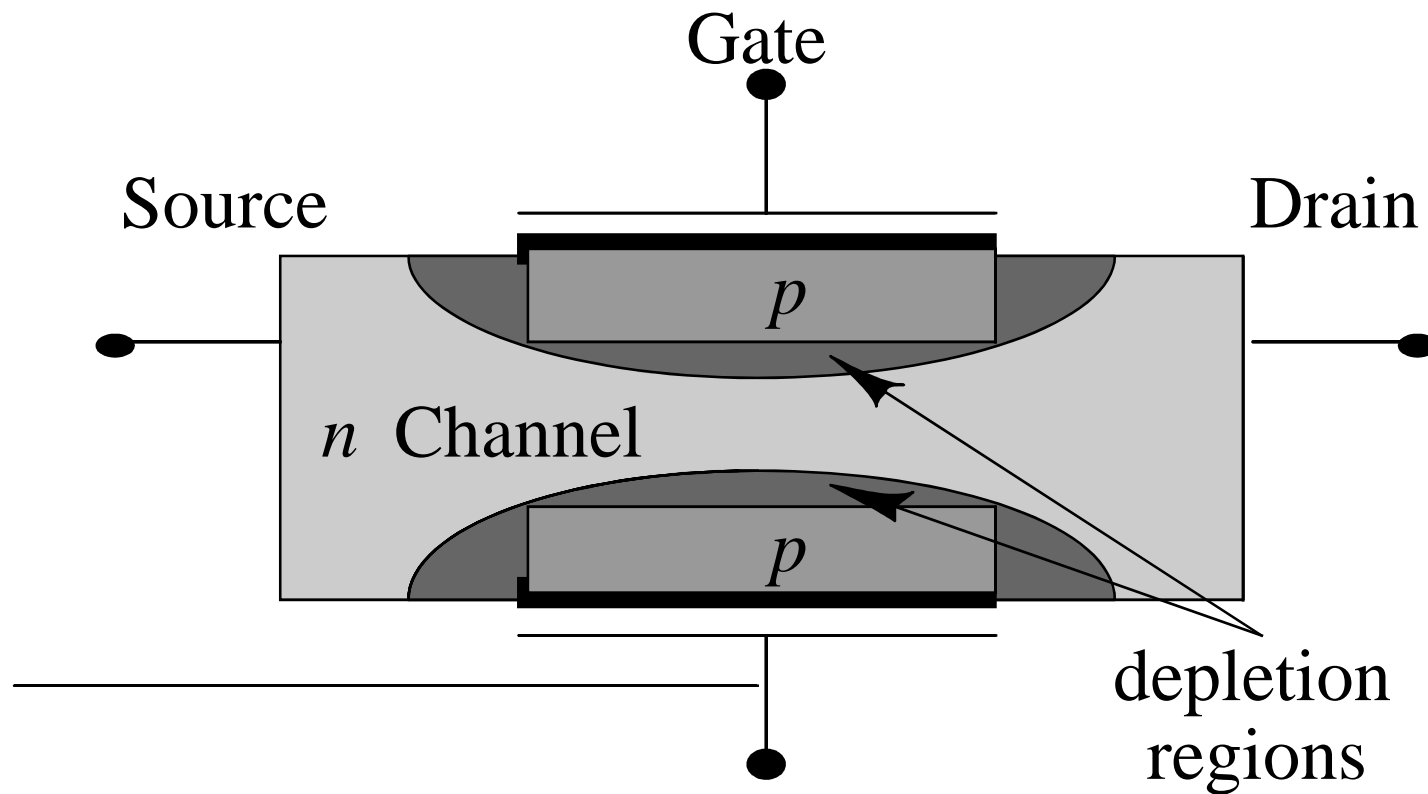
Khi không có phân cực, không có dòng qua kênh n



$V_{GS} > 0$ nối pn phân cực thuận và do đó sẽ có dòng điện từ cực nguồn S đến cực thoát D lớn nhưng không điều khiển được

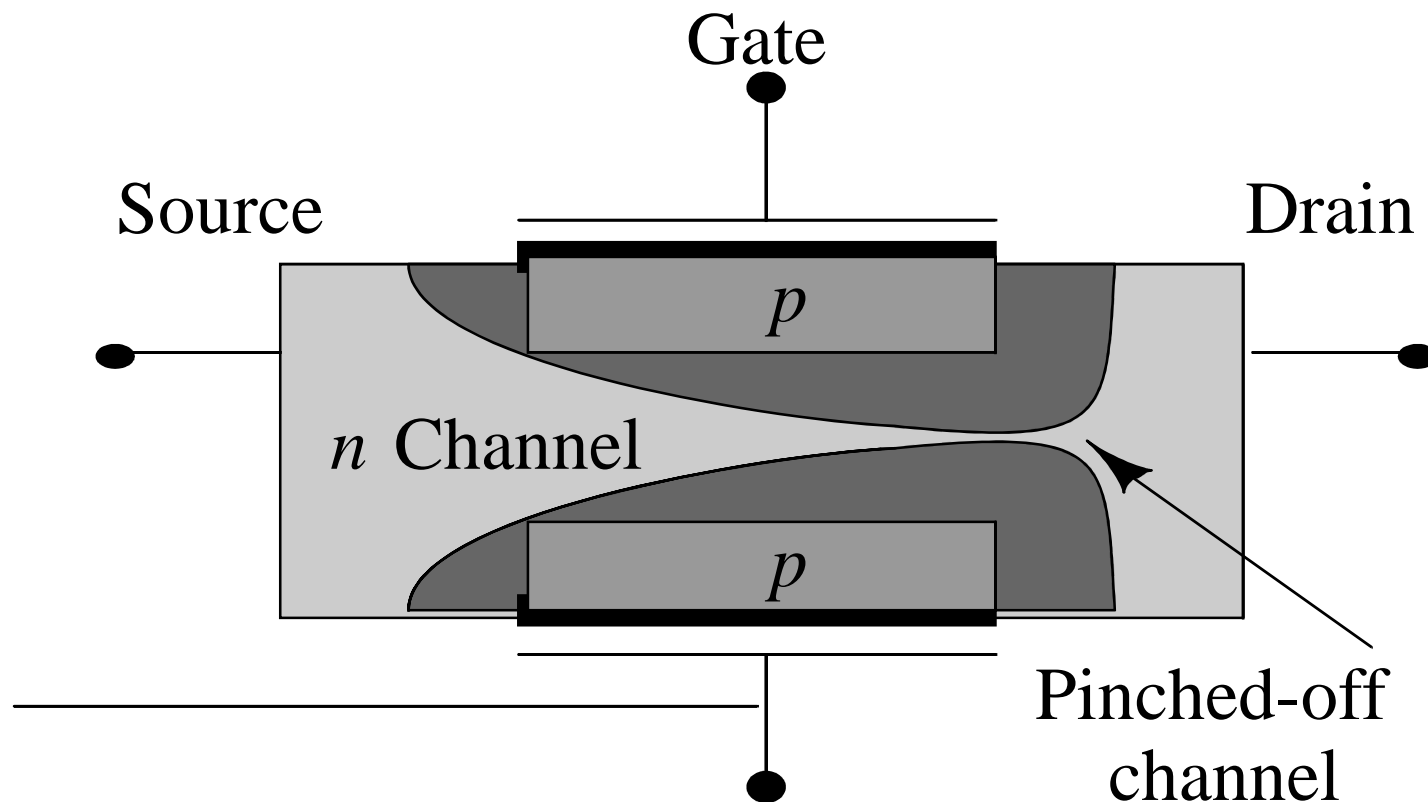
ĐẶC ĐIỂM HOẠT ĐỘNG CỦA JFET

Khi $V_{GS} = 0$ V và $V_{ds} > 0$ thấp, vùng hiếm nhỏ, kênh n còn rộng, dòng điện tăng nhanh



ĐẶC ĐIỂM HOẠT ĐỘNG CỦA JFET

Khi V_{ds} tăng, vùng hiếm càng rộng gần như chạm vào nhau, kênh n bị nghẽn, Fet dẫn bão hòa

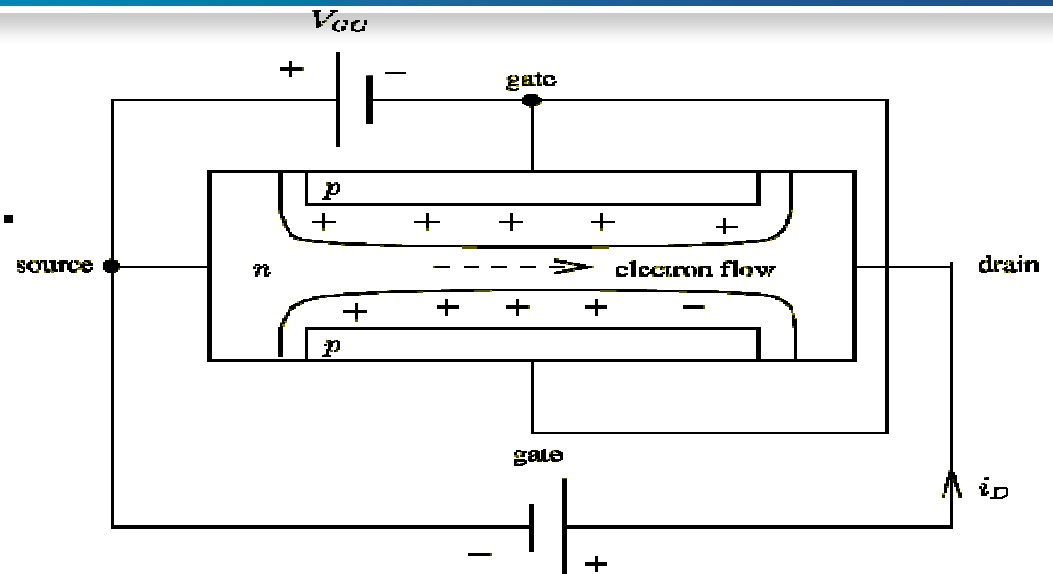


ĐẶC ĐIỂM HOẠT ĐỘNG CỦA JFET

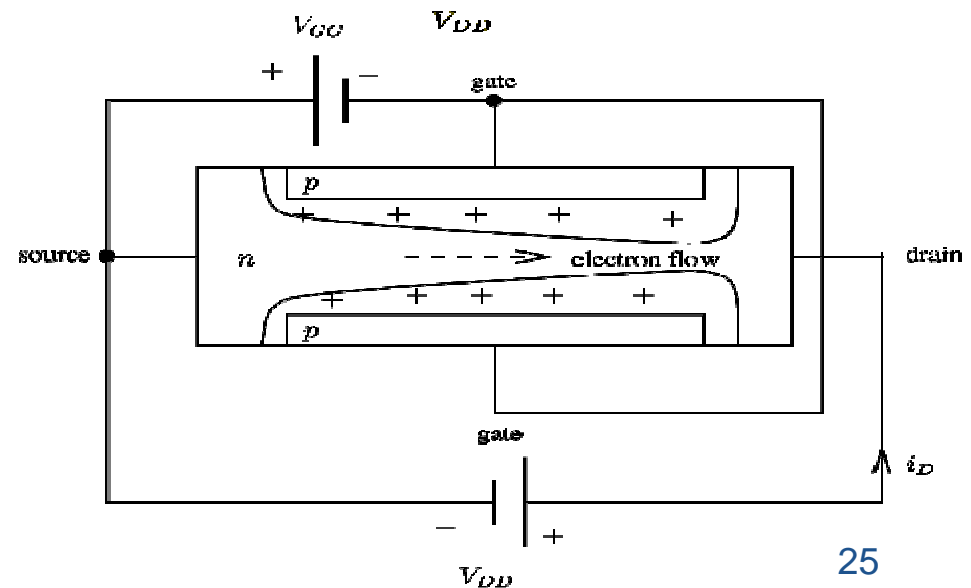
a. $V_{GS} = 0\text{ V}$ và $V_{DS} > 0$:

Nối pn phân cực nghịch tạo thành vùng hiếm 2 bên mỗi nối .

Khi V_{DS} càng lớn vùng hiếm càng rộng làm thắt chặt (nghẽn) đường đi của điện tử tự do bị hút về cực thoát.

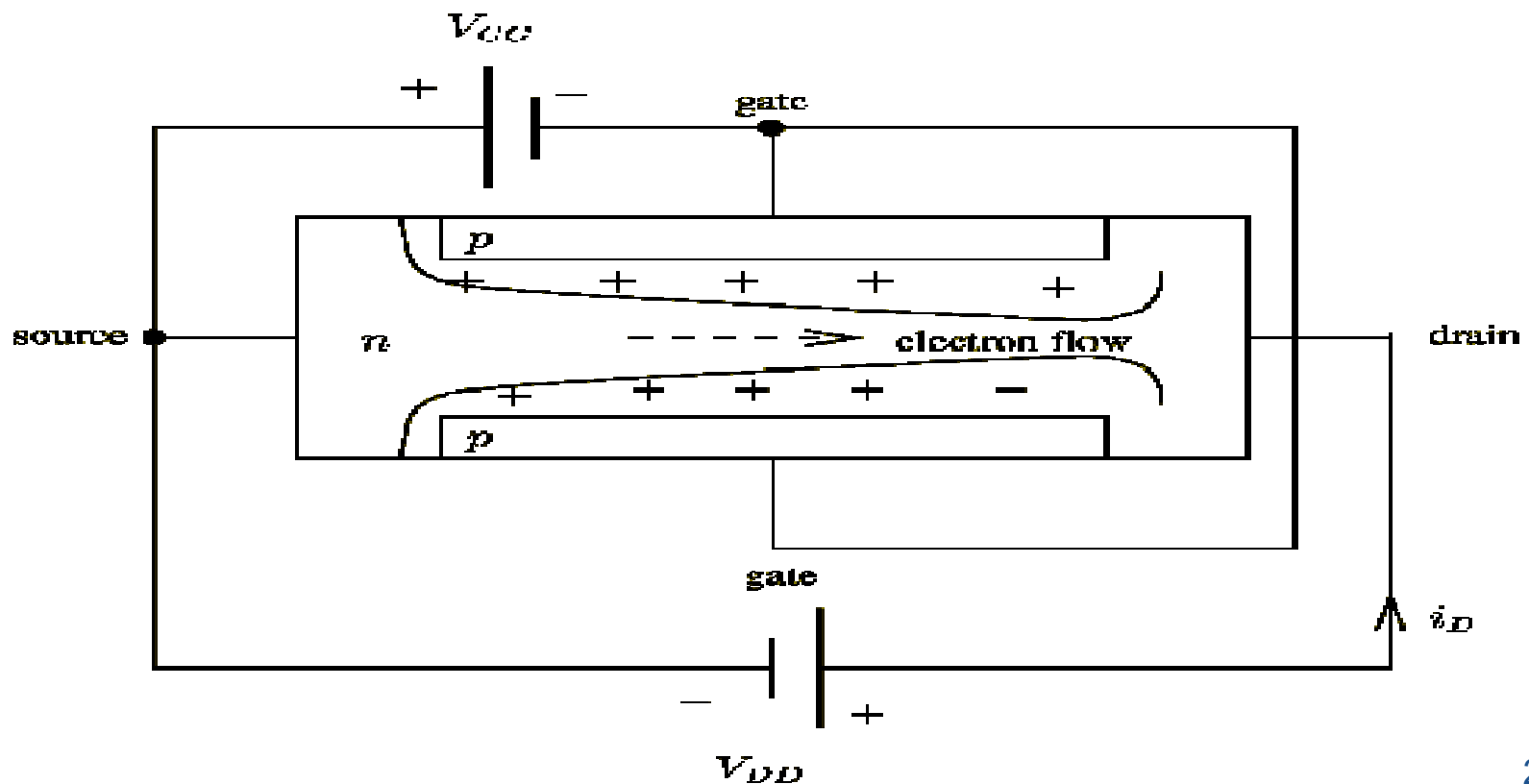


Kết quả : Khi V_{DS} nhỏ dòng thoát I_D tăng nhanh, khi V_{DS} càng lớn dòng thoát tăng chậm, khi V_{DS} đủ lớn vùng hiếm làm nghẽn kênh \rightarrow , dòng thoát **bão hòa I_{DSS}** (do dòng I_D có trị lớn nhất và không thay đổi), và **điện thế nghẽn V_{po}** (do $V_{GS}=0\text{ V}$)



ĐẶC ĐIỂM HOẠT ĐỘNG CỦA JFET

- Khi $V_{GS} < 0$ lớn và V_{DS} lớn
- Vùng hiếm càng rộng ngay từ đầu kênh, dòng điện thoát nhanh chóng bị nghẽn.



ĐẶC ĐIỂM HOẠT ĐỘNG CỦA JFET

b. Khi cho $V_{DS} = \text{const}$ và $V_{GS} < 0$

- Khi $V_{GS} < 0$ ($V_{GS1} = -1V$): Nối pn phân cực nghịch, vùng hiếm lớn hơn khi $V_{GS} = 0V \rightarrow$ dòng thoát I_D có trị nhỏ hơn và trị số điện thế ngẽn V_{p1} cũng nhỏ hơn V_{po} .
- Khi cho V_{GS} càng âm ($V_{GS2} = -2V$), vùng hiếm càng tăng, kênh càng hẹp hơn, dòng I_D càng nhỏ hơn nữa và $V_{p2} < V_{p1}$.
- Khi V_{GS} âm đủ lớn (thí dụ $V_{GS} = -5V$), vùng hiếm quá lớn làm kênh bị tắt, dòng $I_D = 0$, và điện thế phân cực cổng - nguồn là **điện thế ngưng $V_{GSOFF} = -V_{po}$**

TÓM TẮT

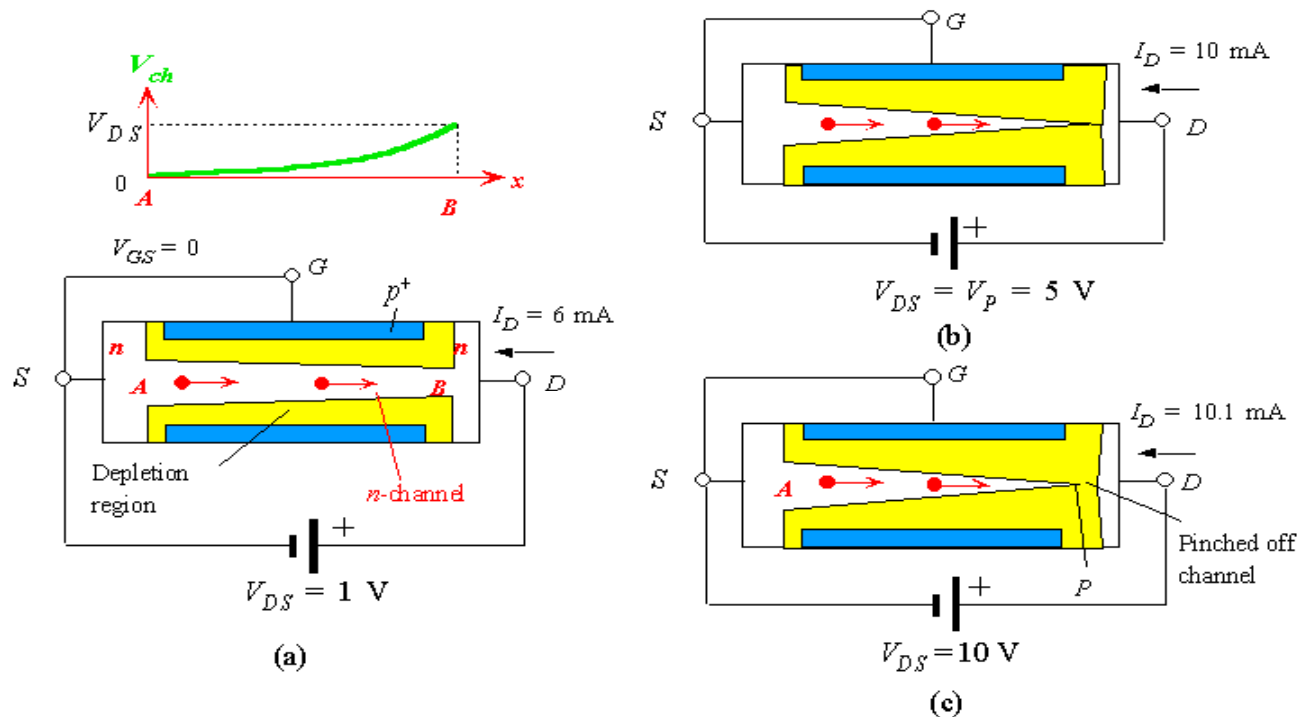


Fig. 6.28: (a) The gate and source are shorted ($V_{GS} = 0$) and V_{DS} is small, (b), V_{DS} has increased to a value that allows the two depletion layers to just touch, when $V_{DS} = V_P$ (5 V) when the p^+n junction voltage at the drain end, $V_{GD} = -V_{DS} = -V_P = -5 \text{ V}$. (c) V_{DS} is large ($V_{DS} > V_P$) so that a short length of the channel is pinched off.

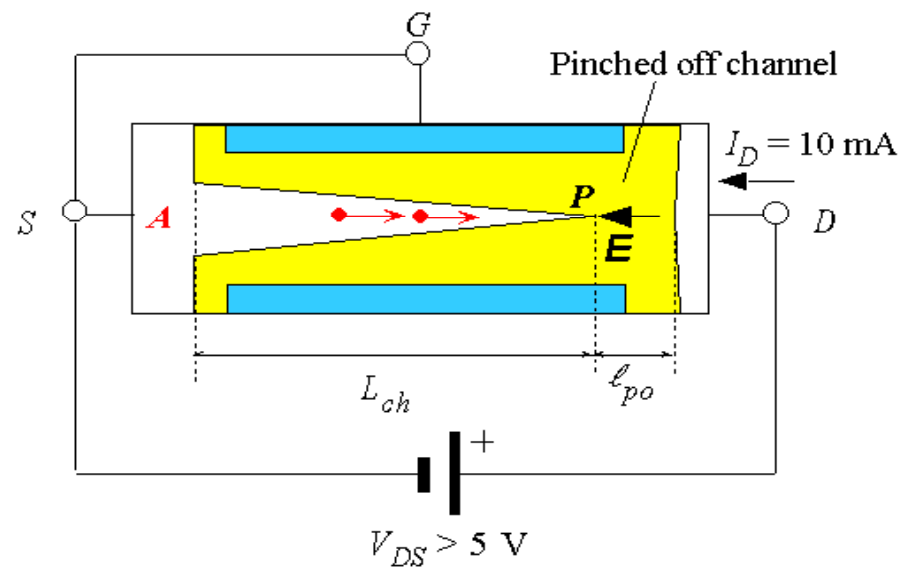


Fig. 6.30: The pinched-off channel and conduction for $V_{DS} > V_P (=5 \text{ V})$.

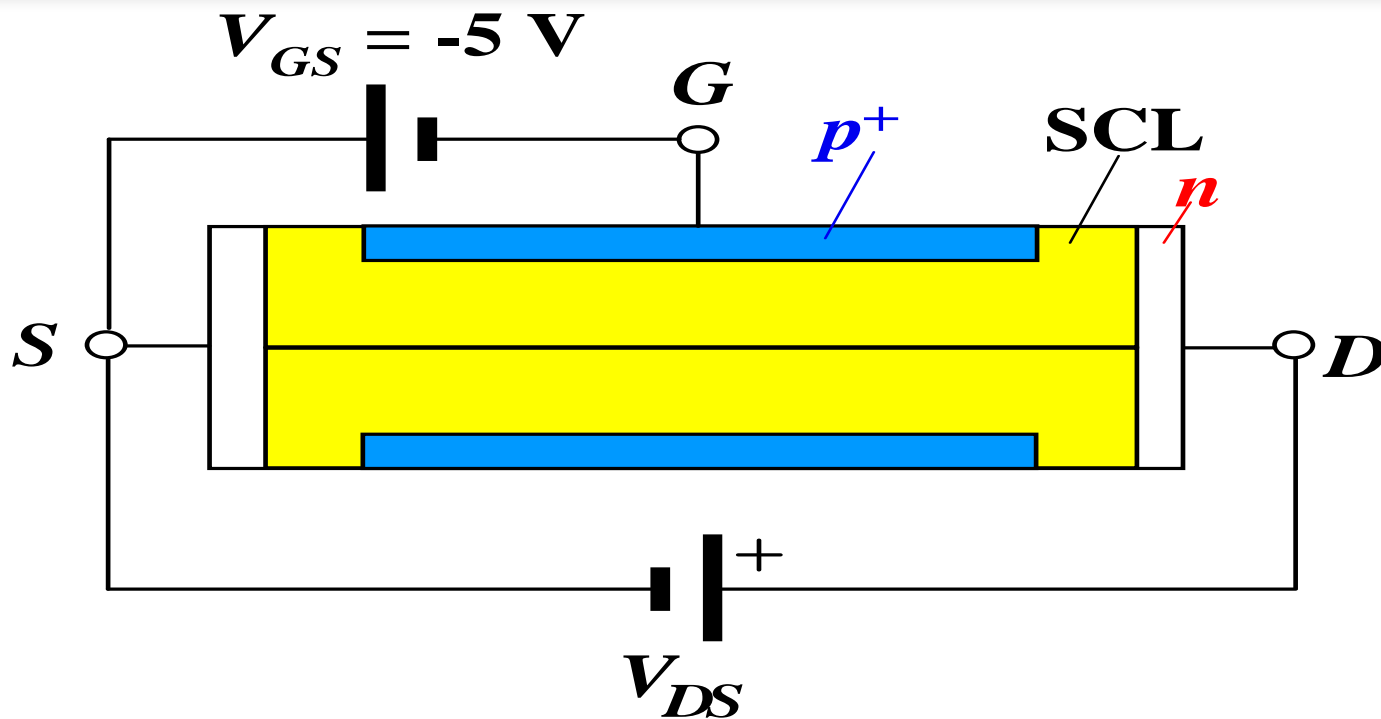


Fig. 6.32: When $V_{GS} = -5 \text{ V}$ the depletion layers close the whole channel from the start, at $V_{DS} = 0$. As V_{DS} is increased there is a very small drain current which is the small reverse leakage current due to thermal generation of carriers in the depletion layers.

ĐẶC TUYẾN VÀ CÔNG THỨC DÒNG THOÁT I_D

1. Đặc tuyến ngõ ra $I_D = f(V_{DS})$ tại $V_{GS} = h, s$.
Có 3 vùng:

Vùng điện trở Vùng bão hoà

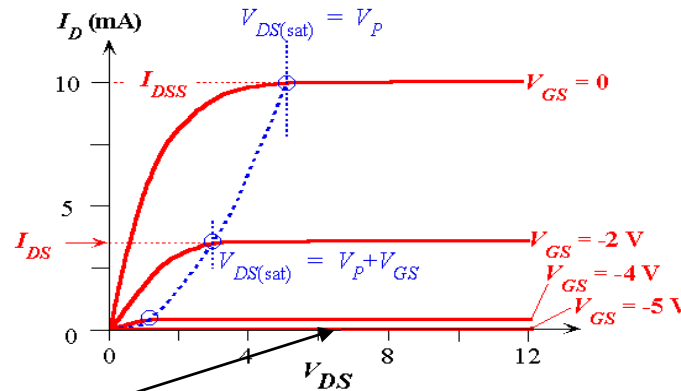


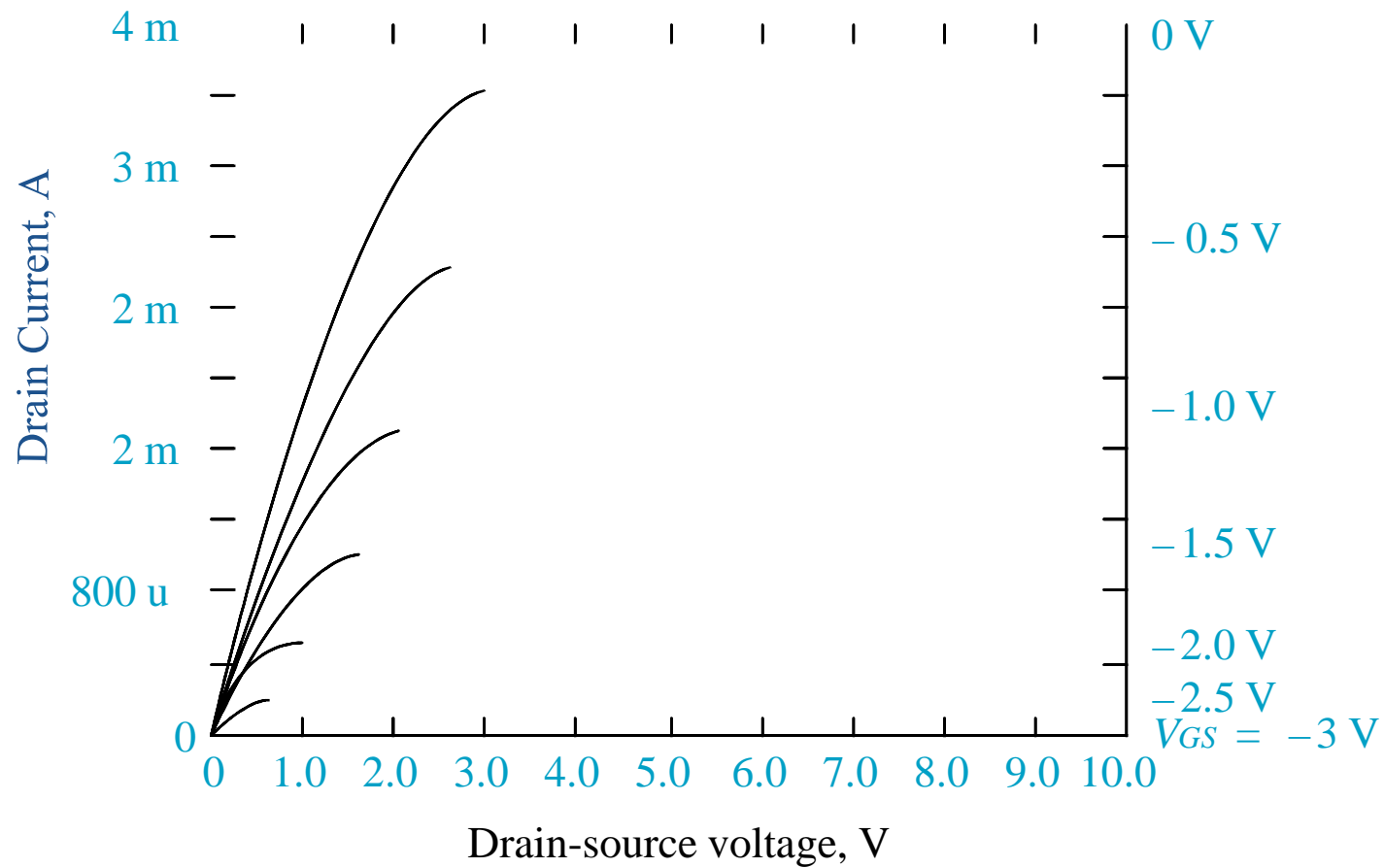
Fig. 6.29: Typical I_D vs V_{DS} characteristics of a JFET for various fixed gate voltages V_{GS} .

From *Principles of Electronic Materials and Devices*, Second Edition, S.O. Kasap (© McGraw-Hill, 2002)
<http://Materials.USask.ca>

Vùng ngưng



ĐẶC TUYẾN NGỒ RA JFET





ĐẶC TUYẾN NGỒ RA JFET

- Theo chùm (họ) đặc tuyến ra, quỹ tích các điện thế ngẽn là đường cong thoả hàm số theo điện thế phân cực và V_{po} :

$$V_p = V_{DS\ bh} = V_{GS} + V_{po} \text{ (Với } V_{po} > 0 \text{) (1)}$$

Thí dụ : Khi :

$$V_{GS} = 0V \rightarrow V_{DS0bh} = V_{P0} = 0 + 5V = 5V$$

$$V_{GS} = -1V \rightarrow V_{DS1bh} = V_{P1} = -1 + 5V = 4V$$

$$V_{GS} = -2V \rightarrow V_{DSbh} = V_{P2} = -2 + 5V = 3V$$

.....

$$V_{GS} = -5V \rightarrow V_{DSbh} = V_{P5} = -5V + 5V = 0 \text{ (} V_{P5} = V_{GSOFF} \text{)}$$

- Do tính chất đối xứng nên V_{PO} và V_{GSOFF} bằng nhau nhưng khác dấu. Mặt khác theo định luật Kirchooff về thế ta có: $V_{DS} = V_{DG} + V_{GS}$ và khi $V_{GS} = 0V$ ta điện thế ngẽn $V_{DS0} = V_{DG0} = V_{po}$ (để dễ liên tưởng đến điện thế ngẽn (pinch off), nên khi $V_{GS} < 0$ gọi điện thế ngẽn là $V_{DSbh} = V_p$ và thay vào trên ta được: $V_{DSbh} = V_{GS} + V_{po}$ như trên

ĐẶC TUYẾN TRUYỀN $I_D = f(V_{GS})$

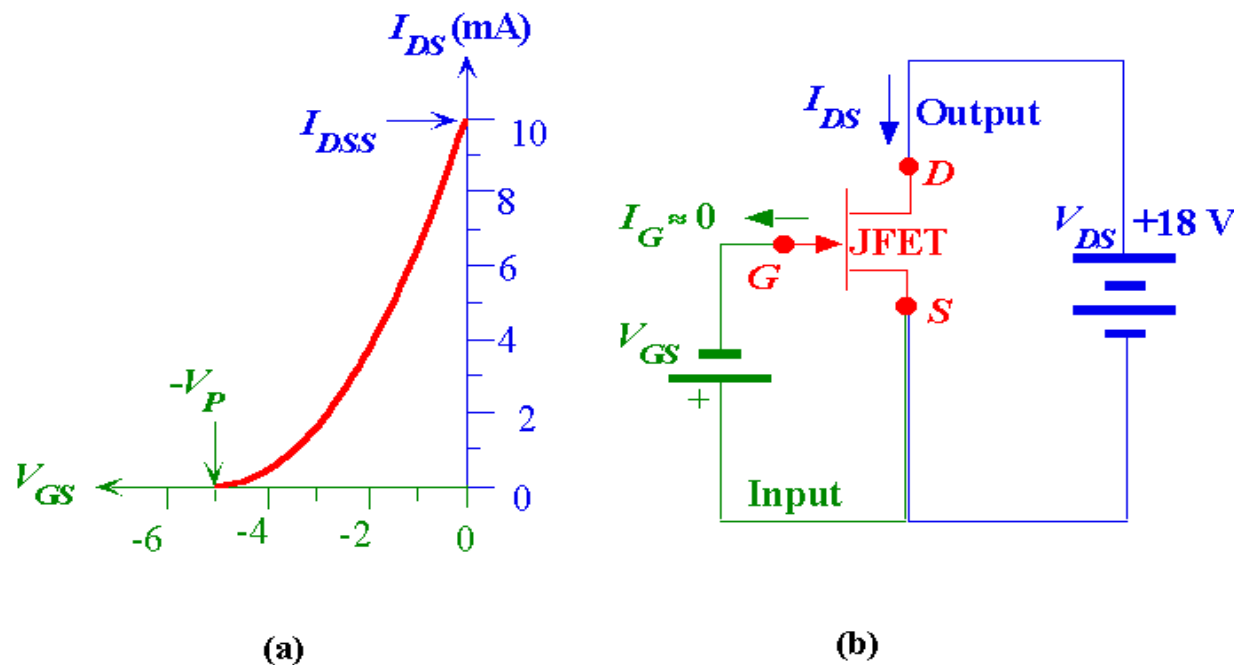


Fig. 6.33: (a) Typical I_{DS} vs V_{GS} characteristics of a JFET (b). The *DC* circuit in which V_{GS} in the gate-source circuit (input) controls the drain current I_{DS} in the drain-source (output) circuit in which V_{DS} is kept constant and large ($V_{DS} > V_P$).

Lưu ý rằng đặc tuyến truyền còn được suy ra từ đặc tuyến ra cho sẵn như sau:

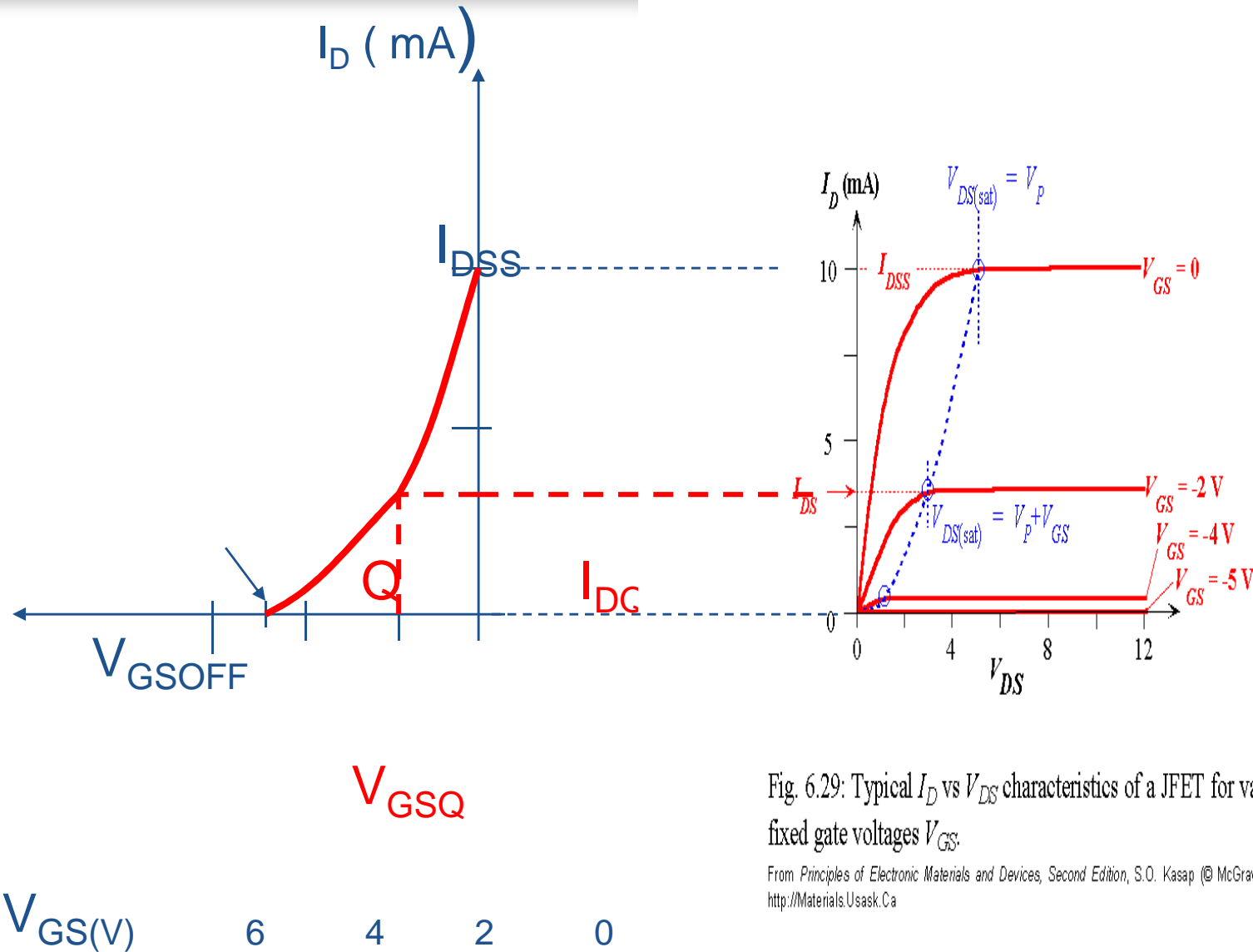
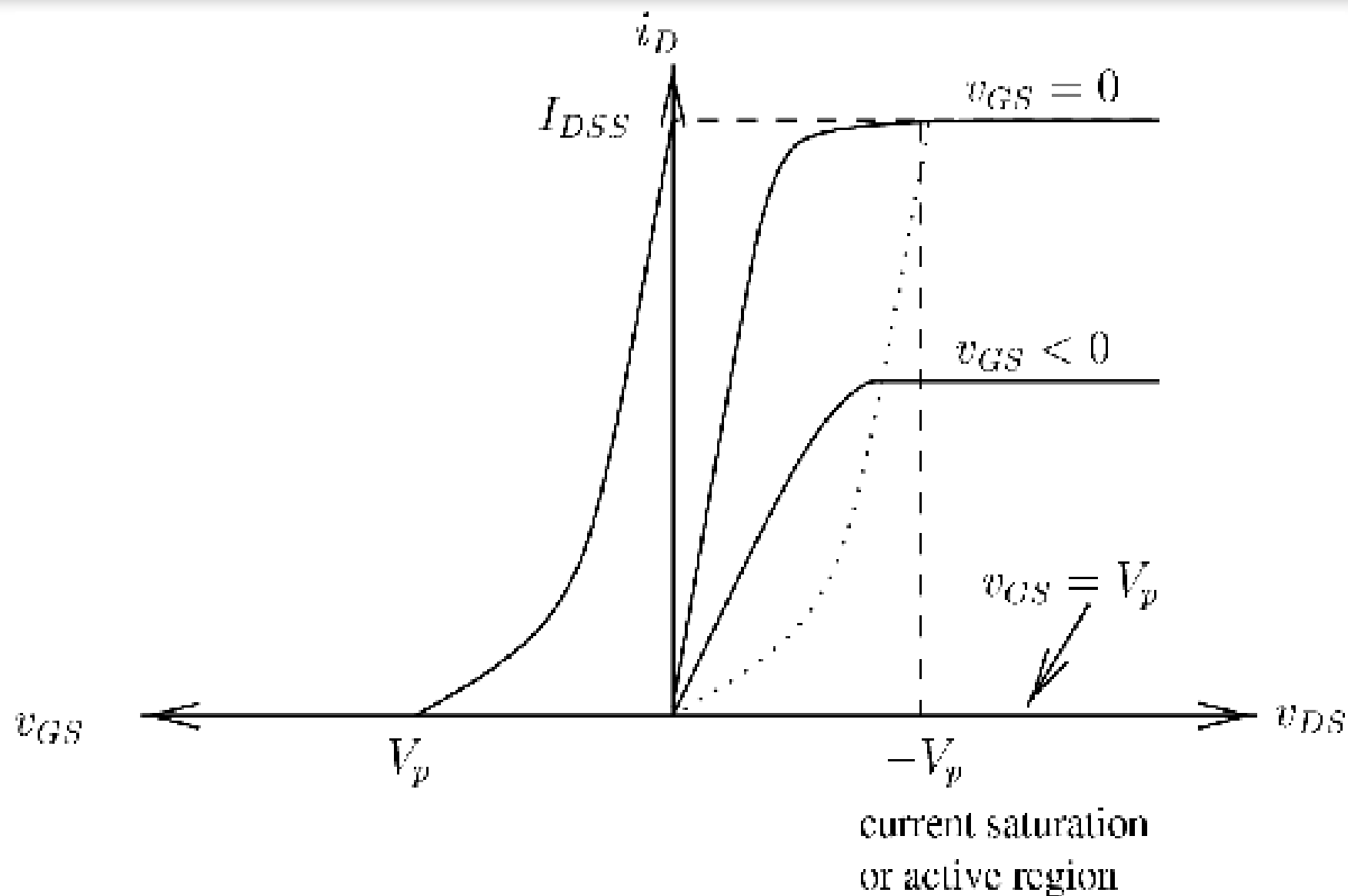


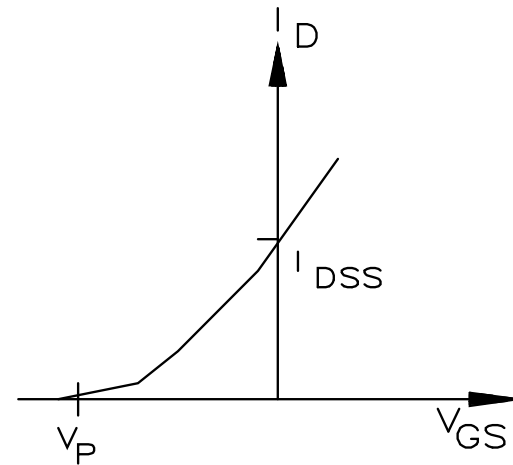
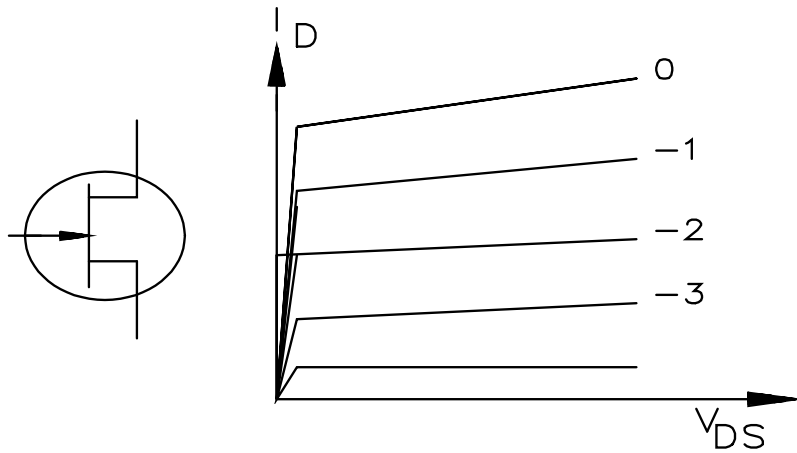
Fig. 6.29: Typical I_D vs V_{DS} characteristics of a JFET for various fixed gate voltages V_{GS} .

From Principles of Electronic Materials and Devices, Second Edition, S.O. Kasap (© McGraw-Hill, 2002)
<http://Materials.USask.ca>



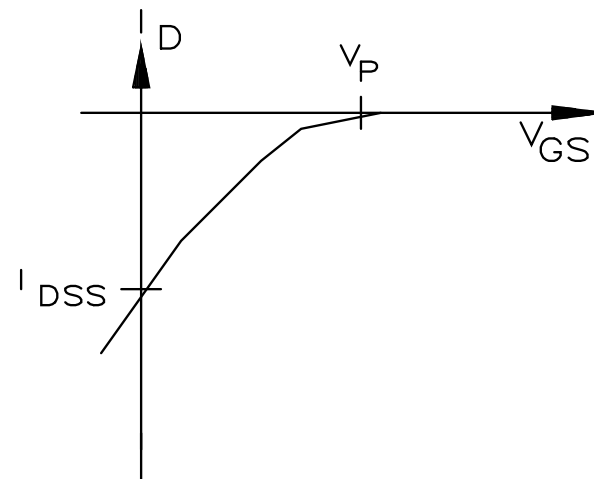
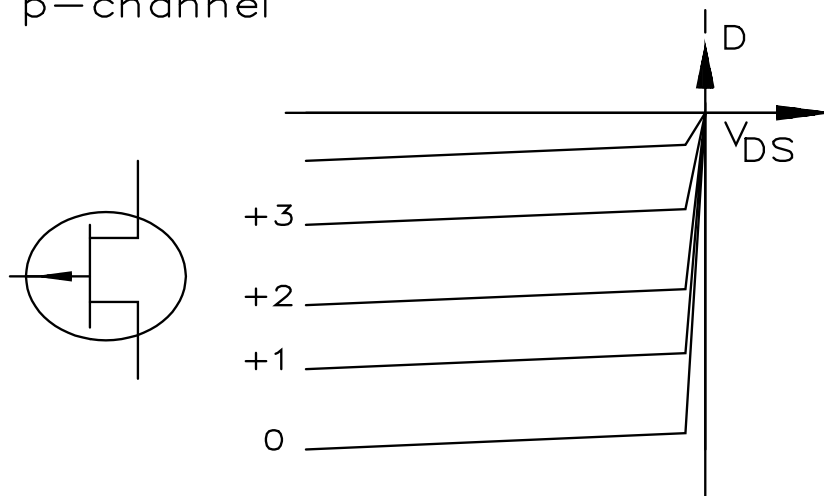


n-channel



V_{DS}	+
V_{GS}	-
I_D	+
V_{po}	-
I_{DSS}	+

p-channel



V_{DS}	-
V_{GS}	+
I_D	-
V_{po}	+
I_{DSS}	-

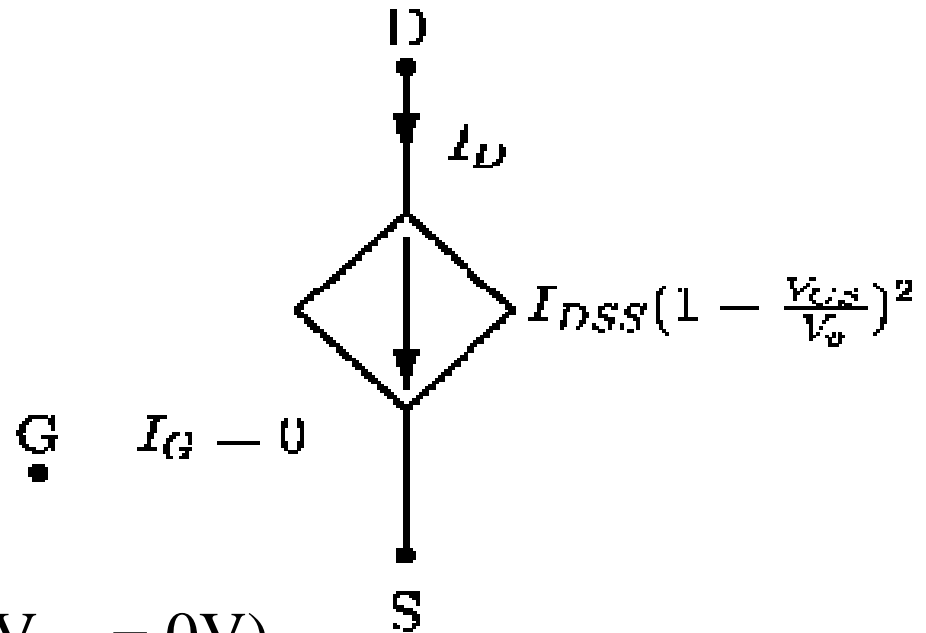


CÔNG THỨC DÒNG THOÁT I_D

3. Công thức dòng điện thoát I_D

Trong vùng bão hoà, dòng điện thoát cho bởi phương trình Shockley:

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_{GSOFF}} \right)^2 \quad (2)$$



I_{DSS} dòng bão hoà cực đại (khi $V_{GS} = 0V$).

V_{GS} điện thế phân cực cổng - nền.

V_{GSOFF} (hoặc $-V_{P0}$) điện thế ngưỡng tùy thuộc vào JFET được sử dụng.



PHÂN CỰC JFET

- Khi hoạt động trong vùng điện trở, JFET là 1 điện trở có trị thay đổi theo điện thế phân cực, trong vùng này V_{DS} rất bé.
- Khi hoạt động trong vùng điện trở kết hợp với vùng ngưng JFET hoạt động kiểu giao hoán (chuyển mạch).
- Khi hoạt động trong vùng bão hoà (hay vùng điện trở không đổi), JFET có tính khuếch đại.

Các cách hoạt động nói trên tùy thuộc vào điện thế phân cực V_{GS} và V_{DS} .



4. Đặc tính kỹ thuật- Trị số giới hạn

JFET có các trị số giới hạn sau:

- Điện thế cực đại V_{DSmax} , nếu vượt quá sẽ xảy ra hiện tượng hủy thác làm hư FET.
- Dòng thoát I_D không được vượt quá I_{Dmax}
- Công suất cực đại P_{DM} không được vượt quá
- Vùng điện tích an toàn (SOA) giới hạn bởi 3 vùng điện trở, vùng bão hoà, vùng ngưng, và 3 đường do 3 trị cực đại nêu trên. Muốn thiết kế mạch khuếch đại điểm tĩnh điều hành phải nằm trong vùng điện tích an toàn.



- Áp dụng định luật Kirchhoff về thế vòng cực D-S cho:

$$V_{DD} = R_D I_D + V_{DS} + R_S I_D$$

$$V_{DS} = V_{DD} - (R_D + R_S) I_D \quad (3)$$

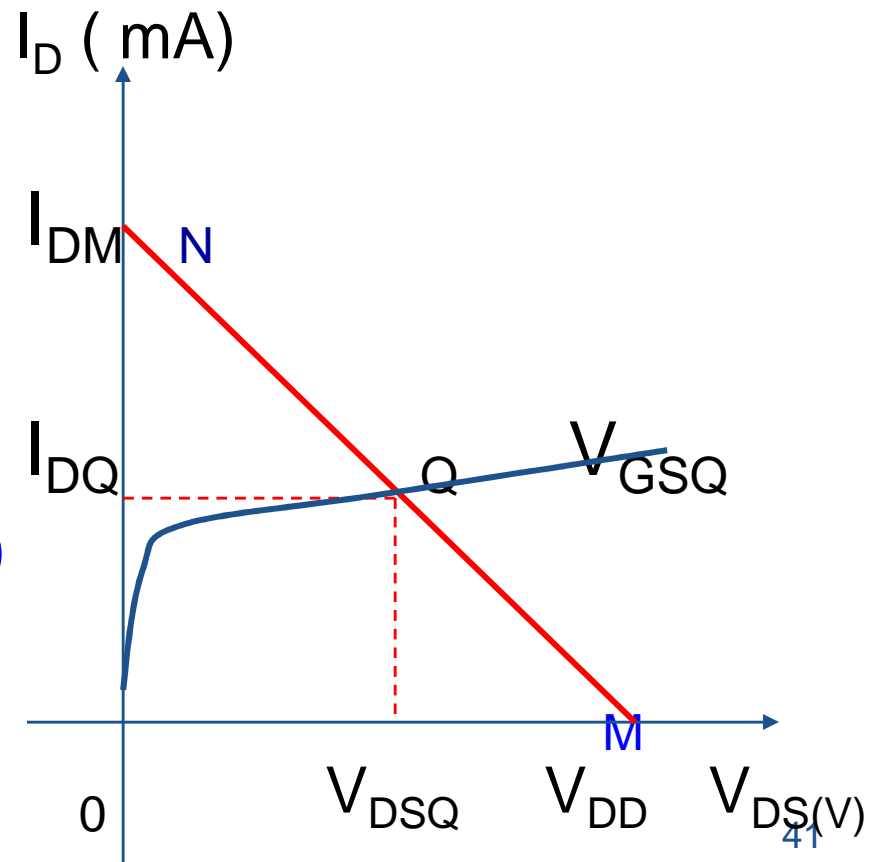
Phương trình đường
thẳng tải tĩnh DCLL:

$$I_D = \frac{-V_{DS}}{R_D + R_S} + \frac{V_{DD}}{R_D + R_S} \quad (4)$$

$$I_{DM} = V_{DD} / (R_D + R_S) \quad (\text{điểm N})$$

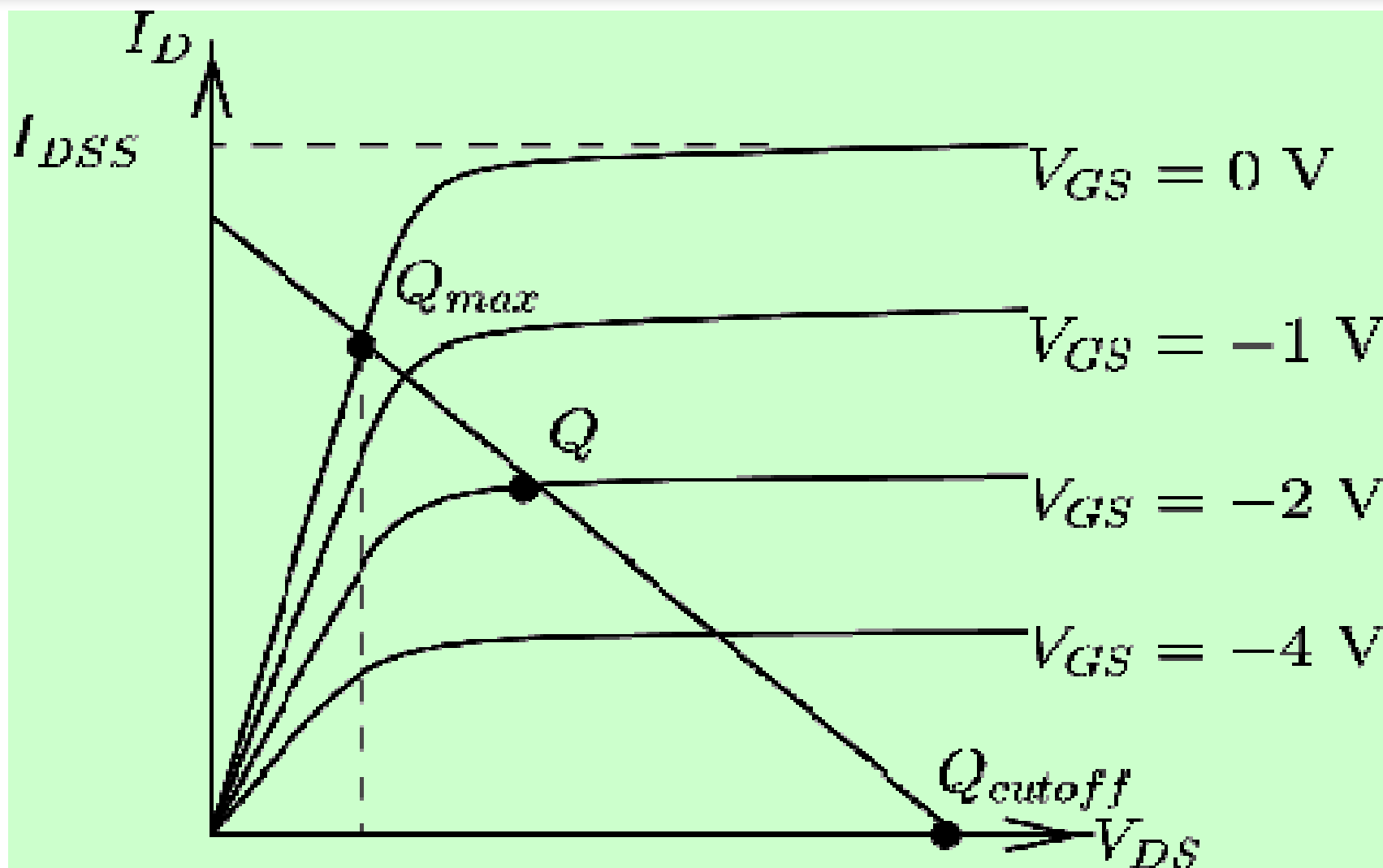
$$V_{DSM} = V_{DD} \quad (\text{điểm M})$$

M





Vai trò đường tải tĩnh

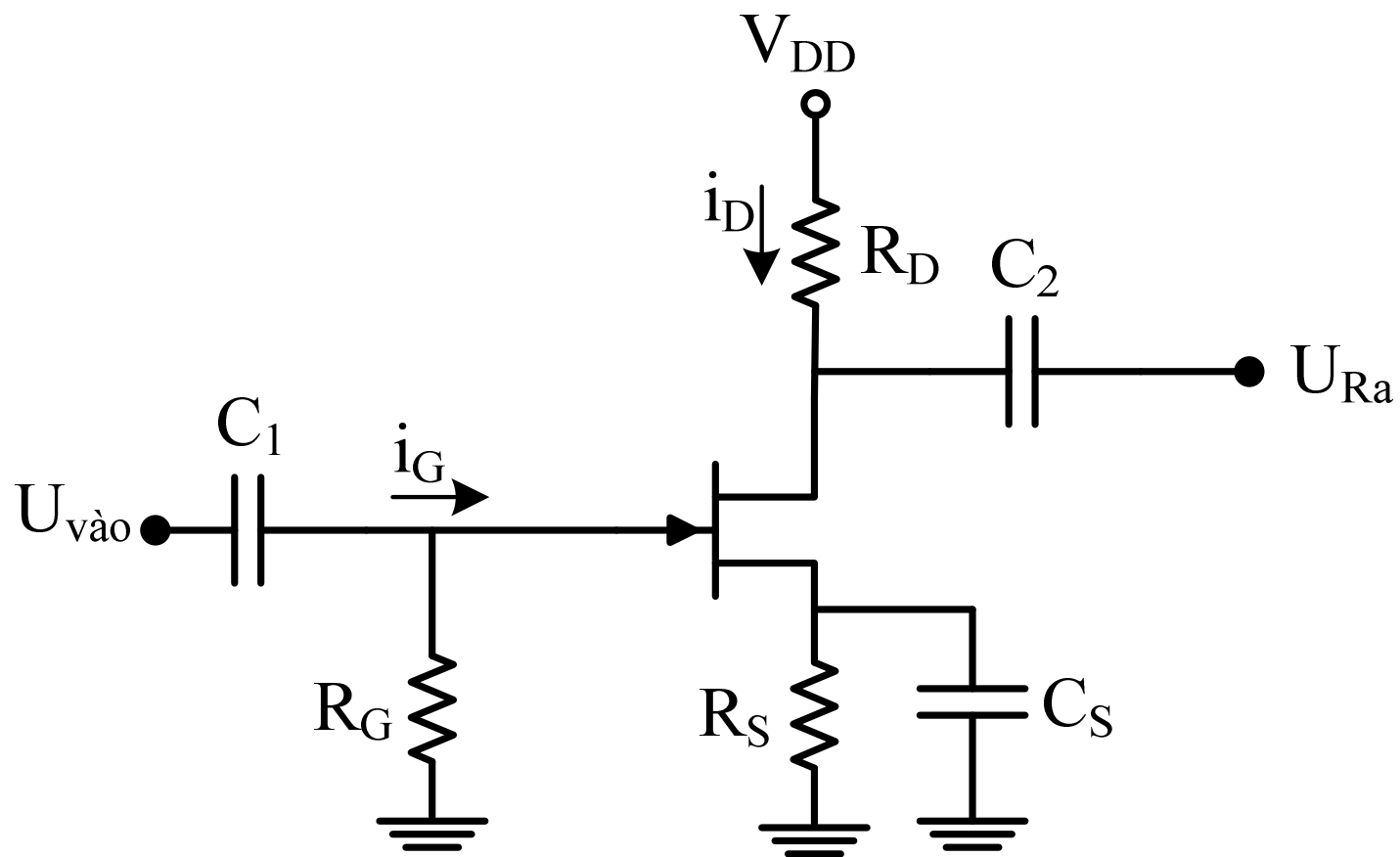




CÁC CÁCH MẮC CỦA JFET TRONG SƠ ĐỒ MẠCH

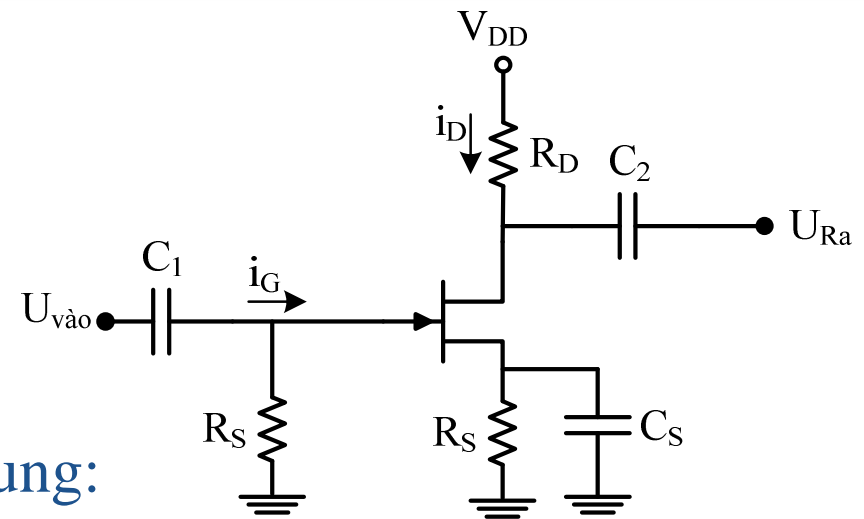


SƠ ĐỒ CỰC NGUỒN CHUNG





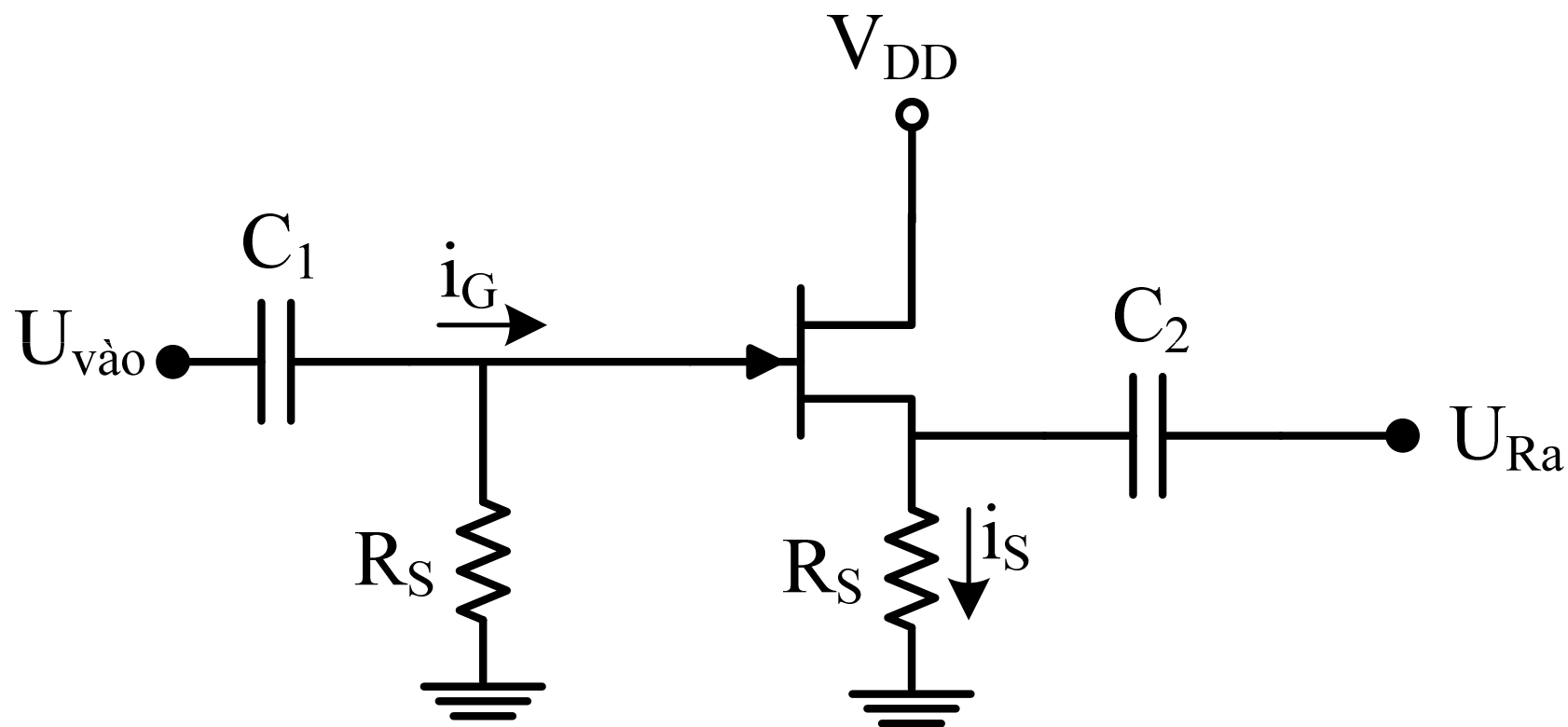
SƠ ĐỒ CỰC NGUỒN CHUNG



- Đặc điểm của sơ đồ cực nguồn chung:
 - Tín hiệu vào và tín hiệu ra ngược pha nhau.
 - Trở kháng vào rất lớn $Z_{\text{vào}} = R_{GS} \approx \infty$
 - Trở kháng ra $Z_{ra} = R_D // r_d$
 - Hệ số khuếch đại điện áp $\mu \approx S_{rd} > 1$
 - Đối với transistor JFET kênh N thì hệ số khuếch đại điện áp khoảng từ 150 lần đến 300 lần, còn đối với transistor JFET kênh loại P thì hệ số khuếch đại chỉ bằng một nửa là khoảng từ 75 lần đến 150 lần.

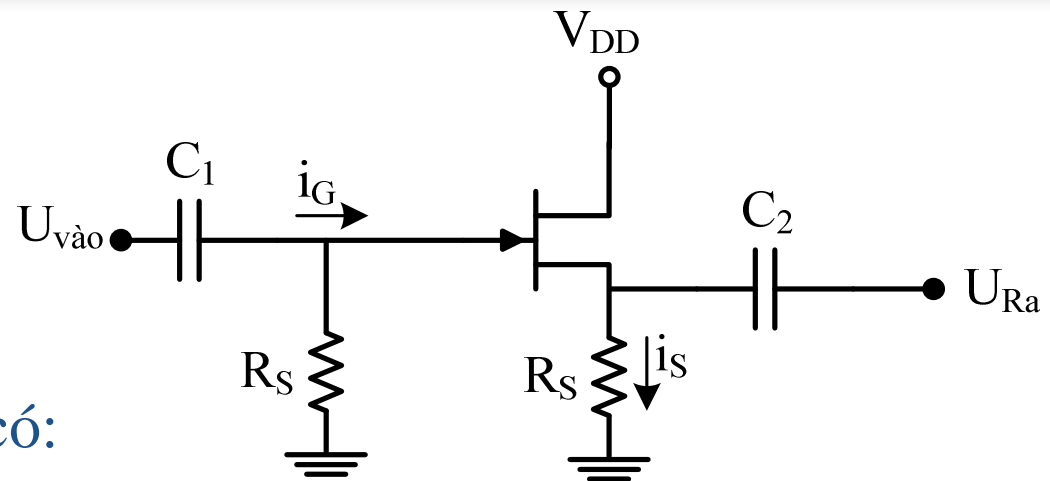


SƠ ĐỒ CỰC MẮNG CHUNG





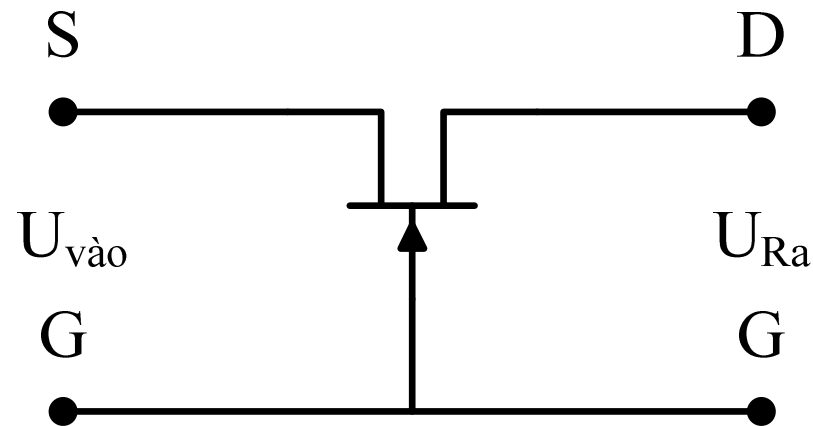
SƠ ĐỒ CỰC MÁNG CHUNG



- Đặc điểm của sơ đồ này có:
 - Tín hiệu vào và tín hiệu ra đồng pha nhau.
 - Trở kháng vào rất lớn $Z_{\text{vào}} = R_{\text{GD}} = \infty$
 - Trở kháng ra rất nhỏ
 - Hệ số khuếch đại điện áp $\mu < 1$
 - Sơ đồ cực máng chung được dùng rộng rãi hơn, cơ bản là do nó giảm được điện dung vào của mạch, đồng thời có trở kháng vào rất lớn. Sơ đồ này thường được dùng để phối hợp trở kháng giữa các mạch.



SƠ ĐỒ CỰC CỔNG CHUNG



Sơ đồ này theo nguyên tắc không được sử dụng do có trở kháng vào nhỏ, trở kháng ra lớn.

PHÂN CỰC BẰNG CẦU PHÂN THỂ

Với điều kiện phải chọn R_S để có $V_{GS} < 0$ (kênh n) hoặc $V_{GS} > 0$ (kênh p).

- Ta có mạch G-S:

$$V_G = \frac{R_2}{R_2 + R_1} V_{DD}$$

$$V_S = R_S I_D$$

$$V_{GS} = V_G - V_S < 0 \quad (2)$$

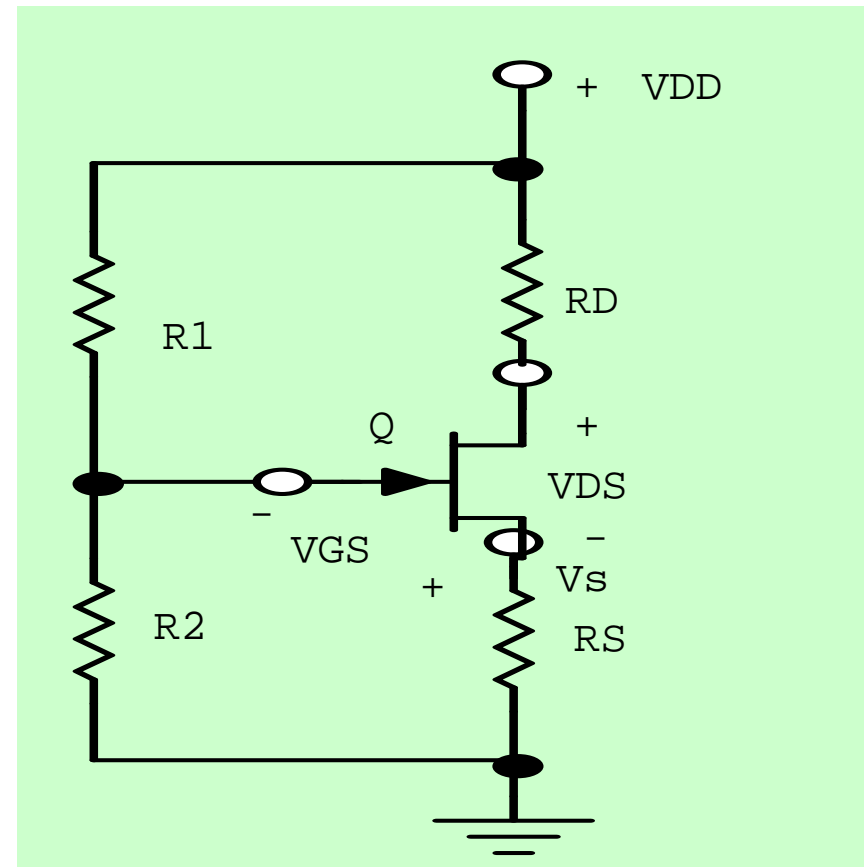
Mạch D-S cho dòng

I_D ở (2) và V_{DS} cho bởi:

$$V_{DS} = V_{DD} - (R_D + R_S)I_D \quad (3)$$

- Đường tải tĩnh:

$$I_D = \frac{-V_{DS}}{R_D + R_S} + \frac{V_{DD}}{R_D + R_S} \quad (4)$$





MOSFET

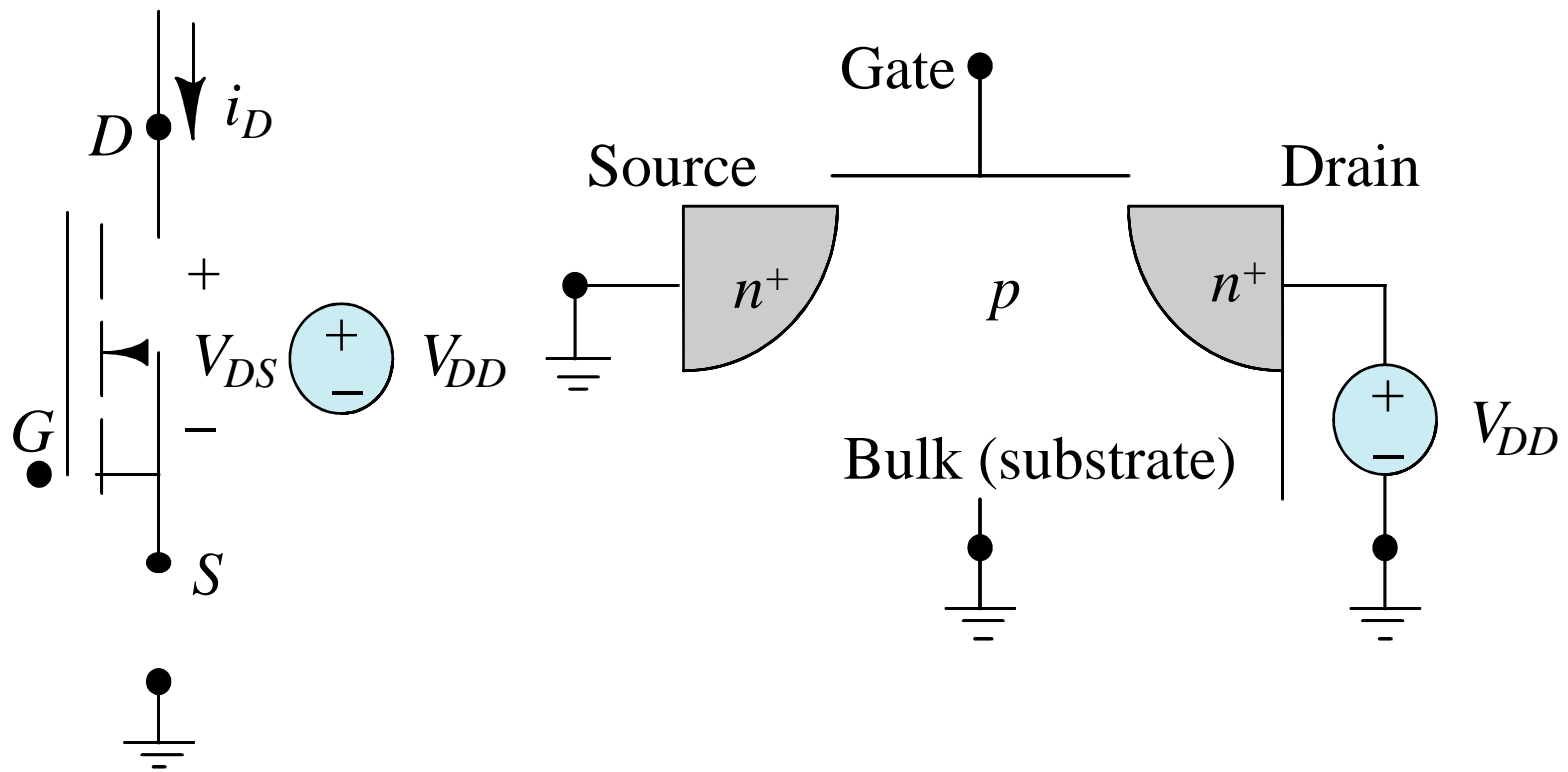
MOSFET có 2 loại :

- MOSFET loại tăng cường (EMOSFET – Enhancement MOSFET)
- MOSFET loại hiếm (DMOSFET - Depletion MOSFET)



EMOSFET

Cấu tạo EMOSFET kênh n luôn luôn ngưng (off)





EMOSFET

- **Transistor EMOSFET** được thực hiện trên 1 giá (nền , thân) Si loại p. Và trên nền nói trên 2 vùng pha đậm n+ được khuếch tán tạo nên cực nguồn S và cực thoát D.
- **Một lớp cách điện (SiO_2)** đặt dưới cực cổng G, nên điện trở ngõ vào (cực G) rất lớn có thể đến vài chục –vài trăm Gohm.

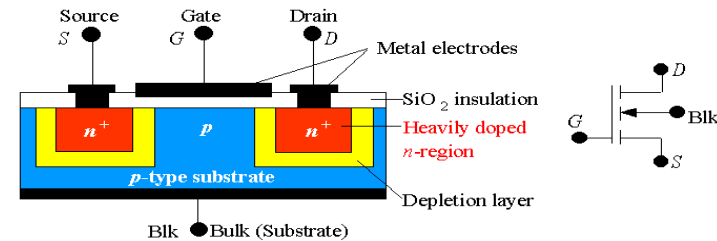


Fig. 6.36: The basic structure of the enhancement MOSFET and its circuit symbol.

From *Principles of Electronic Materials and Devices, Second Edition*, S.O. Kasap (© McGraw-Hill, 2002)
<http://Materials.USask.ca>

- Do cấu trúc như trên nên FET này có tên MOSFET (MOS–Metal-Oxide-Semiconductor)
- Do giữa 2 cực S và D thành lập vùng hiếm lớn, nên MOSFET không dẫn điện khi chưa được phân cực.

EMOSFET

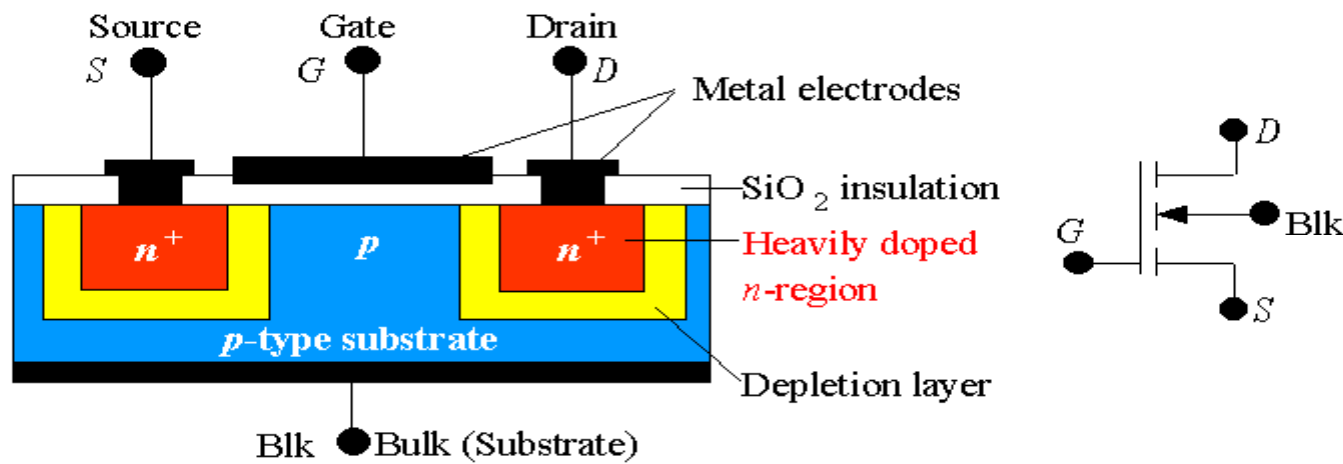


Fig. 6.36: The basic structure of the enhancement MOSFET and its circuit symbol.

From *Principles of Electronic Materials and Devices, Second Edition*, S.O. Kasap (© McGraw-Hill, 2002)
<http://Materials.Uask.ca>

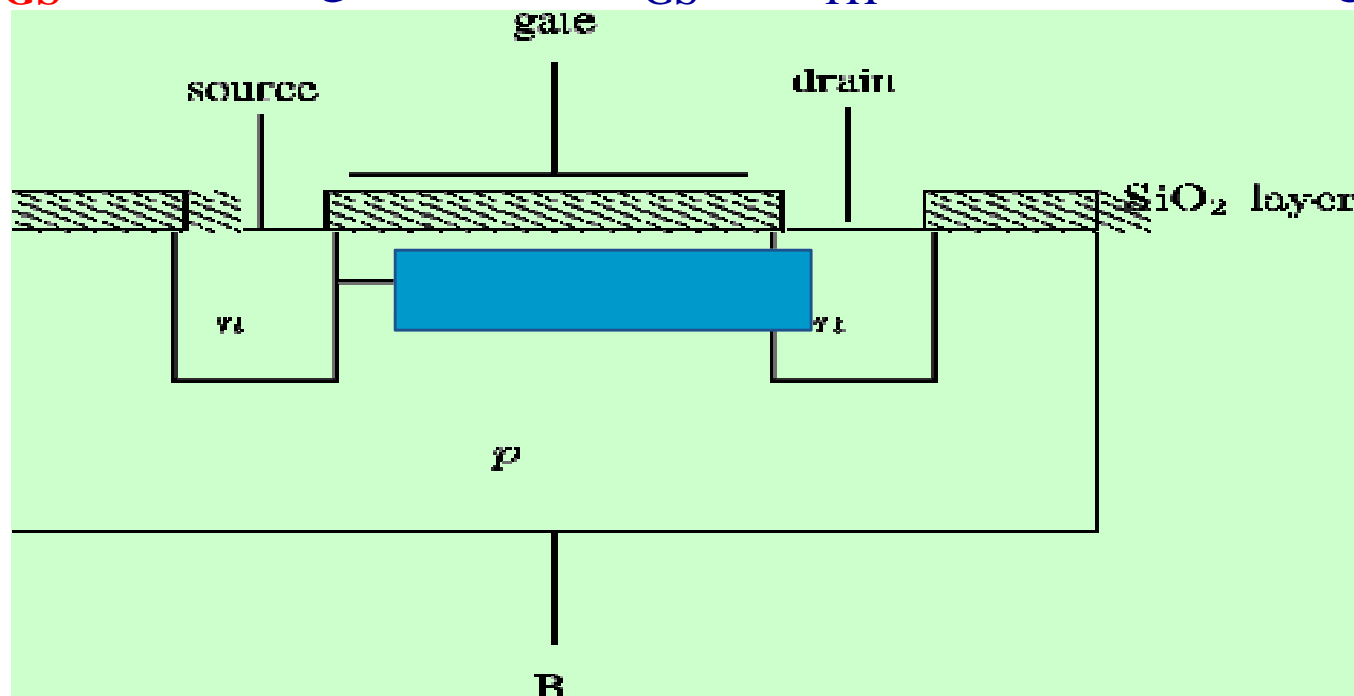


HOẠT ĐỘNG CỦA MOSFET

Cách hoạt động

E-MOSFET kênh N còn gọi là NMOS loại tăng, trước tiên được phân cực với $V_{DS} > 0$ nhỏ và giữ không đổi, cho V_{GS} thay đổi:

- **Khi $V_{GS} < 0$** , dưới cổng (dưới lớp oxit) chỉ có lớp điện tích dương (do cảm ứng) nên $I_D = 0$, MOSFET không dẫn.
- **Khi $V_{GS} > 0$** nhưng vẫn còn $V_{GS} < V_{TH}$ MOSFET vẫn ngưng dẫn.

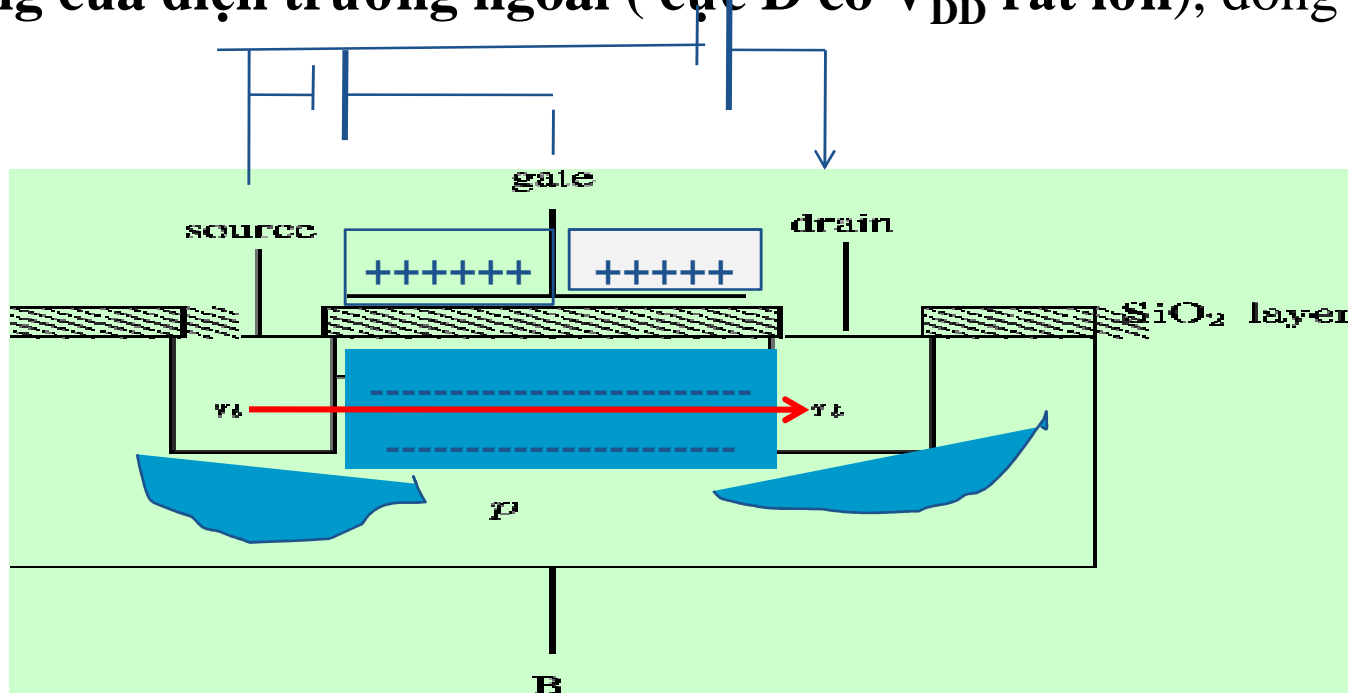




HOẠT ĐỘNG CỦA MOSFET

a. Tiếp tục tăng $V_{GS} > 0$

Khi $V_{GS} > V_{TH}$ số điện tích âm dưới cực cổng đủ hình thành kênh n từ cực S sang cực D, nhờ đó các điện tử tự do dễ dàng di chuyển từ S sang D dưới tác động của điện trường ngoài (cực D có V_{DD} rất lớn), dòng I_D tăng



⇒ MOSFET dẫn điện nhưng do điện trường còn nhỏ nên dòng I_D vào khoảng vài μA .



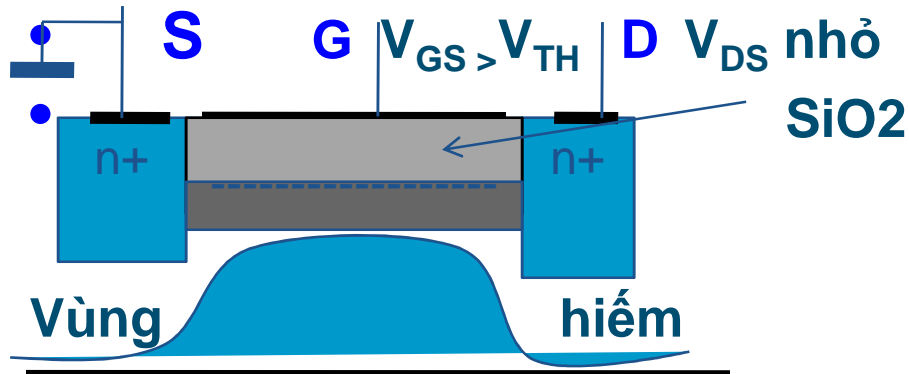
HOẠT ĐỘNG CỦA MOSFET

- **Khi $V_{GS} > V_{TH}$ càng lớn**, số điện tử tự do trong kênh cảm ứng càng tăng làm dòng thoát I_D càng tăng.
- b. Nếu giờ giữ V_{GS} đủ lớn như trên và làm thay đổi V_{DS} (bằng cách thay đổi V_{DD}):**
 - **Lúc V_{DS} còn nhỏ** dòng I_D tăng rất nhanh
 - **Lúc V_{DS} tăng đủ lớn**, do vùng thoát phân cực nghịch, vùng hiếm lan rộng làm hẹp và bị nghẽn tại cuối kênh, dòng thoát I_D đạt trị số bão hoà (có trị lớn nhất và không đổi) V_{DSbh} .
- Sau đó, nếu tiếp tục gia tăng $V_{DS} > V_{DSbh}$ vùng hiếm phía cực D càng rộng làm điểm nghẽn di chuyển về phía cực nguồn S nên dòng I_D vẫn giữ trị không đổi → dòng thoát bão hoà (xem hình).**

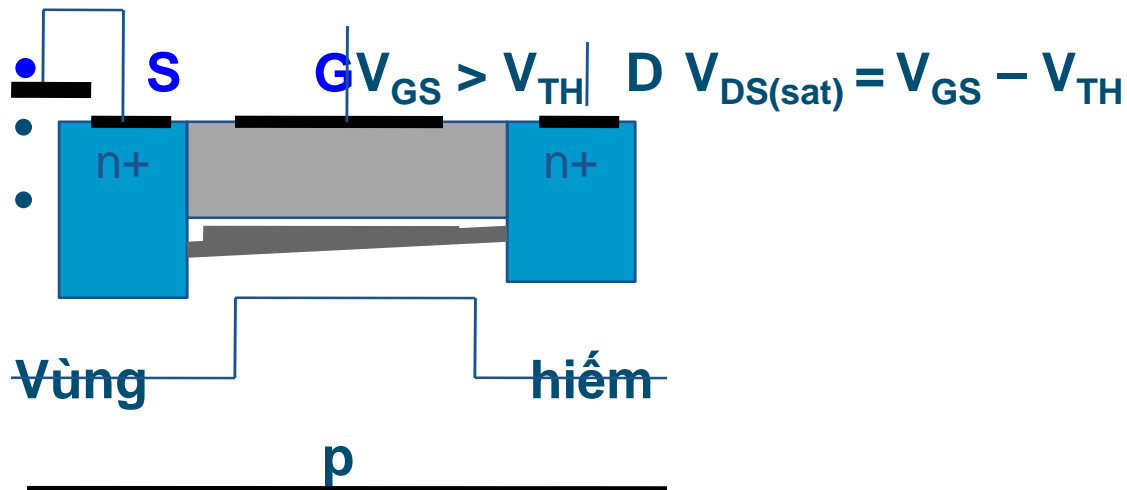
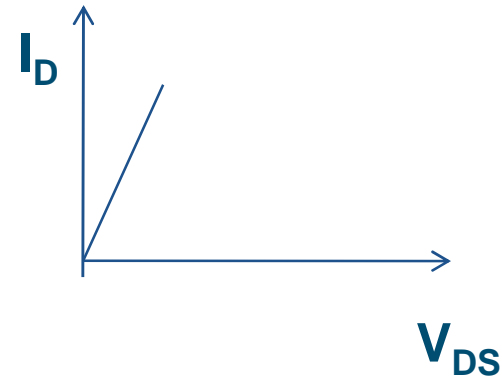


HOẠT ĐỘNG CỦA MOSFET

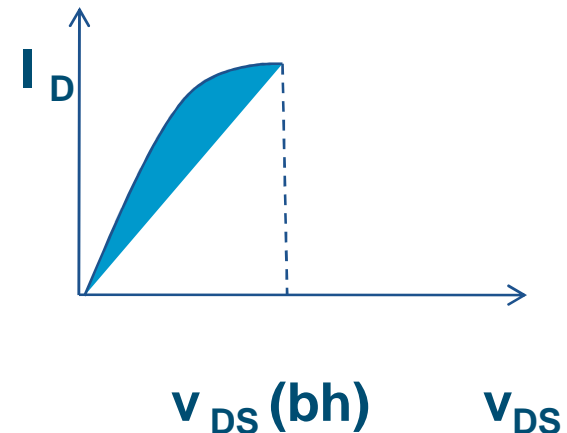
Hình vẽ khi giữ $V_{GS} > V_{TH}$ và tăng V_{DS}



dòng tăng nhanh nhưng nhỏ



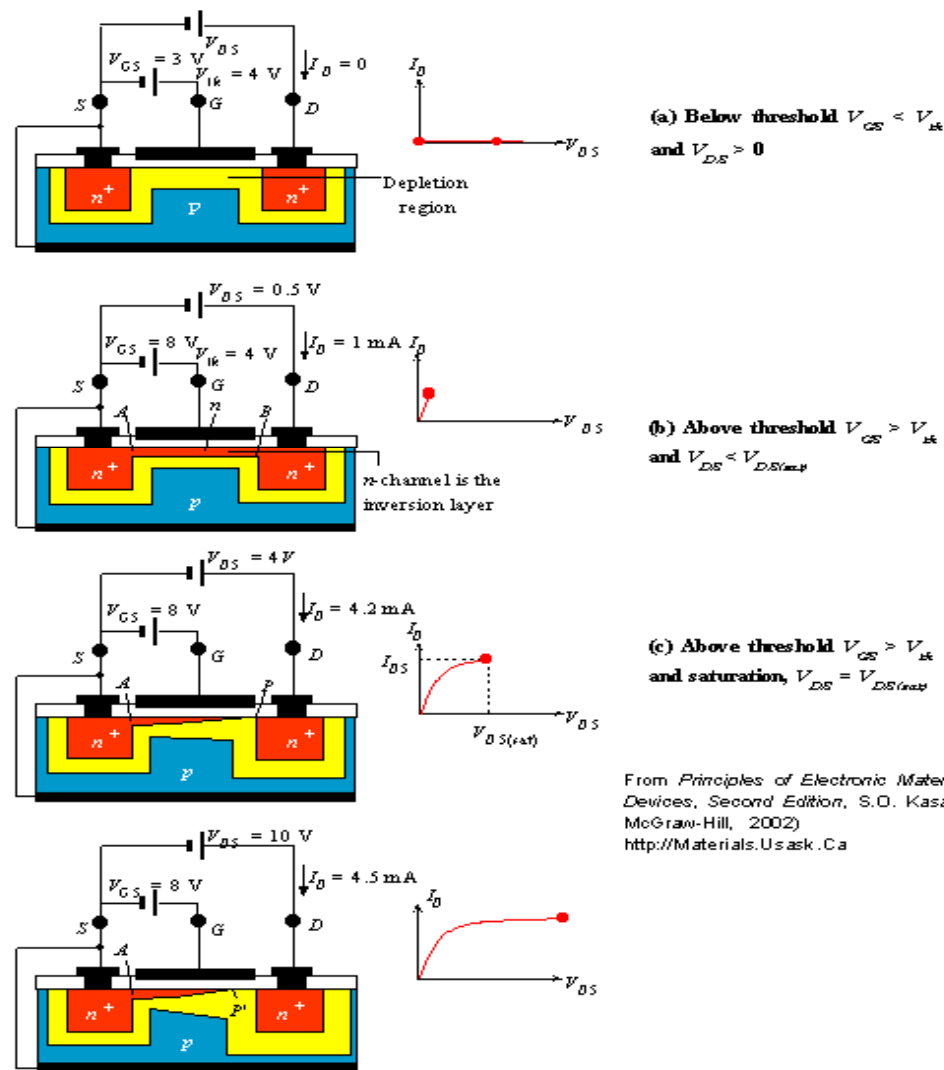
dòng bão hòa



Khi $V_{DS} > V_{GS} - V_{TH}$, kênh cảm ứng bị nghẽn, dòng thoát bão hòa 57



HOẠT ĐỘNG CỦA MOSFET



From *Principles of Electronic Materials and Devices, Second Edition*, S.O. Kasap (© McGraw-Hill, 2002)
<http://Materials.usask.ca>

Fig. 6.37: The MOSFET I_D vs V_{DS} characteristics



HOẠT ĐỘNG CỦA MOSFET

Chú ý

- (1). Do EMOSFET dẫn điện chỉ bằng các hạt tải đa số nên còn gọi là linh kiện hạt tải đa số hay transistor đơn cực (đơn hướng).
- (2). Việc điều khiển các hạt tải đa số bằng điện trường nên EMOSFET còn được gọi là linh kiện điều khiển bằng điện trường.
- (3). Với các EMOSFET kênh p thì lý luận tương tự nhưng với kênh cảm ứng là các lỗ trống, cực S và cực D là các lỗ trống cho sẵn.



Đặc tuyến và phương trình dòng I_D

1. Đặc tuyến ra $I_D = f(V_{DS})$ tại $V_{GS} = \text{hs.}$
2. Đặc tuyến truyền $I_D = f(V_{GS})$ tại $V_{DS} = \text{hs.}$

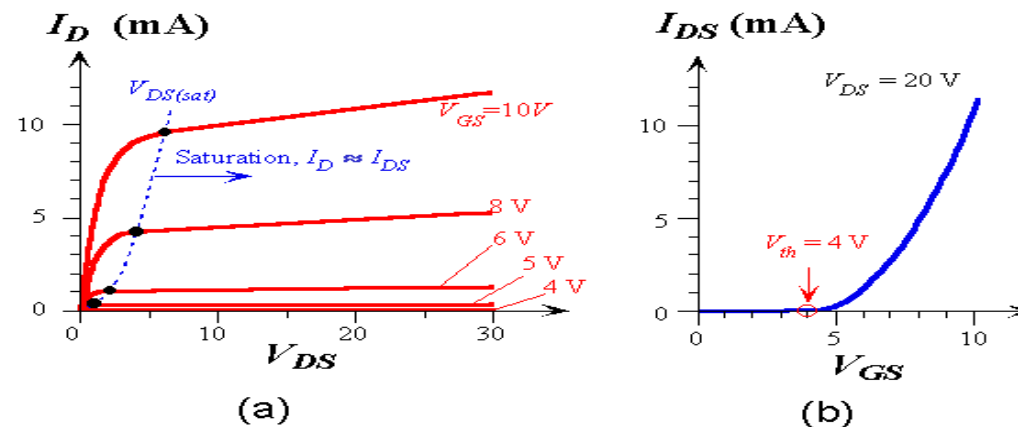


Fig. 6.38: (a) Typical I_D vs V_{DS} characteristics of an enhancement MOSFET ($V_{th} = 4$ V) for various fixed gate voltages V_{GS} . (b) Dependence of I_D on V_{GS} at a given V_{DS} ($>V_{DS(sat)}$).

Vùng triod

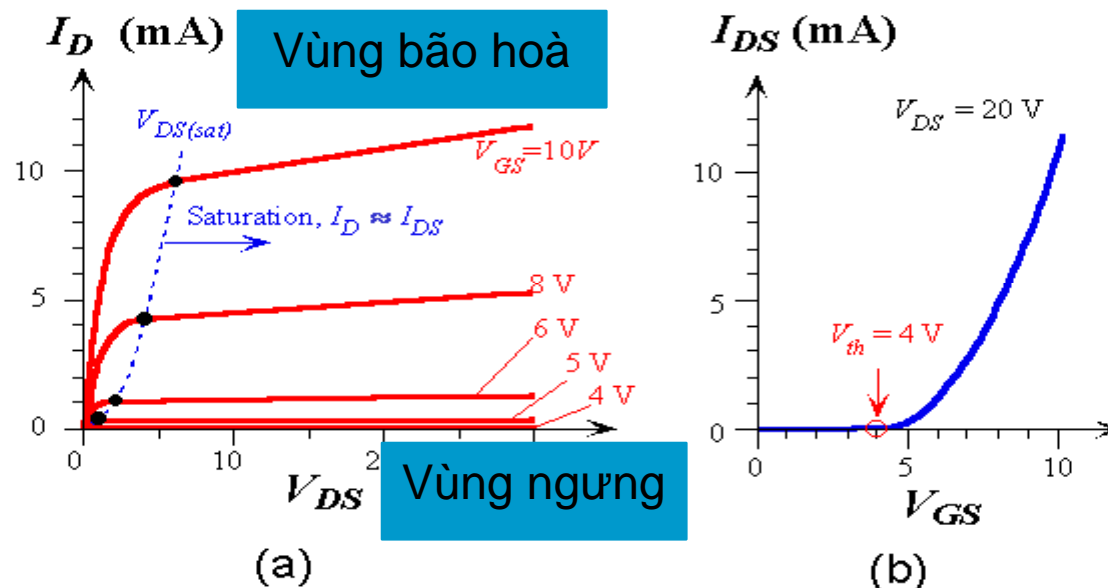
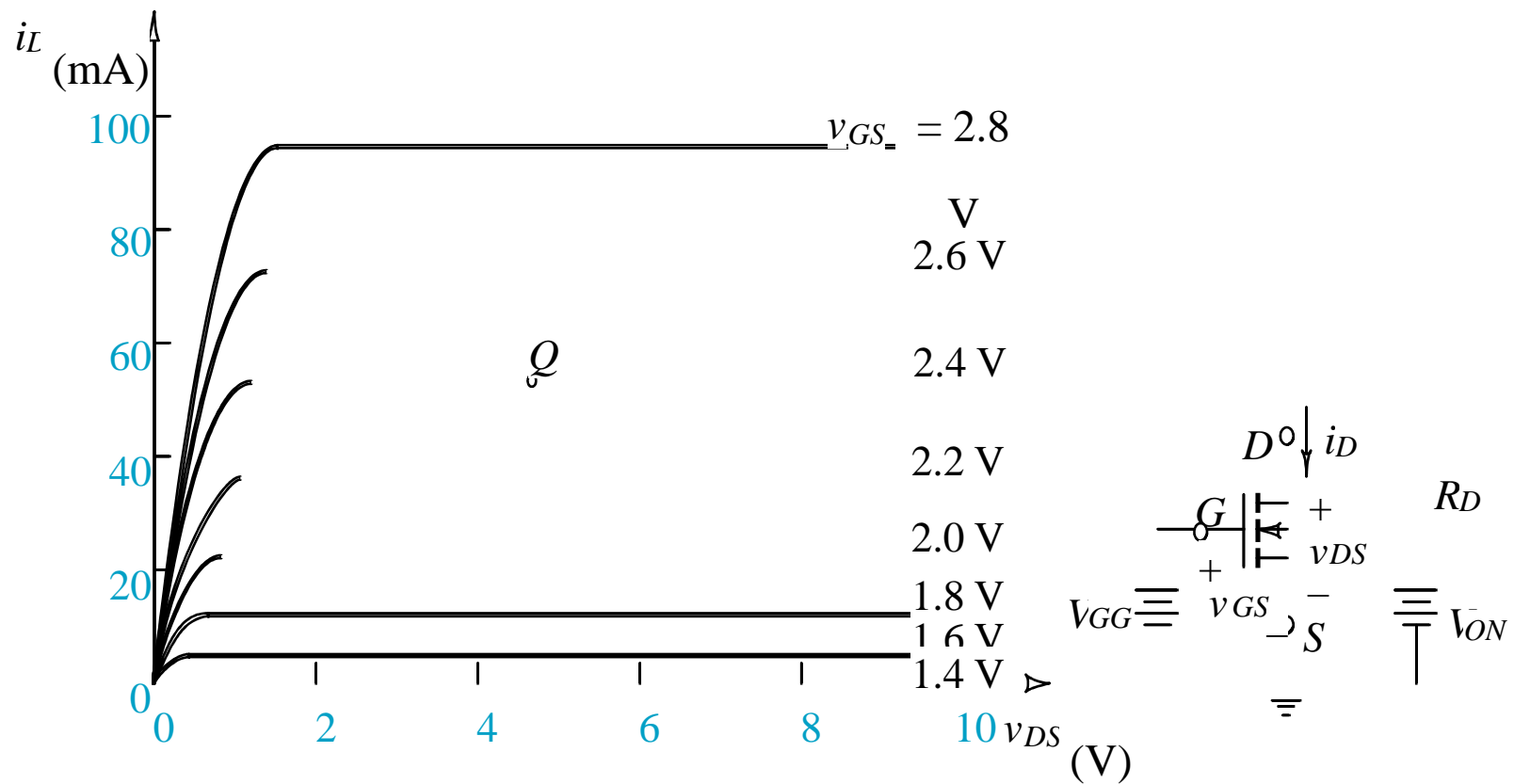


Fig. 6.38: (a) Typical I_D vs V_{DS} characteristics of an enhancement MOSFET ($V_{th} = 4$ V) for various fixed gate voltages V_{GS} . (b) Dependence of I_D on V_{GS} at a given V_{DS} ($>V_{DS(sat)}$).



Điểm tĩnh điều hành của EMOSFET kênh n





4. Biểu thức điện thế và dòng điện

a. Biểu thức điện thế

Dựa vào lý thuyết và đặc tuyến, quỹ tích các điểm có V_{DSbh} cho bởi:

$$V_{DSbh} = V_{GS} - V_{TH} \quad (1).$$

b. Biểu thức dòng điện thoát I_D .

- **Trong vùng điện trở** : $V_{GS} < V_{TH}$ hay $V_{DS} < V_{GS} - V_{TH}$ ta có :

$$I_D = k[2(V_{GS} - V_{TH})V_{DS} - (V_{DS})^2] \quad (2)$$

- **Trong vùng bão hoà** : $V_{GS} > V_{TH}$ hay $V_{DS} > V_{GS} - V_{TH}$ ta có :

$$I_D = k(V_{GS} - V_{TH})^2 \quad (3)$$

k hằng số tùy thuộc linh kiện .



Table 5.1 Summary of the MOSFET current–voltage relationships

NMOS

Nonsaturation region ($v_{DS} < v_{DS}(\text{sat})$)

$$i_D = K_n[2(v_{GS} - V_{TN})v_{DS} - v_{DS}^2]$$

Saturation region ($v_{DS} > v_{DS}(\text{sat})$)

$$i_D = K_n(v_{GS} - V_{TN})^2$$

Transition point

$$v_{DS}(\text{sat}) = v_{GS} - V_{TN}$$

Enhancement mode

$$V_{TN} > 0$$

Depletion mode

$$V_{TN} < 0$$

PMOS

Nonsaturation region ($v_{SD} < v_{SD}(\text{sat})$)

$$i_D = K_p[2(v_{SG} + V_{TP})v_{SD} - v_{SD}^2]$$

Saturation region ($v_{SD} > v_{SD}(\text{sat})$)

$$i_D = K_p(v_{SG} + V_{TP})^2$$

Transition point

$$v_{SD}(\text{sat}) = v_{SG} + V_{TP}$$

Enhancement mode

$$V_{TP} < 0$$

Depletion mode

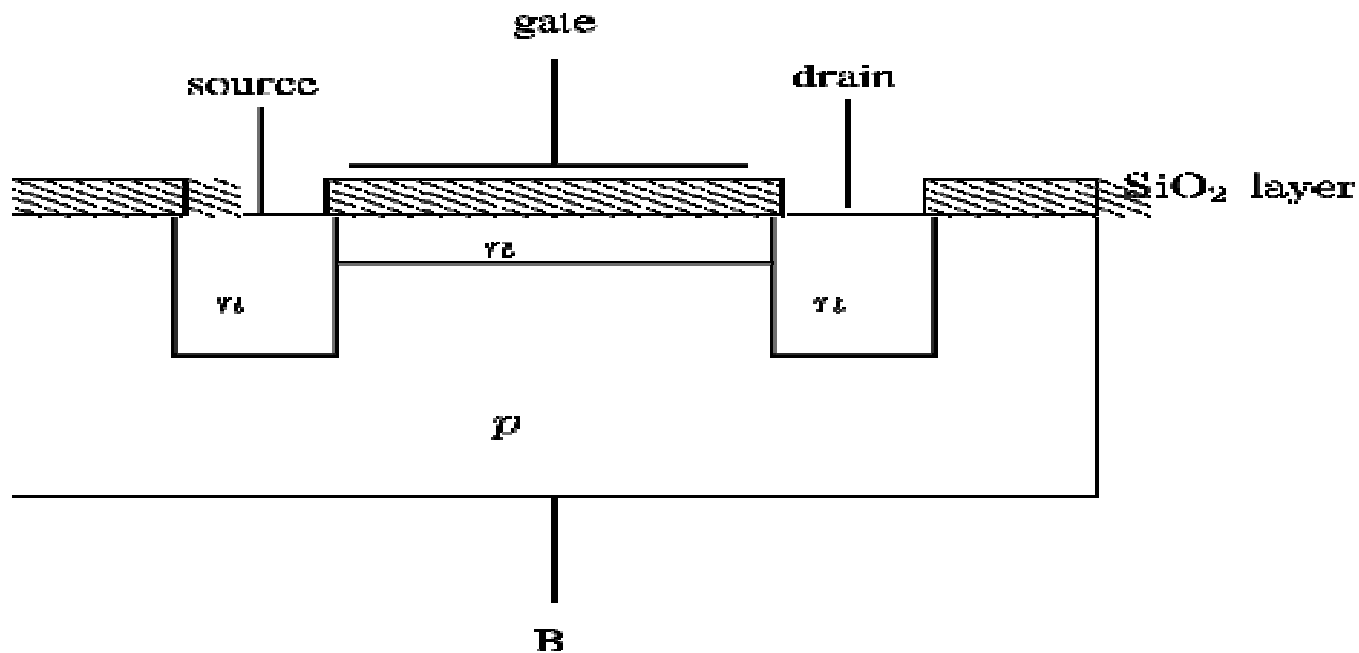
$$V_{TP} > 0$$



DMOSFET

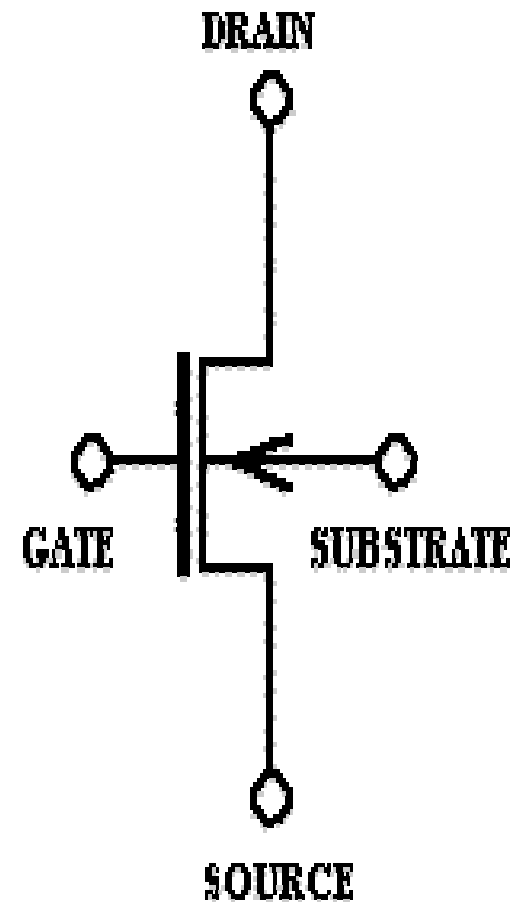
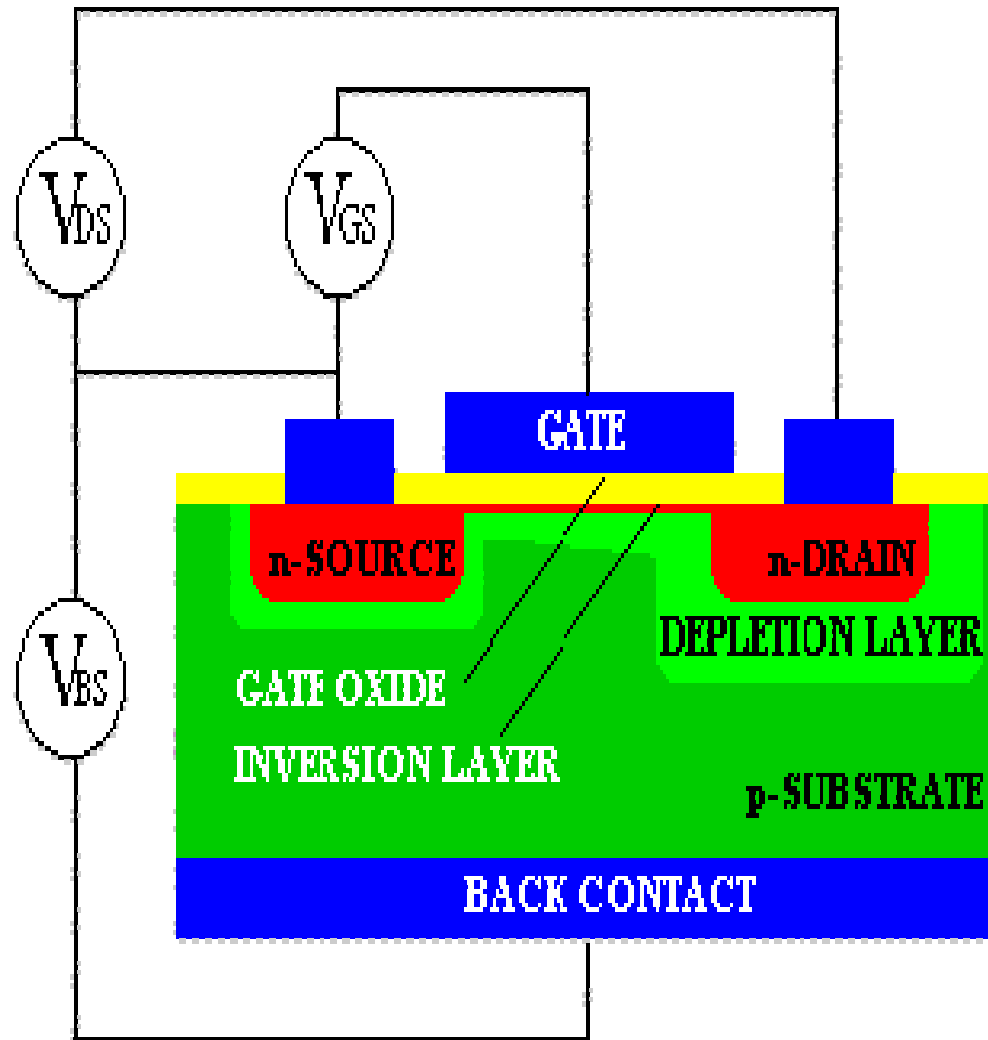
1. Cấu tạo

Tương tự như EMOSFET nhưng có tạo kênh n pha lợt giữa cực S và cực D (H.10)





DMOSFET





DMOSFET

2. Cách hoạt động

- **Khi cho $V_{GS} = 0V$ và thay đổi V_{DS}**
 - Lý luận tương tự như EMOSFET, nhưng vì DMOSFET có kênh cho sẵn nên khi cho V_{DS} nhỏ và ngay cả khi $V_{GS}=0V$ các điện tử tự do dễ dàng di chuyển từ S đến D qua kênh n có sẵn, MOSFET dẫn.
 - Khi V_{DS} tăng đến trị số lớn nhất định nào đó thì vùng hiếm ở cực D sẽ lan rộng làm nghẽn kênh cho sẵn \rightarrow dòng I_D tăng đến trị bão hoà I_{DSS} , và điện thế thoát nguồn được gọi là điện thế nghẽn V_p như ở JFET.
- Ta xét 2 trường hợp cụ thể sau:



DMOSFET

- **Khi $V_{GS} < 0$**

Do có điện tích dương xuất hiện trong kênh n cho sẵn nên các điện tử tự do bị giảm bớt (bị trung hoà với điện tích dương) làm kênh bị nghèo đi nên dòng I_D yếu hơn. Và khi tăng V_{DS} lên kênh bị nghẽn sớm hơn $V_{DSbh} = V_p < V_{po}$.

- Khi V_{GS} càng âm thì dòng I_D và V_p càng giảm hơn

Khi V_{GS} âm đến trị số nhất định V_{GSOFF} , số điện tích dương xuất hiện dưới cực S càng nhiều làm trung hoà hết các điện tử tự do và chiếm hết kênh nên không còn dòng thoát ($I_D = 0$), DMOSFET ngưng như ở JFET → DMOSFET hoạt động theo kiểu hiếm



DMOSFET

- **Khi cho $V_{GS} > 0$**

Do số điện tử cảm ứng trong kênh bây giờ là các điện tử tự do nên dòng thoát càng tăng lên. Và khi tăng V_{DS} lên, do vùng hiếm ở cực D lan rộng ra nên kênh bị nghẽn cho dòng thoát bão hoà lớn hơn dòng I_{DSS} khi $V_{GS} = 0V$.

Khi V_{GS} càng dương dòng thoát I_D càng tăng lớn hơn → DMOSFET hoạt động theo **kiểu tăng**. Nhưng tránh sử dụng khi có I_D quá lớn sẽ làm hỏng linh kiện.

Tóm lại: DMOSFET có 2 kiểu hoạt động kiểu tăng và kiểu hiếm tùy theo cách phân cực. Ở mỗi kiểu hoạt động ta áp dụng các công thức tương ứng.

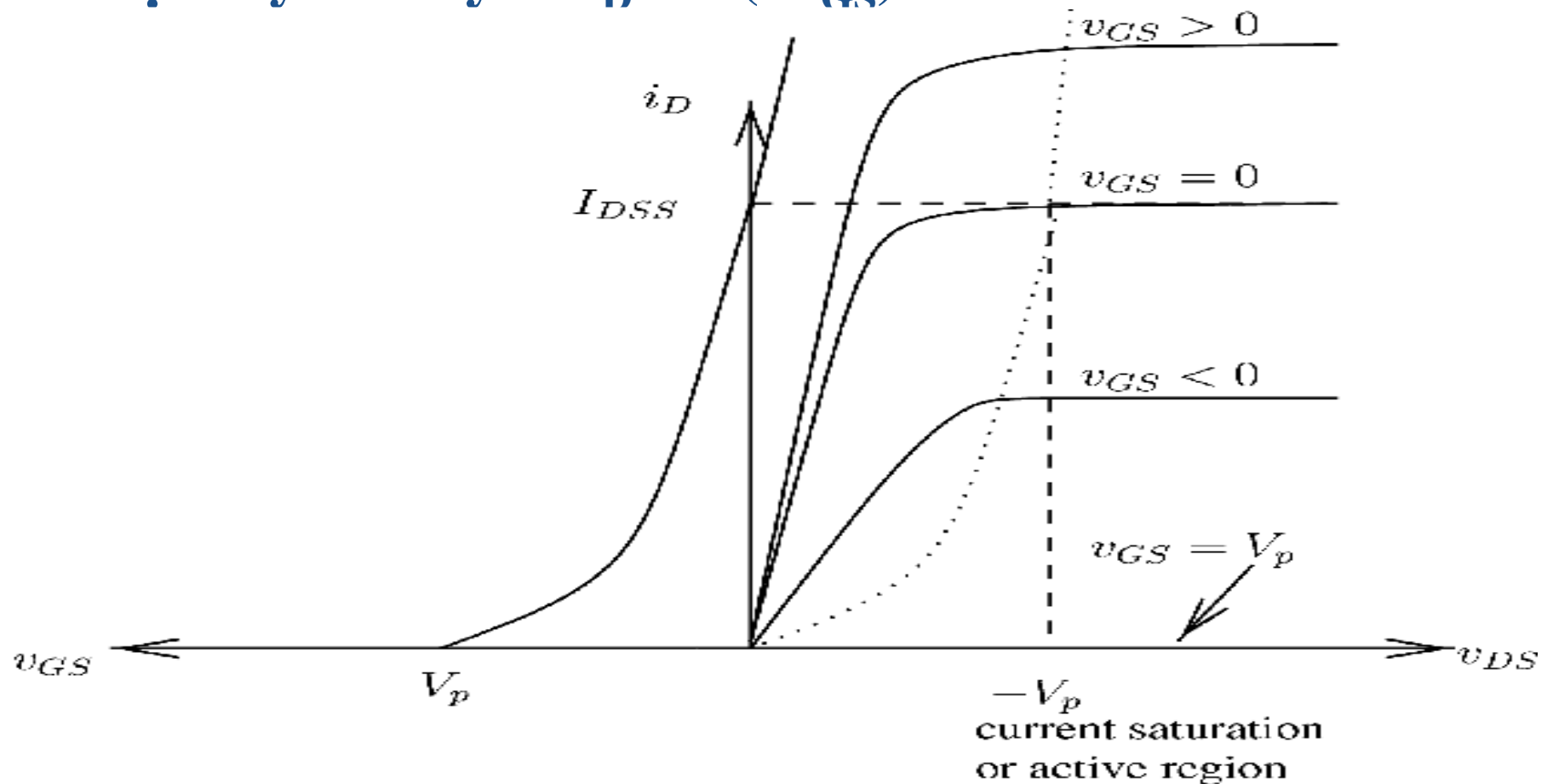


DMOSFET

3. Đặc tuyến của DMOSFET

a. Đặc tuyến ra $I_D = f(V_{DS})$

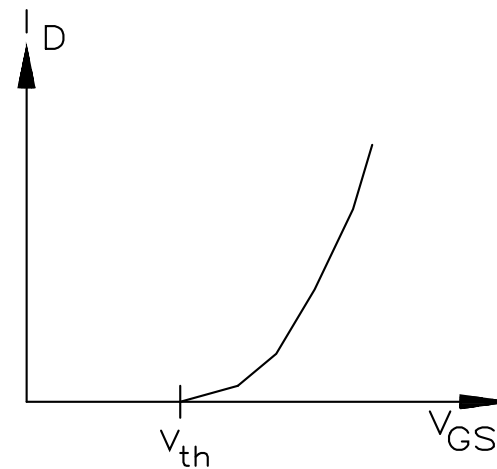
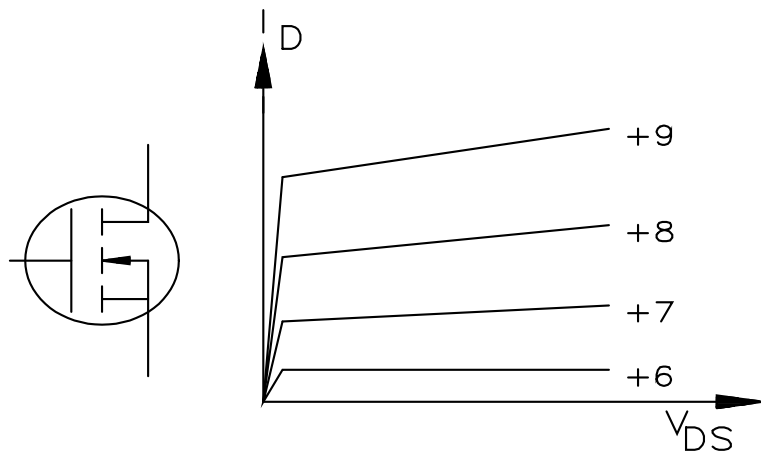
b. Đặc tuyến truyền $I_D = f(V_{GS})$





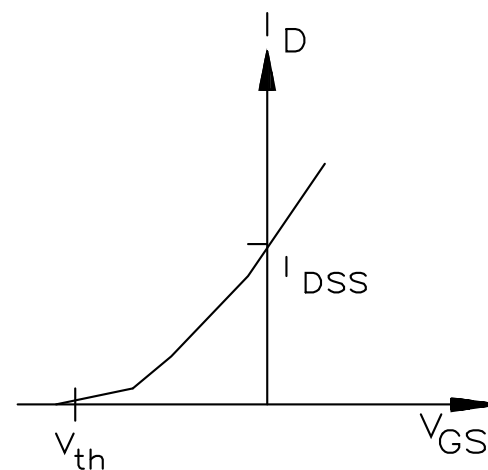
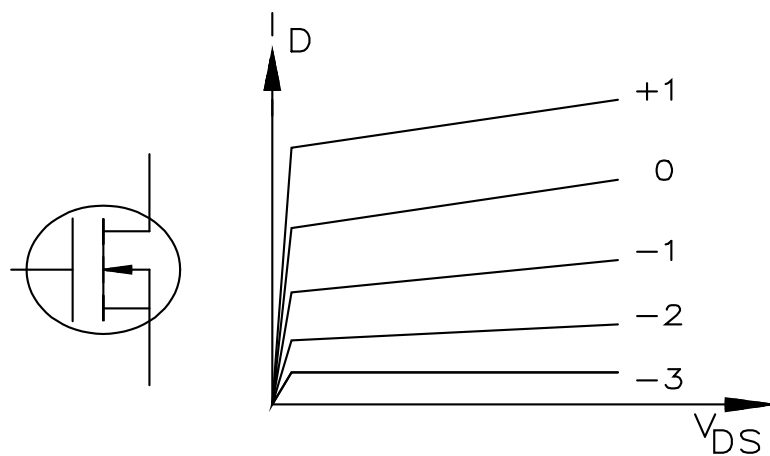
So sánh đặc tuyến của EMOSFET và DMOSFET kênh N

n-channel enhancement



V_{DS} +
 V_{GS} +
 I_D +
 V_{th} +
 I_{DSS} 0

n-channel depletion



V_{DS} +
 V_{GS} -(+)
 I_D +
 V_{th} -
 I_{DSS} 0



5. Mạch phân cực MOSFET

- ✓ **DMOSFET (kênh n) hoạt động khi phân cực $V_{GS} < 0$ nên các mạch phân cực đều giống như mạch phân cực JFET, khi $V_{GS} > 0$ phân cực giống như EMOSFET.**
- ✓ **EMOSFET (kênh n) hoạt động khi $V_{GS} > V_{TH}$ dương, nên áp dụng cách phân cực:**
 - bằng cầu chia thế và
 - hồi tiếp thoát - cổng.

Dưới đây ta chỉ xét 2 cách phân cực nói trên, các cách khác xem lại ở JFET.

PHÂN CỰC BẰNG CẦU CHIA THỂ VÀ R_S

- Xác định điểm tĩnh điều hành Q: (Phân cực bằng cầu phân thể)

$$V_G = \frac{R_2}{R_1 + R_2} V_{DD}$$

$$V_S = R_S I_D$$

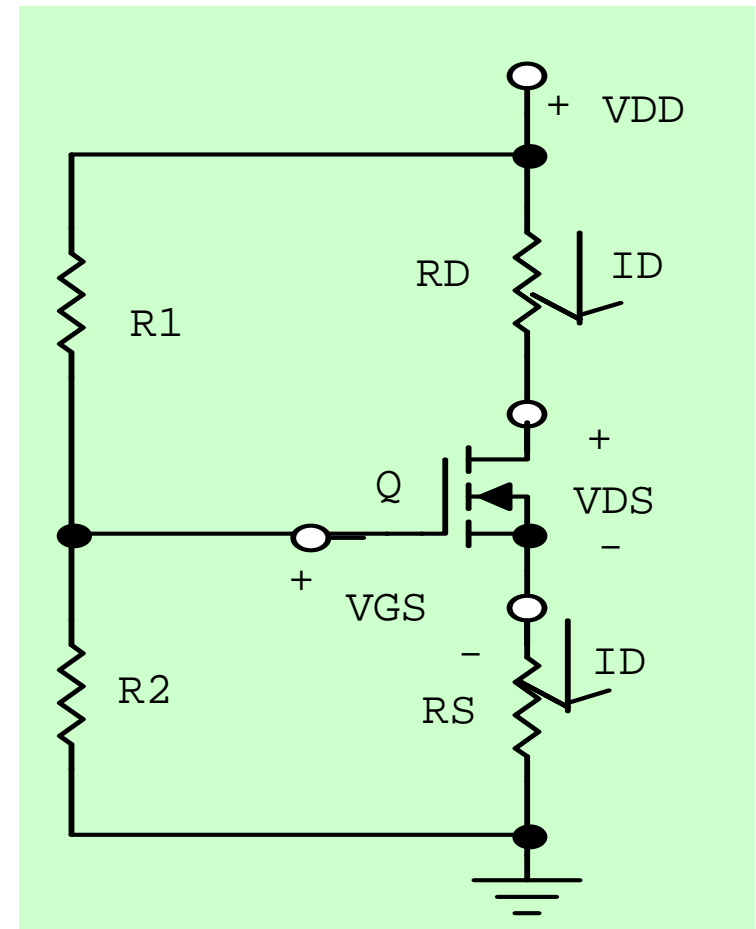
$$V_{GSQ} = V_G - V_S > 0 \quad (1)$$

$$I_{DQ} = k(V_{GSQ} - V_{TH})^2 \quad (2)$$

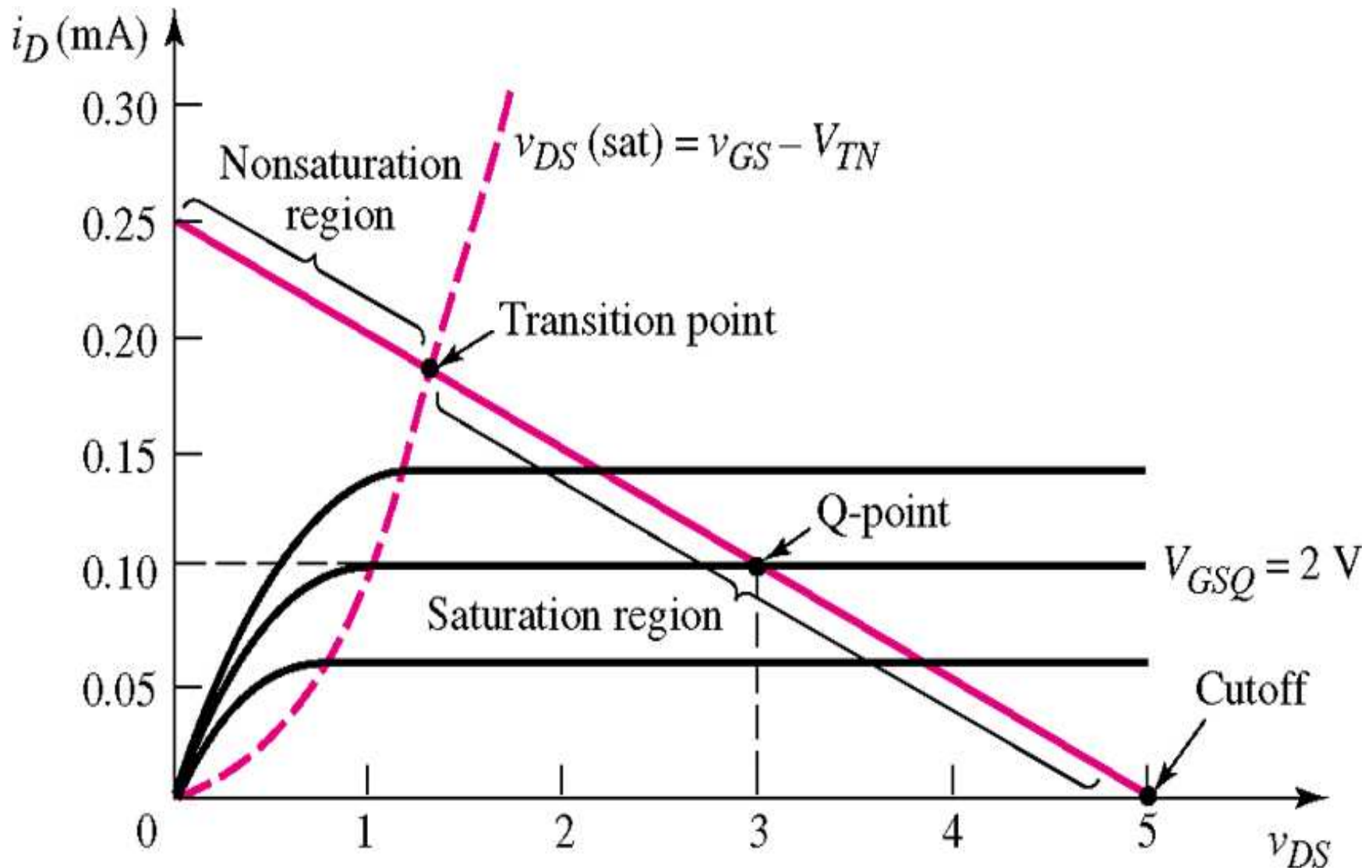
$$V_{DS} = V_{DD} - (R_D + R_S) I_D \quad (3)$$

- Đường tải tĩnh:

$$I_D = \frac{-V_{DS}}{R_D + R_S} + \frac{V_{DD}}{R_D + R_S} \quad (4)$$



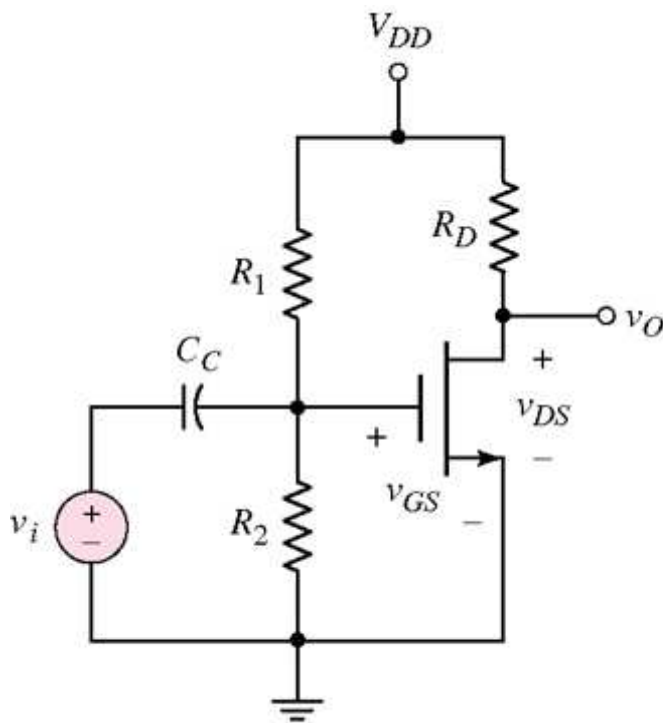
PHÂN CỰC BẰNG CẦU CHIA THỂ VÀ R_S



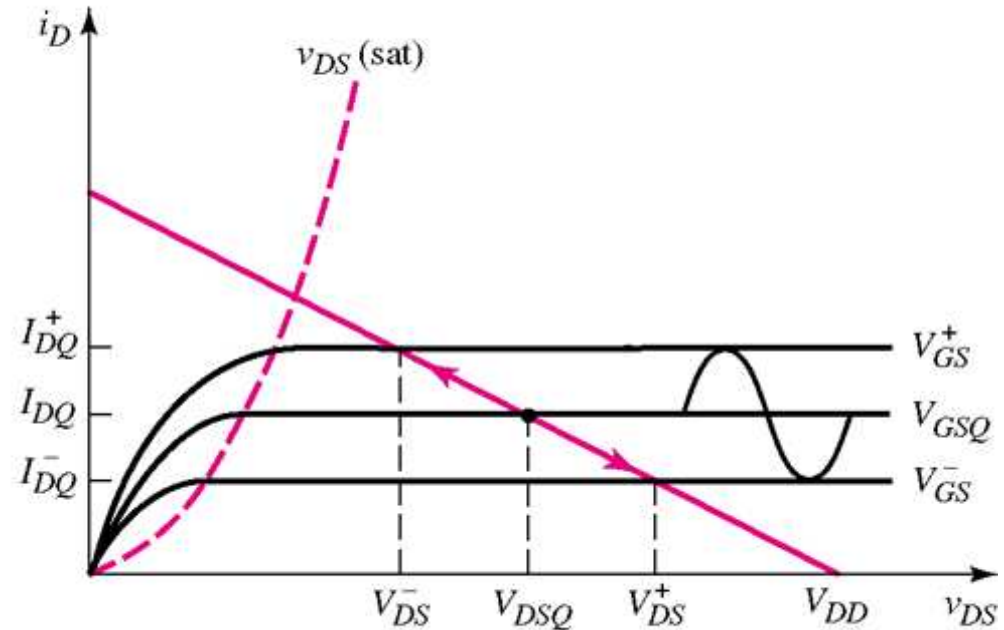
PHÂN CỰC BẰNG CẦU CHIA THỂ VÀ R_S

- Mạch có thể bỏ điện trở R_S vì FET ổn định đối với nhiệt độ

Các phép tính giống như trên nhưng cho $R_S = 0$



(a)



(b)

PHÂN CỰC BẰNG ĐIỆN TRỞ HỒI TIẾP R_G

- Xác định điểm tĩnh điều hành Q:

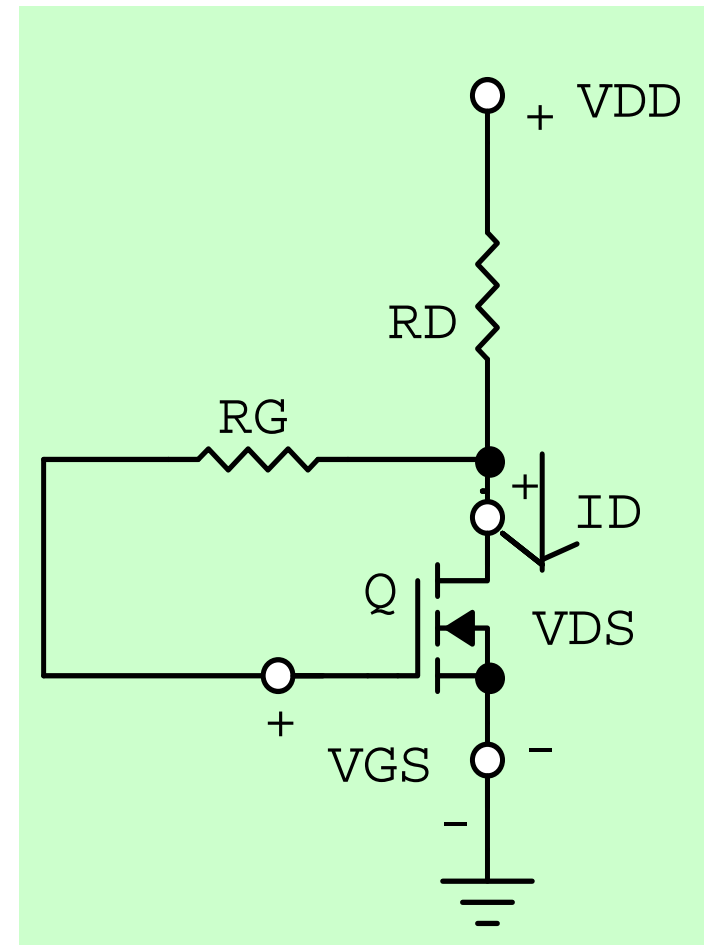
$$V_{GSQ} = V_{ds} > V_{TH} \quad (1)$$

$$I_{DQ} = k(V_{GSQ} - V_{TH})^2 \quad (2)$$

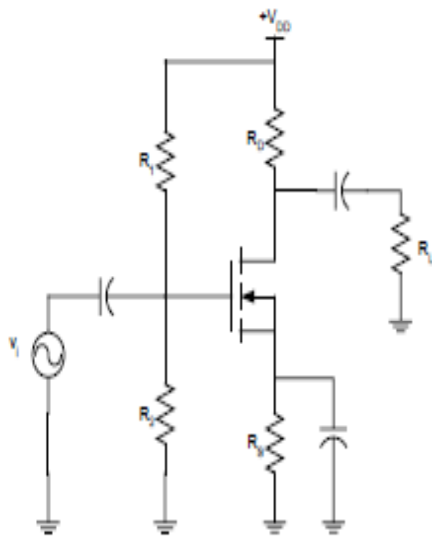
$$V_{DS} = V_{DD} - R_D I_D \quad (3)$$

- Đường tải tĩnh:

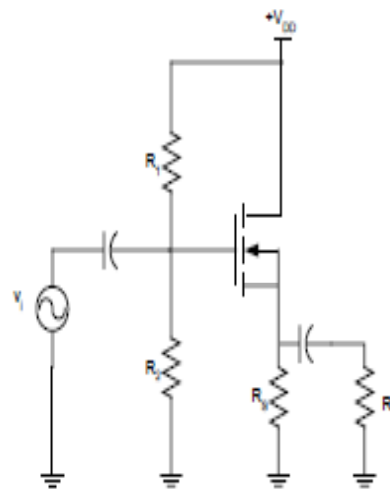
$$I_D = \frac{-V_{DS}}{R_D} + \frac{V_{DD}}{R_D} \quad (4)$$



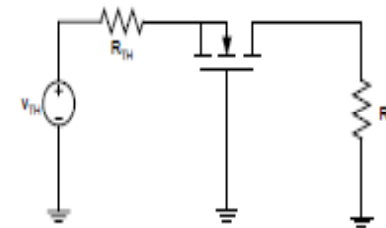
CÁC CÁCH RÁP MẠCH KHUẾCH ĐẠI



Common-Source Amplifier



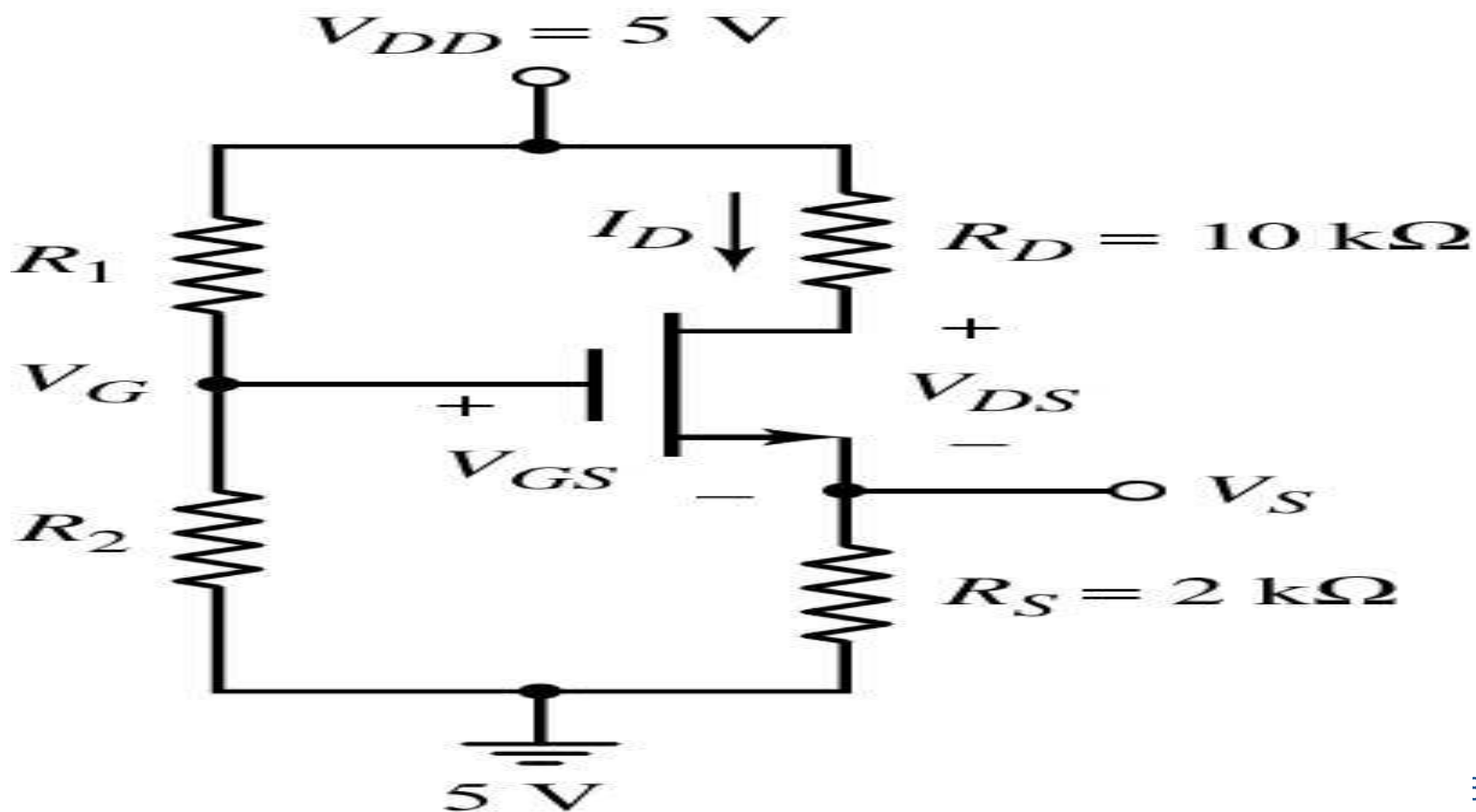
Common-Drain Amplifier



Common-Gate Amplifier



- Phân cực mạch khuếch đại theo SF (CD)**
- Cách tính giống như ở cách phân cực CS





PHỤ LỤC

Cách giải nhanh

Trong trường hợp ta không biết trước cả điện thế phân cực VGS cả dòng thoát ,ta có thể giải nhanh bằng 1 trong 2 cách sau:

a.Giải nhanh bằng đồ thị :

Ta thực hiện các bước sau :

Vẽ đặc tuyến truyền của JFET dựa vào phương trình Schockley

Vẽ đường thẳng tải tĩnh để xác định điểm tĩnh điều hành I_{DSQ} , V_{GSQ}

Sau đó ,tiếp tục tính trị V_{DSQ}

Thí dụ 3 :Cho mạch JFET theo hình .

1-Vẽ đặc tuyến truyền,

2-Tính trị số điểm tĩnh : V_{GS} , I_D , V_{DS}

3-Tính điện thế tại các cực V_S , V_G , V_D



- Giải :

1)-Từ phương trình Schockley ta có thể vẽ đặc tuyến truyền qua các điểm sau:

- điểm I_{DSS} khi chọn $V_{GS}=0$
- điểm V_{GSoff} khi chọn $V_{GS} = V_{GSoff}$
- và các điểm chọn bất kỳ :

Chọn $V_{GS} = V_p / 2 = -3V$,thay vào phương trình Schockley tính được :

$$I_D = I_{DSS} \left(1 - \frac{V_p/2}{V_p}\right)^2 = \frac{8mA}{4} = 2mA$$

Chọn $V_{GS} = V_p / 3$:

$$I_D = I_{DSS} \left(1 - \frac{-2}{-6}\right)^2 \square I_{DSS}(O,45) = 8mA(O,45) = 3,6mA$$

nối các điểm này lại ,ta có đặc tuyến truyền (H.)



2. Vẽ đường phân cực: $V_{GS} = -R_S I_D = -(1K) I_D$, đường này sẽ đi qua điểm gốc 0 và điểm A tùy chọn với $I_D = 4mA$ và có $V_{GS} = -4V$ tương ứng. Giao điểm của đường phân cực và đặc tuyến truyền cho ta trị số điểm tĩnh điều hành muốn tìm:

$$I_D = 2,6 \text{ mA và } V_{GS} = -2,6 \text{ V}$$

$$\text{Tính được: } V_{DS} = 20V - (3,3K + 1K)(2,6 \text{ mA}) = 20V - 11,18 \text{ V} = 8,82V$$

2. Tính :

$$V_S = R_S I_D = (1K)(2,6mA) = 2,6V$$

$$V_G = 0 \text{ V}$$

$$V_D = V_{DD} - R_D I_D = 20V - (3,3K)(2,6mA) = 20V - 8,58 \text{ V} = 11,42 \text{ V}$$

$$\text{Hoặc tính : } V_D = V_{DS} + V_S = 8,82V + 2,6V = 11,42V$$



b. Giải bằng phương trình bậc hai

Khi thay $V_{GS} = -R_S I_D$ vào phương trình Shockley, ta có phương trình :

$$I_D = I_{DSS} \left(1 - \frac{-R_S I_D}{V_p} \right)^2 = I_{DSS} \left(1 + \frac{R_S I_D^2}{V_p^2} - \frac{2R_S I_D}{V_p} \right)^2$$
$$R_S^2 I_D^2 - I_D \left(2V_p R_S + \frac{V_p^2}{I_{DSS}} \right) + V_p^2 = 0$$

có dạng phương trình bậc hai : $ax^2 + bx + c = 0$ với:

$$a = R_S^2 \quad x = I_D \quad \text{và} \quad V_p < 0 \text{ (kênh n)}$$

$$b = - \left(2|V_p| + \frac{V_p^2}{I_{DSS}} \right) \quad V_p > 0 \text{ (kênh p)}$$

$$c = V_p^2$$

$$I_D = \frac{-b \pm \sqrt{b^2 - 4ac}}{2a}$$



với I_D thỏa điều kiện sau:

$$I_D < I_{DSS}$$

$$|V_{GS} = -R_S I_D| < |V_p = V_{GSoff}|$$

với: $V_{DS} > 0$, $V_{GS} < 0$ (kênh n)

$V_{DS} < 0$, $V_{GS} > 0$ (kênh p)

Có I_D , tính lại các trị V_{DS}, V_{GS} như đã biết:

$$|V_{DS}| = |V_{DD}| - (R_D + R_S) I_D$$

$$|V_{GS}| = R_S I_D$$

