

**VIETNAM NATIONAL UNIVERSITY – HCM CITY  
UNIVERSITY OF SCIENCE**

## **ĐIỆN TỬ CƠ BẢN**



### **CHƯƠNG VII: CÔNG LOGIC**

**Presenter: Nguyen Thi Thien Trang**



# CHƯƠNG VII: CỔNG LOGIC

- Khái niệm thực hiện bit nhị phân
- Các cổng logic cơ bản: NOT, AND, OR
- Các cổng logic khác: NAND, NOR, EXOR, EXNOR, Half Adder, Full Adder
- Họ IC logic



# TỔNG QUAN

## Tại sao phải số hóa?

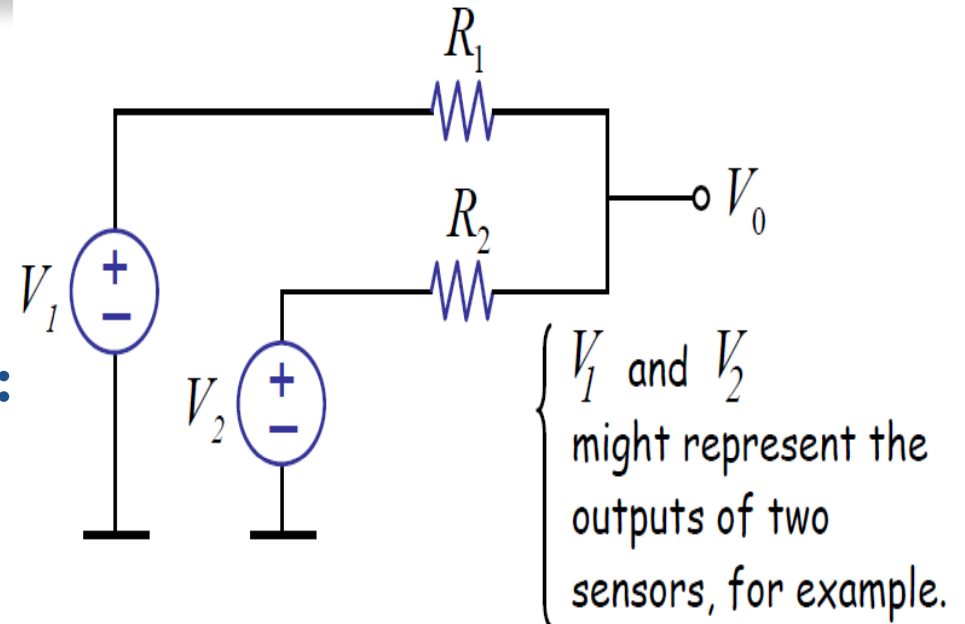
- Trước đây

Xử lý tín hiệu tương tự. Áp dụng nguyên lý chồng chất cho:

$$V_0 = \frac{R_2}{R_1 + R_2} V_1 + \frac{R_1}{R_1 + R_2} V_2$$

$$R_1 = R_2,$$

$$V_0 = \frac{V_1 + V_2}{2}$$



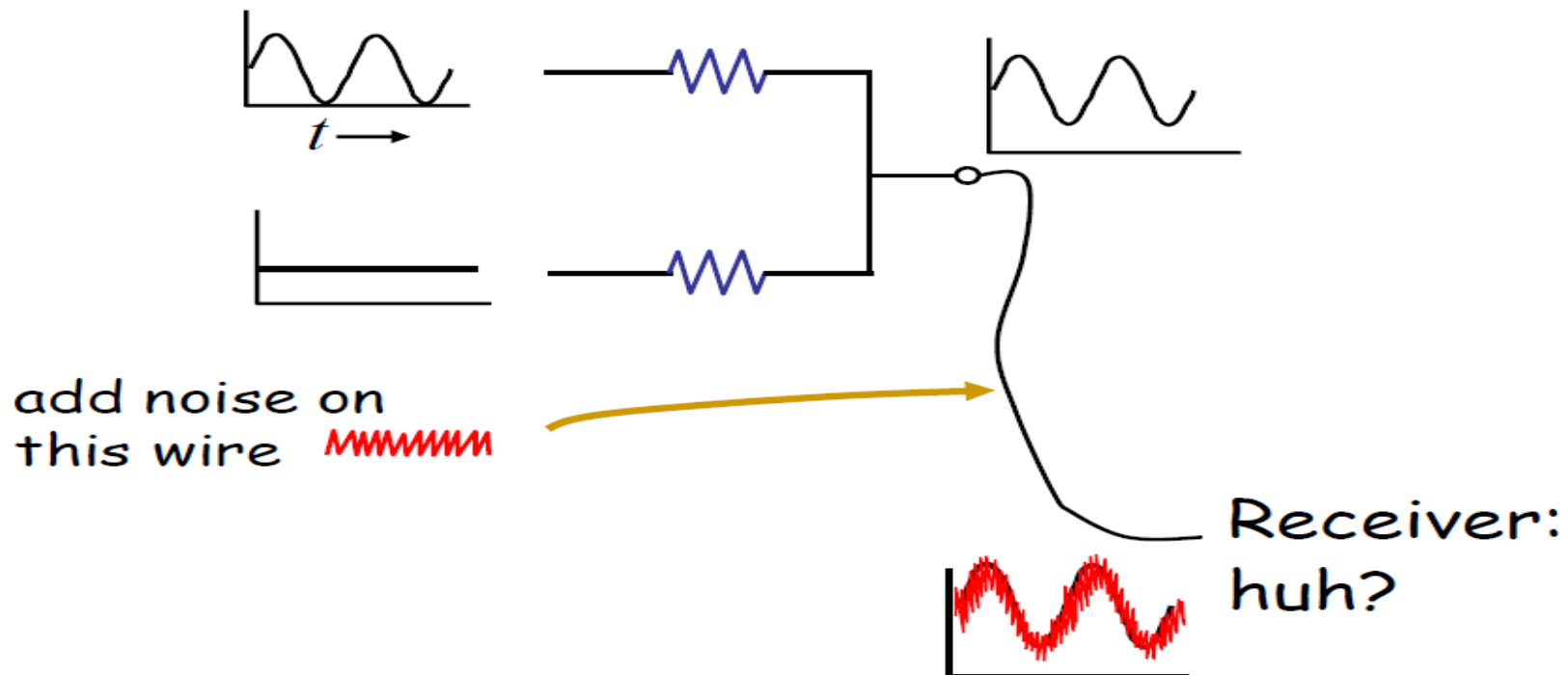
## M Mạch cộng (tổng)



# TỔNG QUAN

## Bài toán nhiễu?

- Nhiều trên đường dây cộng vào

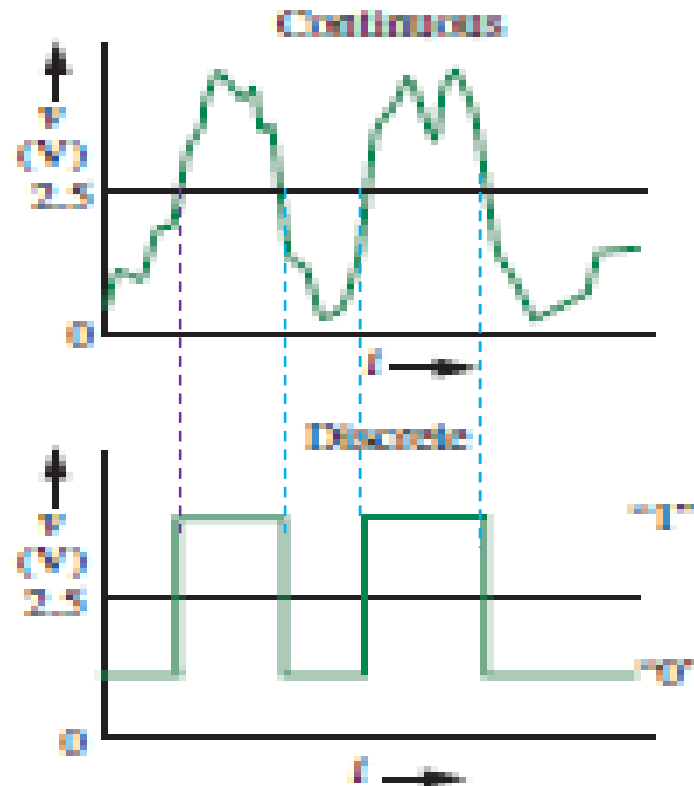


Nhiều cản trở khả năng chúng ta phân biệt giữa hai trị số nhỏ khác nhau (như giữa 3,1V và 3,2V)



# TỔNG QUAN

- Số hoá  
Lấy mẫu
- Tương tự (Analog)
- Số (Digital)  
Xung, gián đoạn





# TỔNG QUAN

- Ngày nay nền tảng

Trị gián đoạn → lý thuyết số

- Rất thú vị, chúng ta sẽ thấy một cách ngắn nhất rằng những công cụ được học trong ba chương trước là đủ để phân tích những mạch số đơn giản
- **Gián đoạn hoá trị số**, giới hạn những giá trị là một trong hai trị sau:

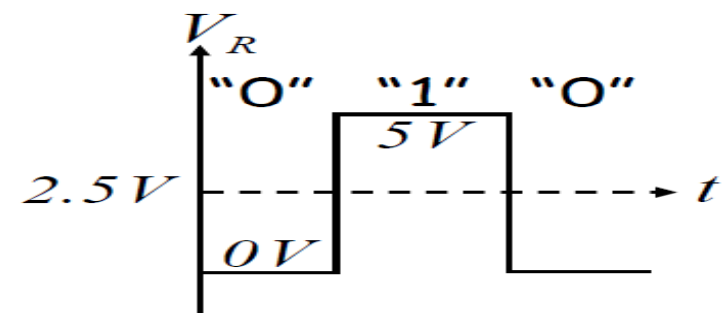
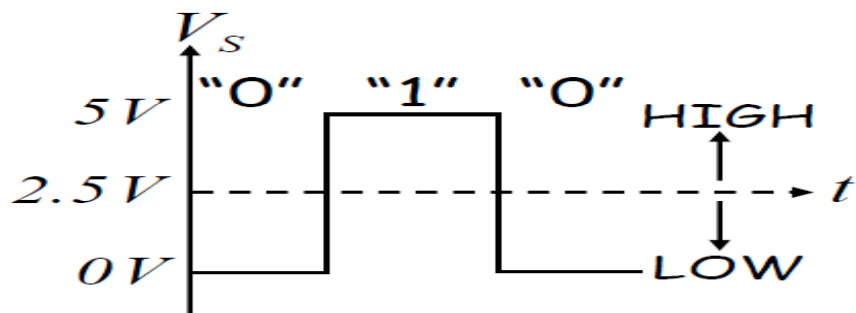
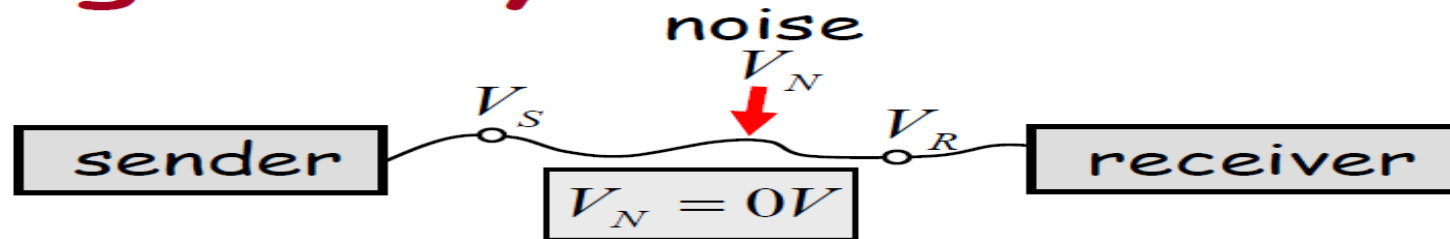
HIGH	LOW
5V	0V
TRUE	FALSE
1	0

- ....như hai số nhị phân 0 và 1

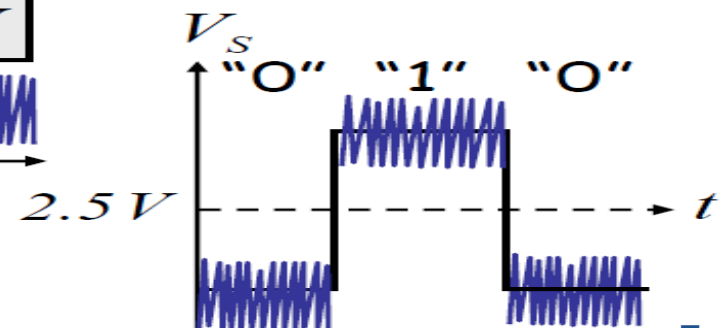
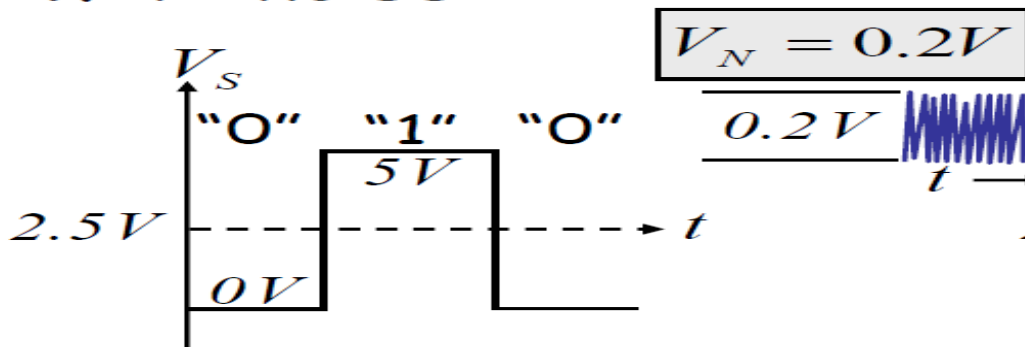


# TỔNG QUAN

## Digital System



With noise





# TỔNG QUAN

## Hệ thống số

- Sự miễn nhiễu tốt hơn
- Những “lề nhiễu”

Với “1”: lề nhiễu  $5\text{ V}$  đến  $2,5\text{ V} = 2,5\text{ V}$

Với “0”: lề nhiễu  $0\text{ V}$  đến  $2,5\text{ V} = 2,5$

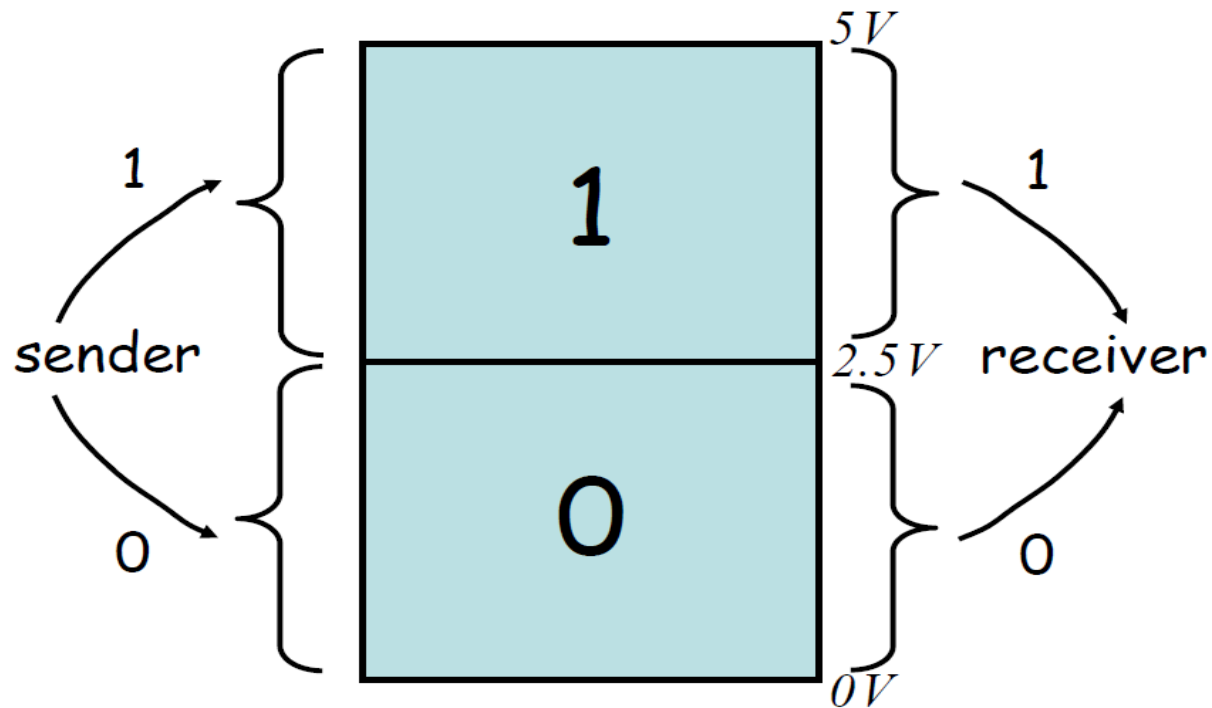
- Xét một số điện thế ngưỡng và trị số logic





# TỔNG QUAN

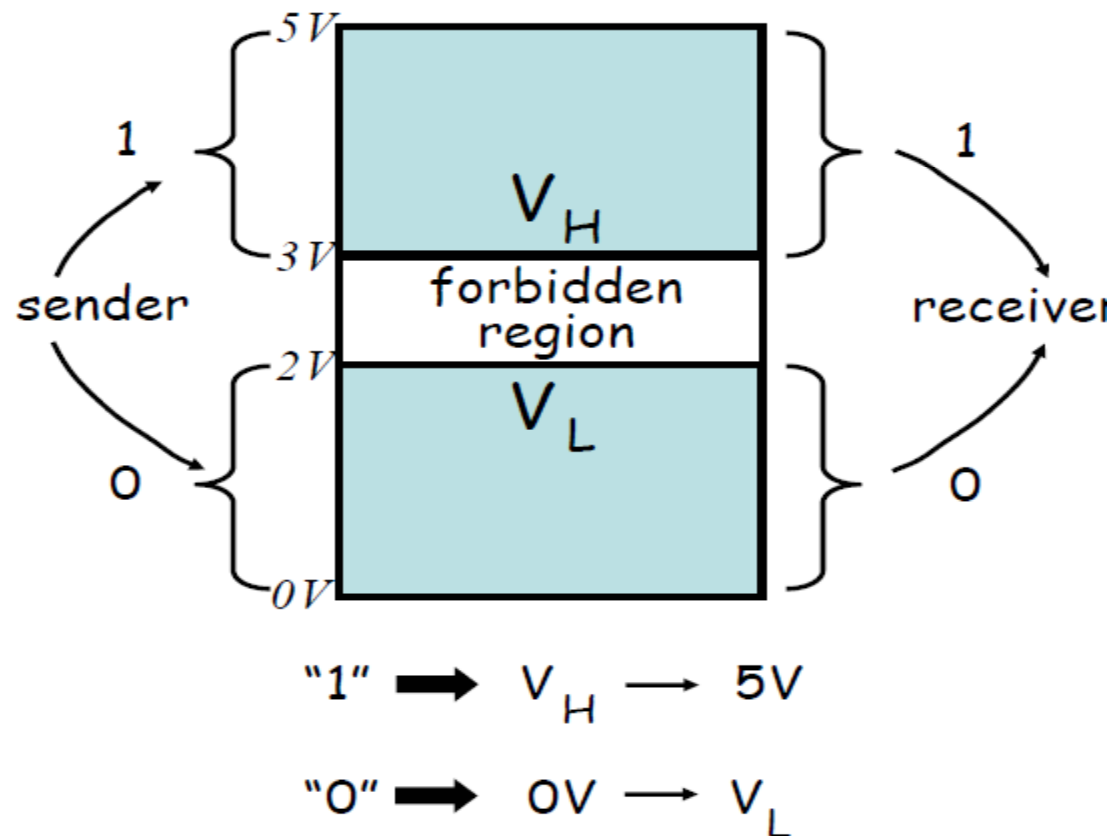
- Logic 0:  $0 \leq V \leq 2,5V$
- Logic 1:  $2,5V \leq V \leq 5,0V$





# TỔNG QUAN

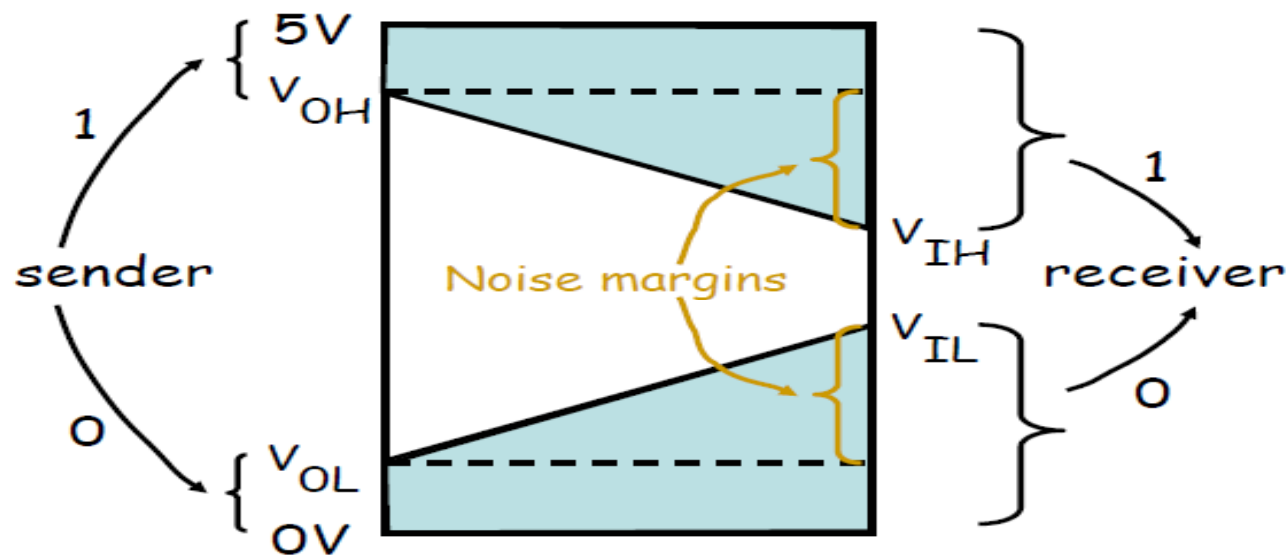
- Để tránh ảnh hưởng nhiễu giữa hai bit 1 và 0, ta xác định vùng cấm hay vùng không xác định
- Thí dụ:





# TỔNG QUAN

- Lề nhiễu (Noise Margin)



"1" noise margin:  $V_{IH} - V_{OH}$

"0" noise margin:  $V_{IL} - V_{OL}$

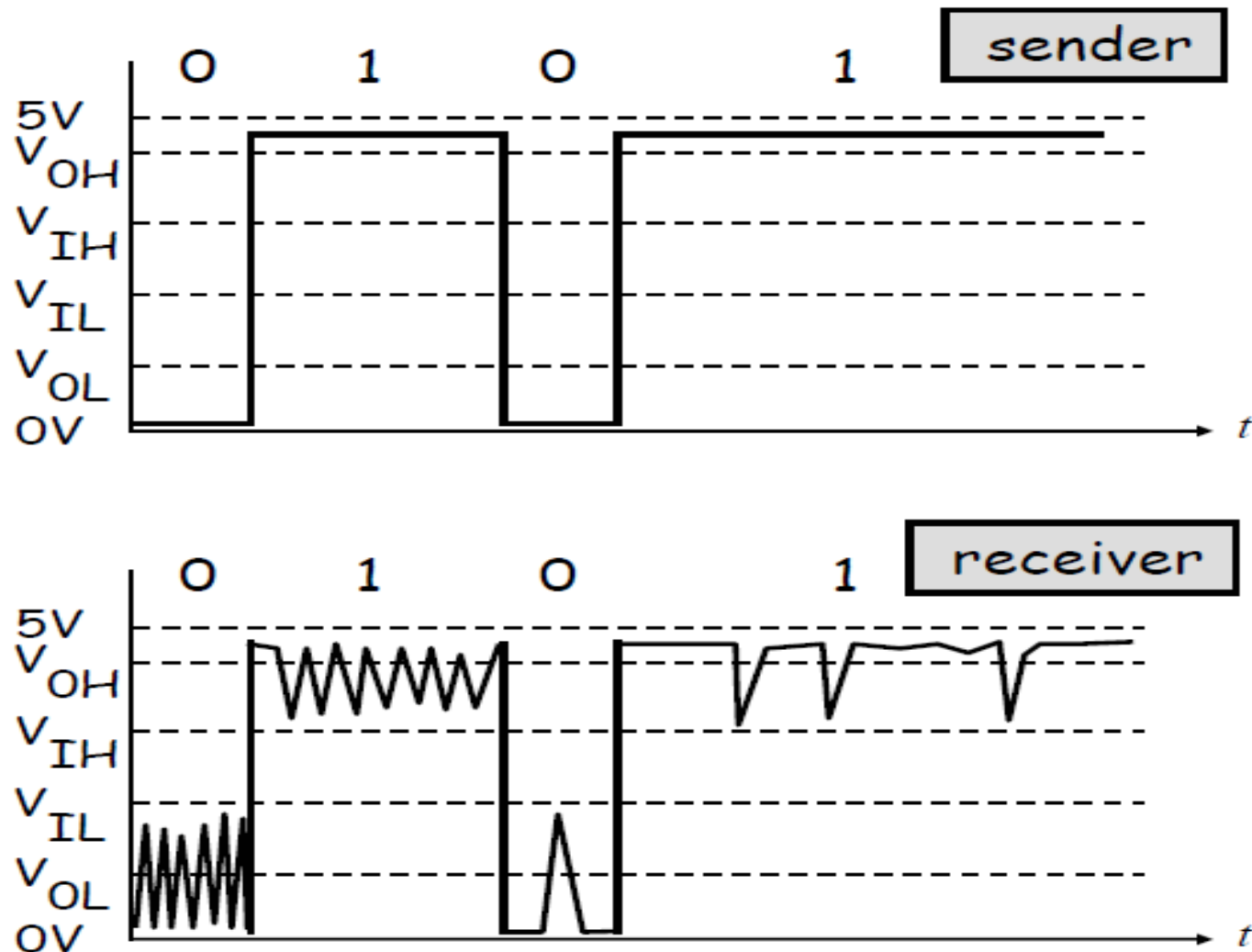
$$NM_0 = V_{IL} - V_{OL}$$

$$NM_1 = V_{OH} - V_{IH}$$



# TỔNG QUAN

- Dạng sóng





# TỔNG QUAN

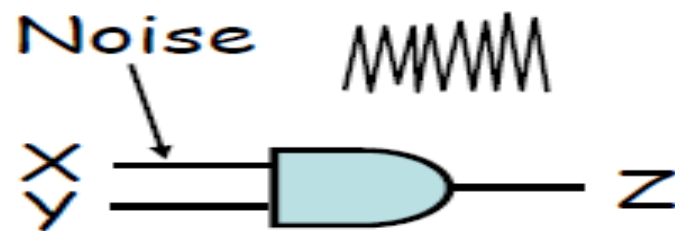
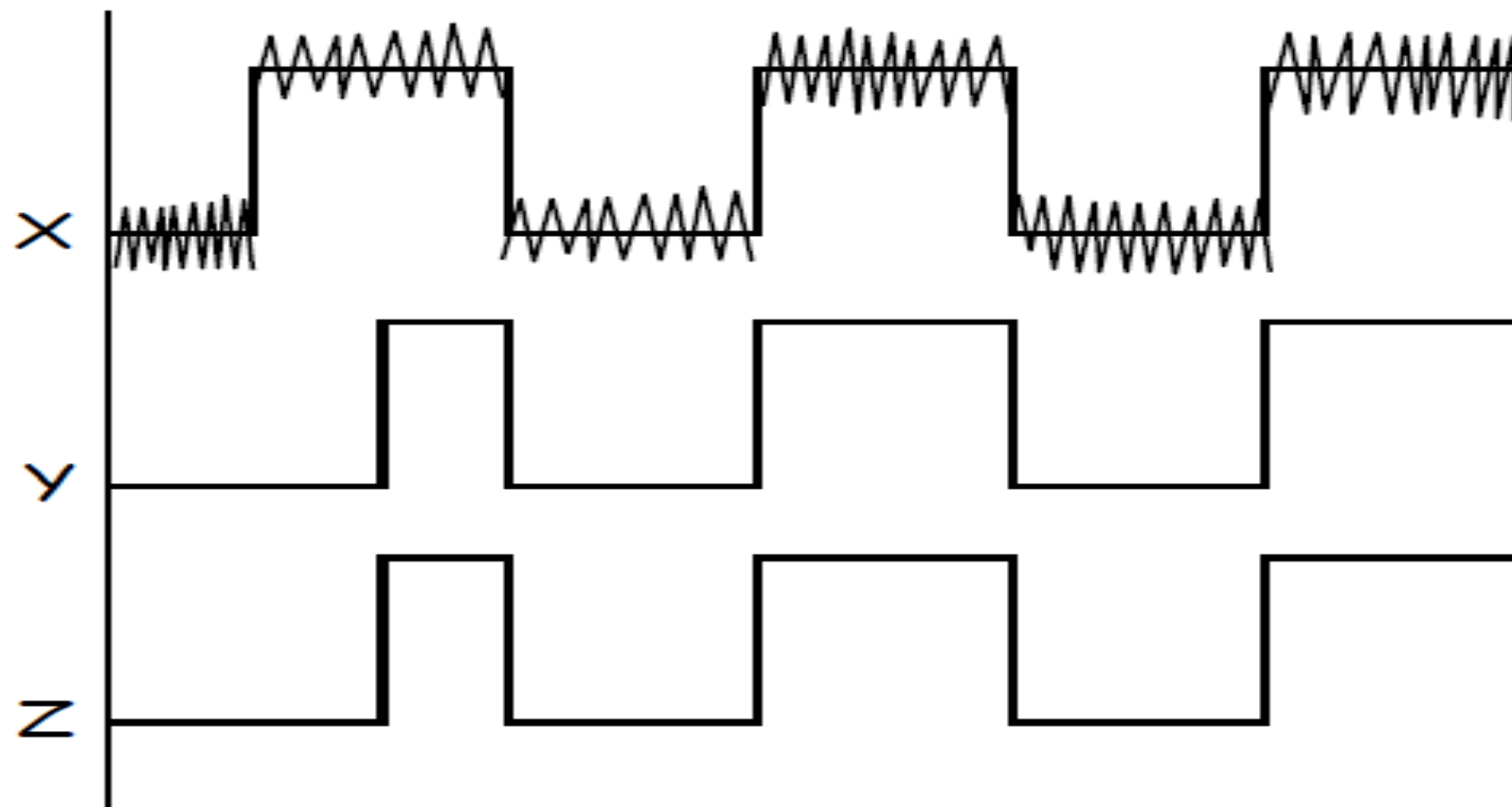
## CÔNG AND



$$z = x \cdot y$$



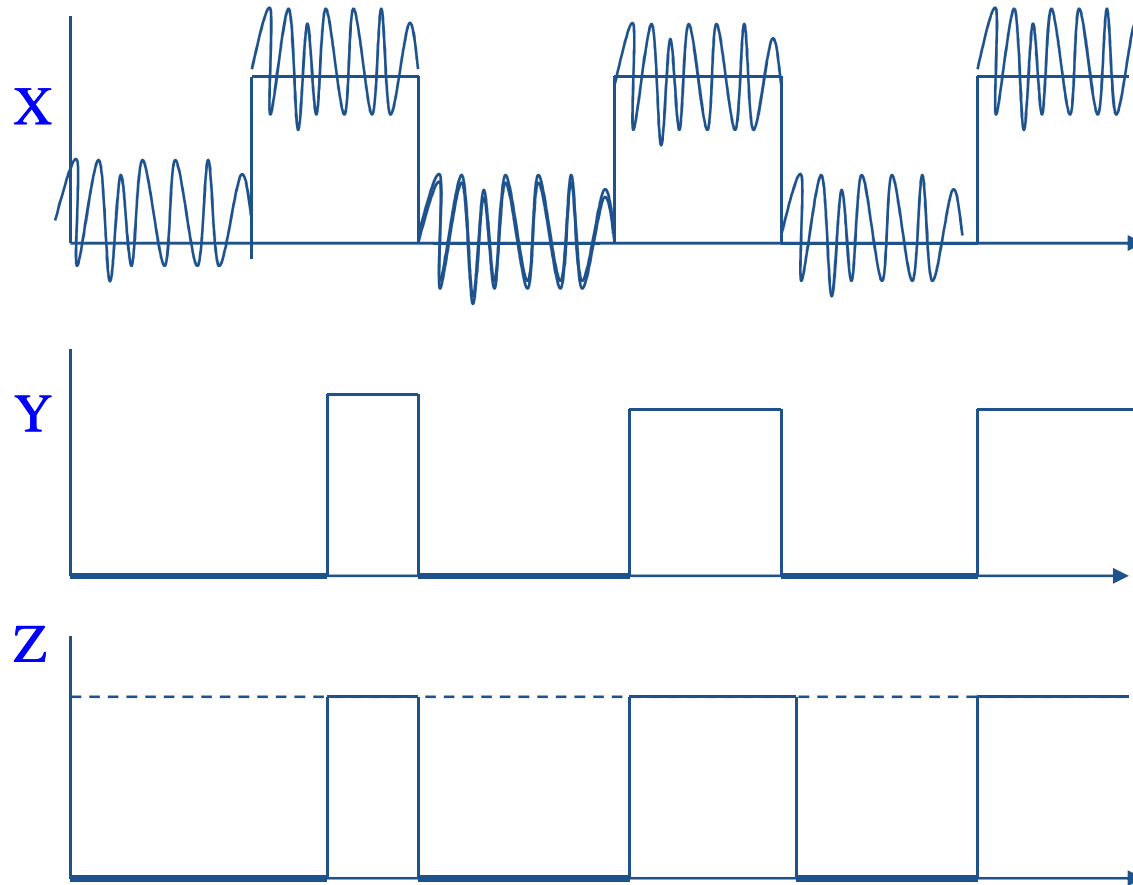
# TỔNG QUAN





# TỔNG QUAN

## Loại bỏ nhiễu ở ngõ ra



$$Z = X \cdot Y$$



# LÝ THUYẾT MẠCH SỐ

- Dựa trên đại số rời rạc ( hay đại số nhị phân) còn gọi đại số Boole, đại số mà biến chỉ có một trong hai giá trị có – không, đúng – sai ...
- Mạch logic dựa trên hoạt động của bậc điện (công tắc) đóng/ mở.
- Các bit có một trong hai giá trị: cao- logic 1 hay gọi tắt 1, thấp – logic 0 hay gọi tắt 0.
- Để hiểu rõ, trước tiên ta xét cơ sở nhị phân, và cơ sở bát phân, cơ sở thập lục phân.





# CƠ SỐ NHỊ PHÂN

## 1. Cơ số - Cơ số thập phân

$$475 = 4 \cdot 10^2 + 7 \cdot 10^1 + 5 \cdot 10^0.$$

↑      ↑      ↑      ↑  
MSB   LSB   MSB   LSB

**Tổng quát:** một số N được biểu diễn:

$$N = a^{n-1} \cdot b^{n-1} + \dots + a^2 \cdot b_2 + a^1 \cdot b^1 + a^0 \cdot b^0.$$

cơ số thập phân  $a^i = 0 \rightarrow 9$  ;  $b^i = 10$

cơ số nhị phân  $a^i = 0 \rightarrow 1$  ;  $b^i = 2$

$$(1101)_2 = 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 8 + 4 + 0 + 1 = (13)_{10}$$

cơ số bát phân:  $a^i = 0 \rightarrow 7$  ;  $b^i = 8$

$$(123)_8 = 1 \cdot 8^2 + 2 \cdot 8^1 + 3 \cdot 8^0 = 64 + 16 + 3 = (83)_{10}.$$



# CƠ SỐ THẬP LỤC PHÂN

- Cơ số thập lục phân( Hexadecimal):

$a^i = 0 \rightarrow 9, A, B, C, D, E, F$  ;  $b^i = 16$

$$(3F)_{16} = 3.16^1 + F.16^0 = 48 + 15 = (63)_{10}$$

$$(1FF)_{16} = 1.16^2 + F.16^1 + F.16^0 = 256 + 240 + 15 = (511)_{10}$$

**Bảng chuyển đổi giữa các cơ số**

Thập phân (Decimal)	Nhi phân ( Binary)	Bát phân ( Octal)	Thập lục phân (Hexadecimal)
0	0000	0	0
1	0001	1	1
2	0010	2	2
3	0011	3	3
4	0100	4	4



# CƠ SỐ THẬP LỤC PHÂN

<b>5</b>	<b>0101</b>	<b>5</b>	<b>5</b>
<b>6</b>	<b>0110</b>	<b>6</b>	<b>6</b>
<b>7</b>	<b>0111</b>	<b>7</b>	<b>7</b>
<b>8</b>	<b>1000</b>	<b>10</b>	<b>8</b>
<b>9</b>	<b>1001</b>	<b>11</b>	<b>9</b>
<b>10</b>	<b>1010</b>	<b>12</b>	<b>A</b>
<b>11</b>	<b>1011</b>	<b>13</b>	<b>B</b>
<b>12</b>	<b>1100</b>	<b>14</b>	<b>C</b>
<b>13</b>	<b>1101</b>	<b>15</b>	<b>D</b>
<b>14</b>	<b>1110</b>	<b>16</b>	<b>E</b>
<b>15</b>	<b>1111</b>	<b>17</b>	<b>F</b>
<b>16</b>	<b>10000</b>	<b>20</b>	<b>10</b>
<b>64</b>	<b>100000</b>	<b>100</b>	<b>40</b>
<b>255</b>	<b>1111111</b>	<b>377</b>	<b>FF</b>



# ĐỊNH LUẬT CỦA ĐẠI SỐ BOOLE

- Đại số Boole là hệ thống đại số kín chứa tập hợp K của hai hoặc nhiều phần tử và có toán tử **nhân logic .** và **cộng logic +**
- Khi kết hợp nhiều mệnh đề logic lại với nhau tạo thành mệnh đề phức tạp → thiết kế nhiều cổng logic.
- Do đó phải rút gọn các hàm logic → sử dụng ít cổng logic hơn.
- Cách rút gọn bằng nhiều cách : trực tiếp bằng đại số Boole, Bảng karnaugh.....
- Theo đại số Boole, một hàm logic có thể biểu diễn bằng 1 trong 2 dạng chính tắc:  
là **Tổng các tích POS** và **Tích các tổng SOP** →  
rút gọn nhờ loại được các biến bù kề nhau  $A\bar{A}$  và  $A + \bar{A}$



# ĐỊNH LUẬT CỦA ĐẠI SỐ BOOLE

- **Hàm AND**

1a.  $0.0 = 0$

2a.  $0.1 = 0$

3a.  $1.0 = 0$

4a.  $1.1 = 1$

5a.  $A.0 = 0$

6a.  $0.A = 0$

7a.  $A.1 = A$

8a.  $1.A = A$

9a.  $A.A = A$

10a.  $A.\bar{A} = 0$

- **Hàm OR**

1b.  $0+0 = 0$

2b.  $0+1 = 1$

3b.  $1+0 = 1$

4b.  $1+1 = 1$

5b.  $A+0 = A$

6b.  $0+A = A$

7b.  $A+1 = 1$

8b.  $1+A = 1$

9b.  $A+A = A$

10b.  $A + \bar{A} = 1$



# ĐỊNH LUẬT CỦA ĐẠI SỐ BOOLE

## Hàm NOT

$$11a. \bar{0} = 1$$

$$12a. \bar{\bar{1}} = 0$$

$$13a. \bar{\bar{A}} = A$$

$$11. \bar{0} = 1$$

$$12. \bar{\bar{1}} = 0$$

$$13. \bar{\bar{A}} = A$$

## Định luật giao hoán

$$14a. AB = BA$$

$$14b. A+B=B+A$$

$$A+\bar{A}B=A+B$$

## Định luật kết hợp

$$15a. A(BC)=(AB)C$$

$$15b. A+(B+C)=(A+B)+C$$

## Định luật hấp thụ

$$16a. A(A+B)=A$$

$$16b. (A+AB)=A$$

## Định luật phân bố

$$17a. A(B+C)=AB+AC$$

$$17b. A+BC=(A+B)(A+C)$$

# ĐỊNH LUẬT CỦA ĐẠI SỐ BOOLE

## Định luật dán (Định luật Nashelsky)

$$18a. A(\overline{A+B})=A.B \quad 18b. A+\overline{A}B=A+B$$

$$19a. (A+\overline{B})B=A.B \quad 19b. A\overline{B}+B=A.B$$

## Định luật DE MORGAN

$$20a. \overline{AB} = \overline{A} + \overline{B} \quad 20b. \overline{A+B} = \overline{A}.\overline{B}$$

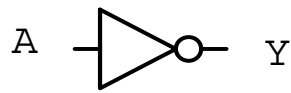
$$\overline{A.B.C} = \overline{A} + \overline{B} + \overline{C} \quad \overline{A+B+C+\dots} = \overline{A}.\overline{B}.\overline{C}....$$

Các biểu thức trên có thể chứng minh bằng cách vẽ các sơ đồ mạch logic hoặc bằng cách lập 2 bảng chân lý nếu chúng như nhau là định luật được chứng minh là đúng.



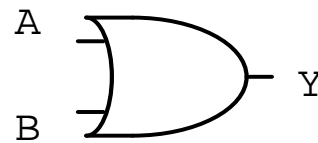
# CÁC CÔNG CƠ BẢN

- Bảng sự thật



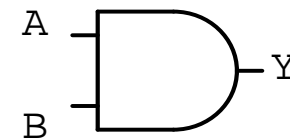
**NOT**

A	Y
0	1
0	1
1	0
1	0



**OR**

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1



**AND**

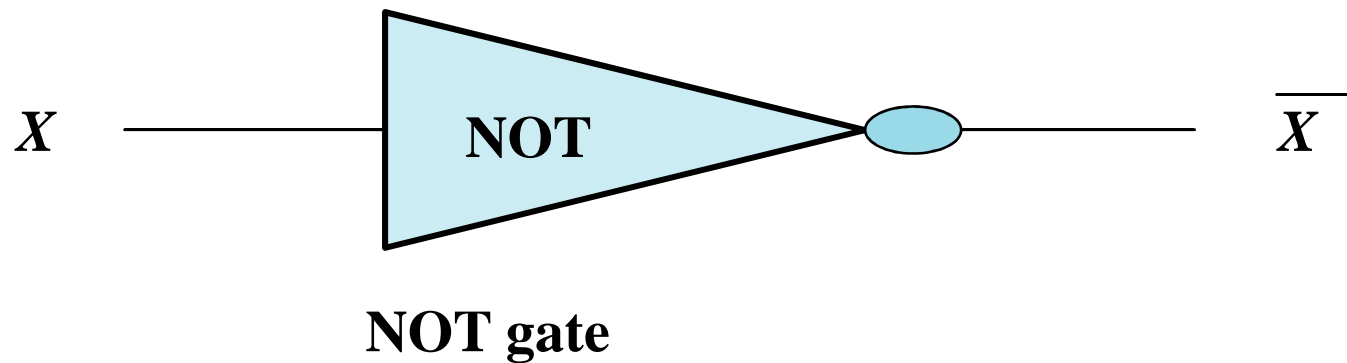
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1





# CÁC CỔNG CƠ BẢN

- Cổng INVERTER (NOT)



$X$	$\overline{X}$
1	0
0	1

Mức điện thế

$X$	$\overline{X}$
5V	0V
0V	5V

Truth table for NOT gate



# CÁC CỔNG CƠ BẢN

- CỔNG AND**

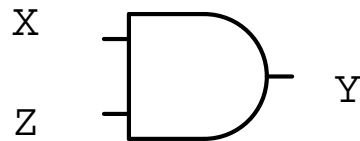
Phát biểu đại số Boole: Nếu X đúng và Y đúng thì Z là đúng và ngược lại là sai

$$Z = X \text{ AND } Y$$

$$Z = X.Y$$

X, Y, Z là số nhị phân '0', '1'

Ký hiệu



Bảng sự thật

X	Y	Z
0	0	0
0	1	0
1	0	0
1	1	1

Mức điện thế

X	Y	Z
0V	0V	0V
0V	5V	0V
5V	0V	0V
5V	5V	5V

0 = 0V, 1 = 5V



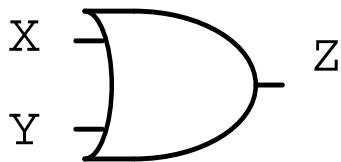
# CÁC CÔNG CƠ BẢN

- CÔNG OR**

**Phát biểu Boole:** Nếu X đúng hoặc Y đúng thì Z là đúng, ngược lại Z là sai

$$Z = X + Y$$

**Ký hiệu**



**Bảng sự thật**

X	Y	Z
0	0	0
0	1	1
1	0	1
1	1	1



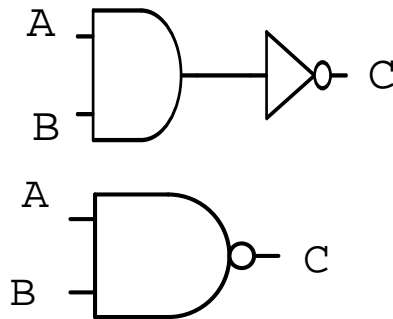
# LOGIC TỔ HỢP

- Là tổ hợp các cổng logic với nhau và chỉ tuân theo các định luật Đại số Boole, có tính chất
  - Các ngõ ra chỉ tùy thuộc các ngõ vào
  - Chúng tuân theo những qui tắc cố định (không biến đổi)

## 1. Cổng NAND

Tổ hợp gồm cổng NOT và AND

$$C = \overline{A.B} = \overline{B.A}$$



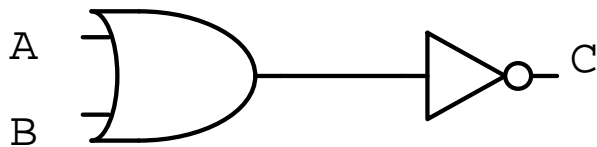
A	B	C
0	0	1
0	1	1
1	0	1
1	1	0



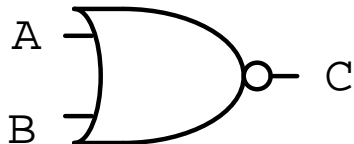
# LOGIC TỔ HỢP

- Cổng NOR**

Tổ hợp của cổng OR và cổng NOT



$$C = \overline{A.B}$$

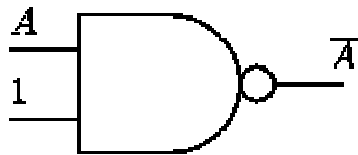


A	B	C
0	0	1
0	1	0
1	0	0
1	1	0

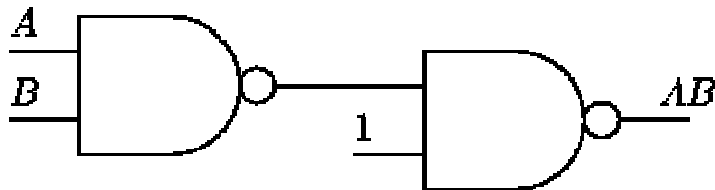


# LOGIC TỔ HỢP

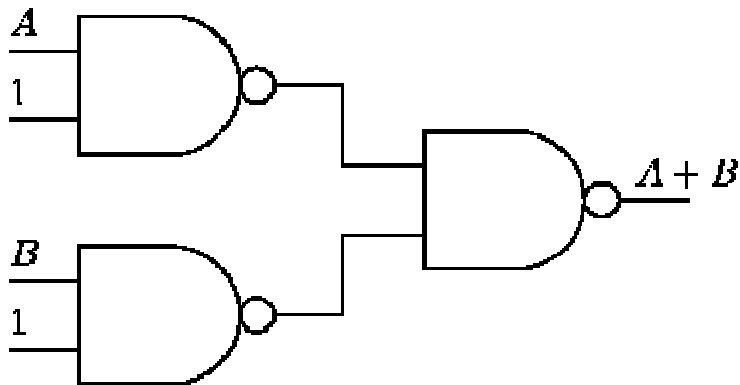
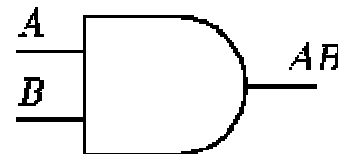
- Chứng minh định luật đại số Boole  
Lập các bảng chân trị của hai mạch



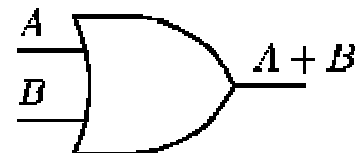
equiv



equiv



equiv

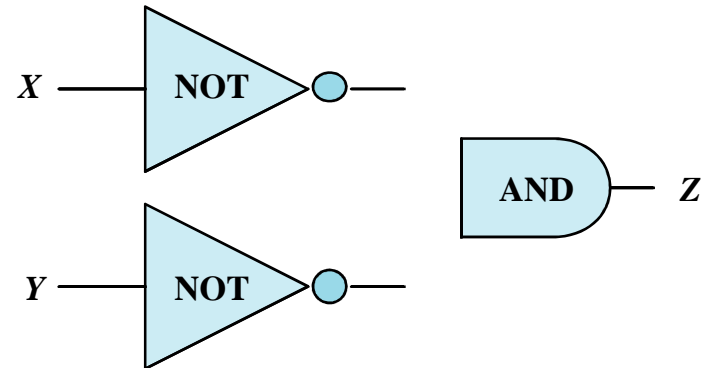
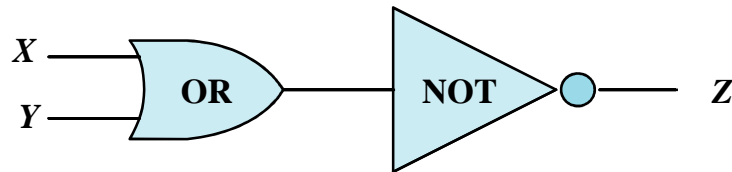




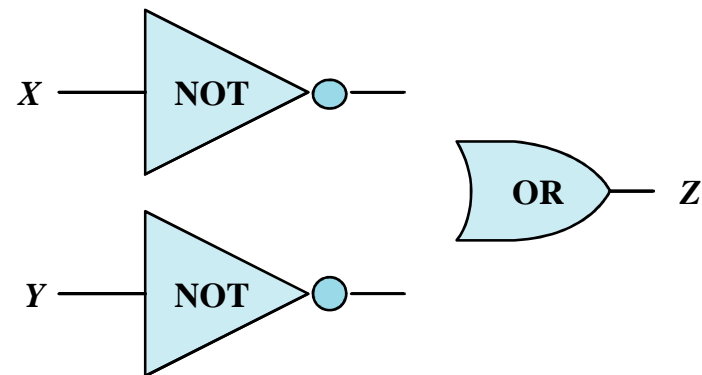
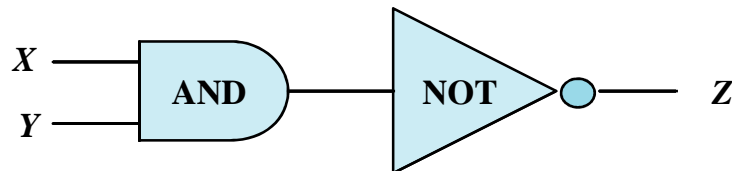
# LOGIC TỔ HỢP

## Kiểm chứng định luật De Morgan

$$\overline{(X + Y)} = \bar{X} \cdot \bar{Y}$$



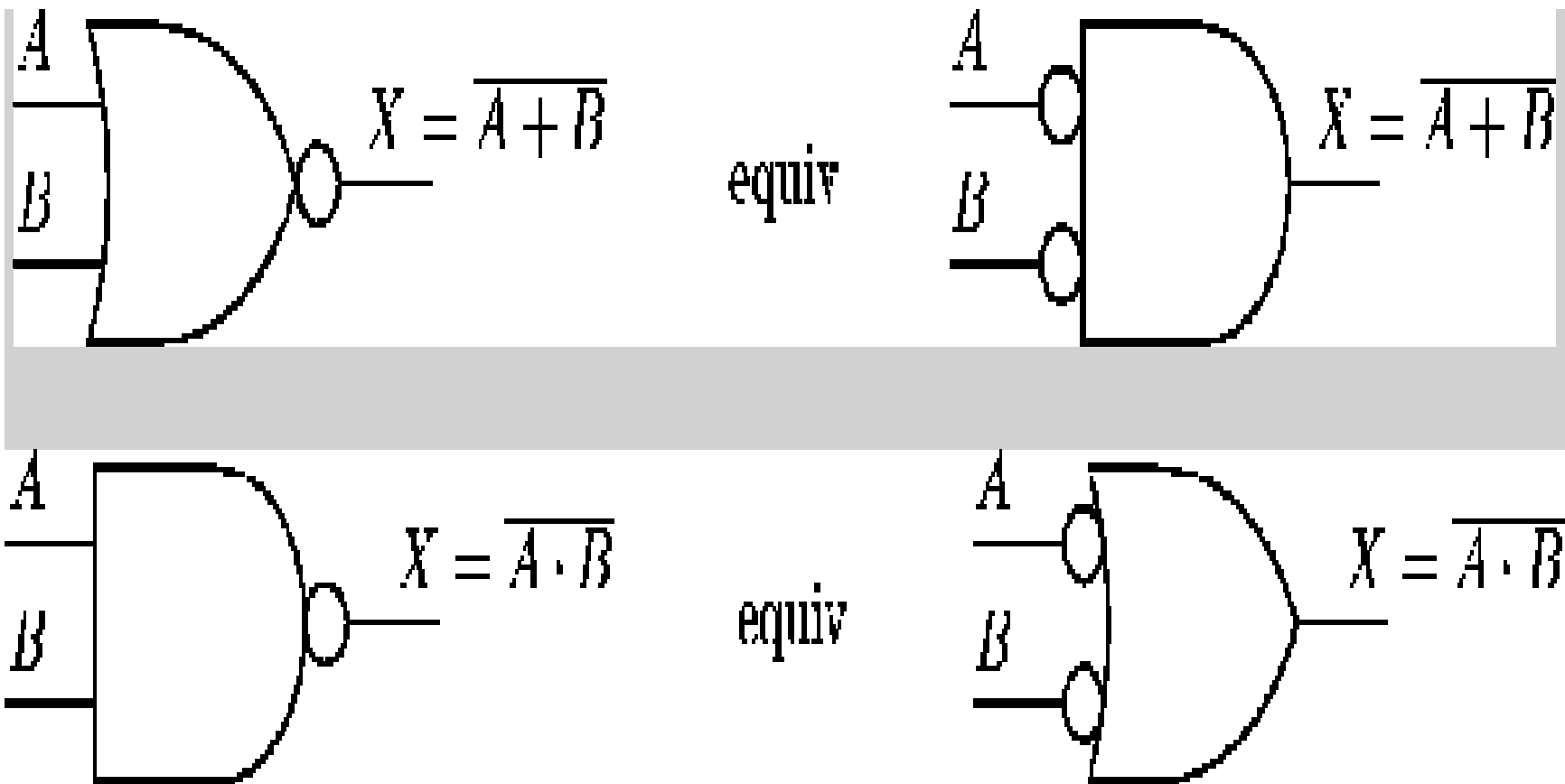
$$\overline{(X \cdot Y)} = \bar{X} + \bar{Y}$$





# LOGIC TỔ HỢP

Mạch tương đương(có cùng hàm logic)

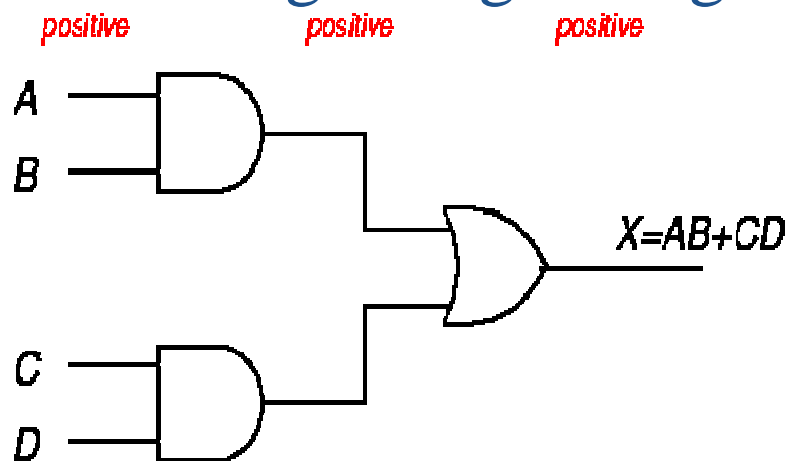






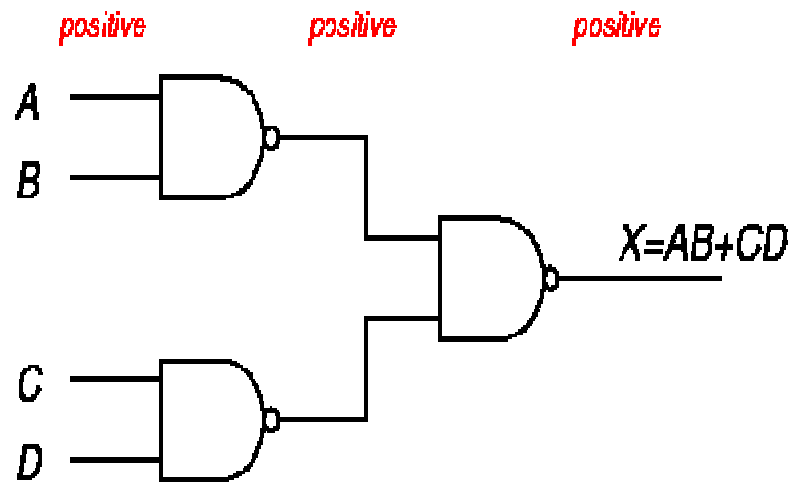
# LOGIC TỔ HỢP

- Các cổng tương đương



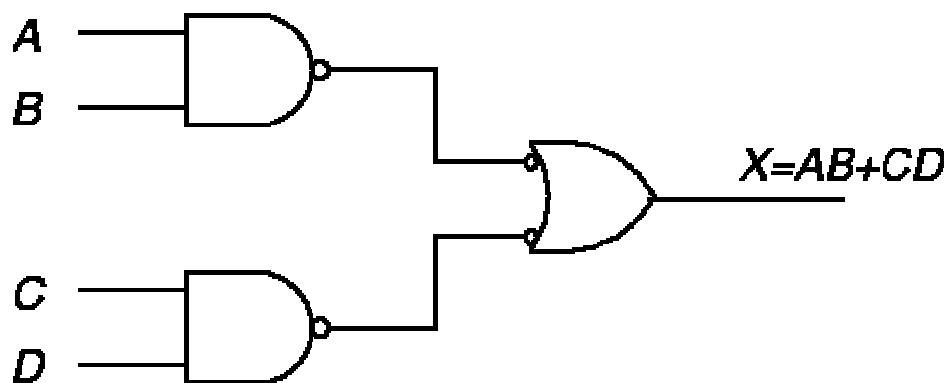
AND layer

OR layer  
positive



NAND layer  
positive

NAND layer



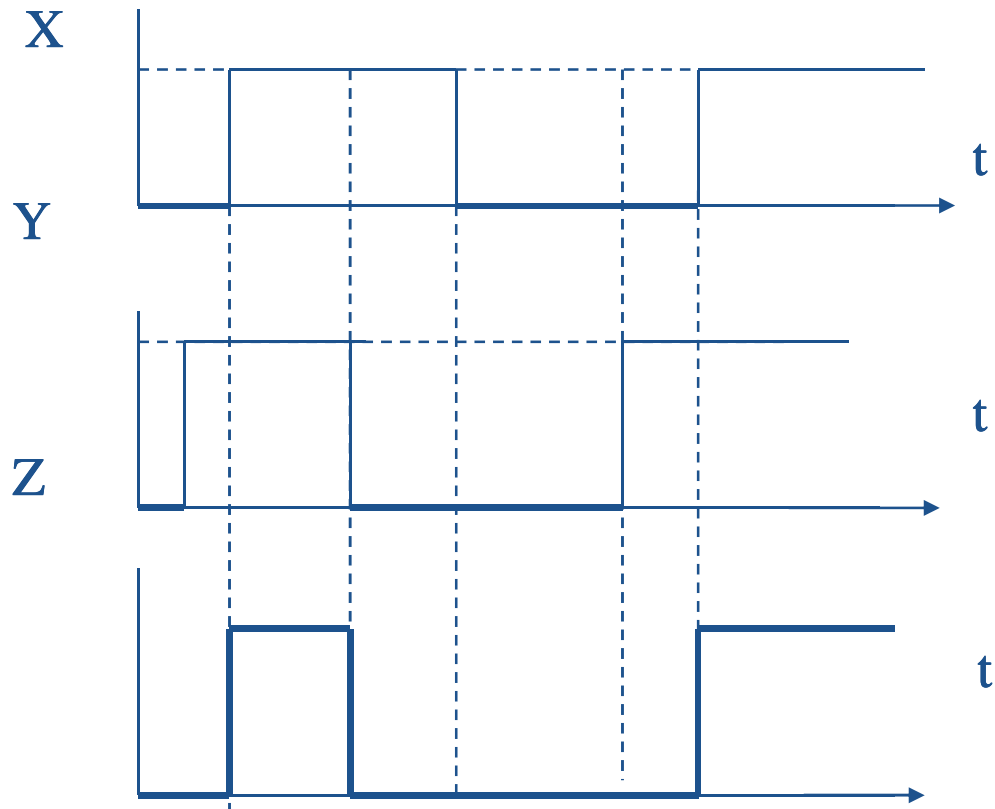
NAND layer

NAND layer



# LOGIC TỔ HỢP

Thí dụ:



$$Z = X \cdot Y$$

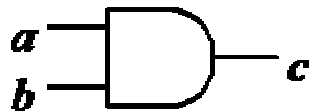
Người thiết kế logic số không quan tâm **cái** gì xảy ra bên trong cổng.



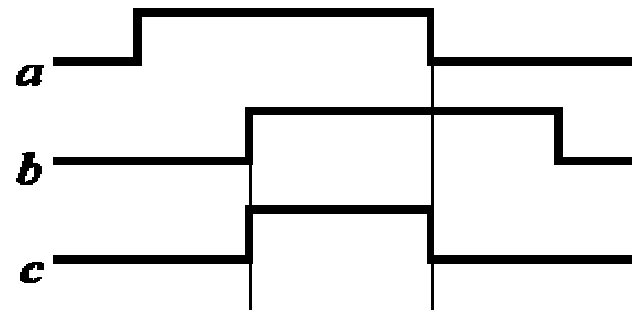
# LOGIC TỔ HỢP

## Phân tích mạch logic tổ hợp

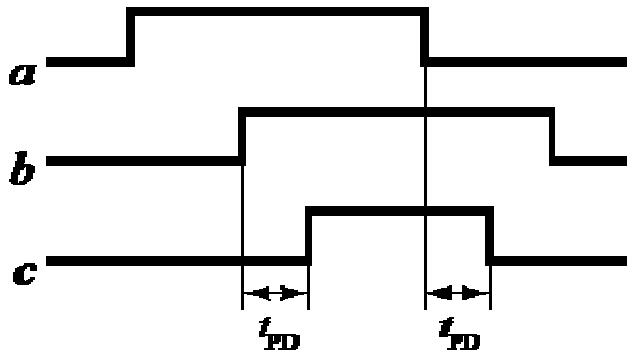
- Giản đồ thời gian của cổng logic



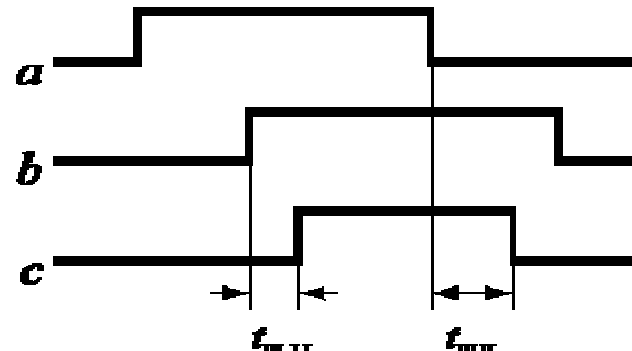
(a) Two-input AND gate



(b) Ideal (zero) delay



(c)  $t_{PD} = t_{PLH} = t_{PHL}$



(d)  $t_{PLH} < t_{PHL}$



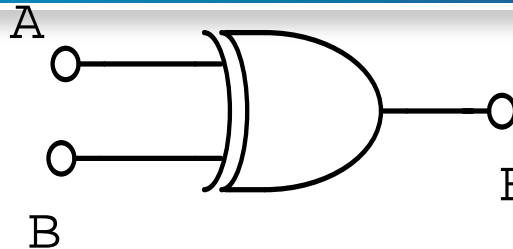
# LOGIC TỔ HỢP

## Cổng EXOR :

$$F = A\bar{B} + \bar{A}B$$

Khi A khác B  $\rightarrow F = 1$

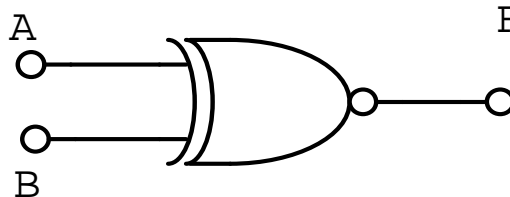
Khi A = B  $\rightarrow F = 0$



B	A	F
0	0	0
0	1	1
1	0	1
1	1	0

## Cổng EXNOR: đảo của EXOR

$$F = \overline{A\bar{B} + \bar{A}B}$$



Khi A = B  $\rightarrow F = 1$

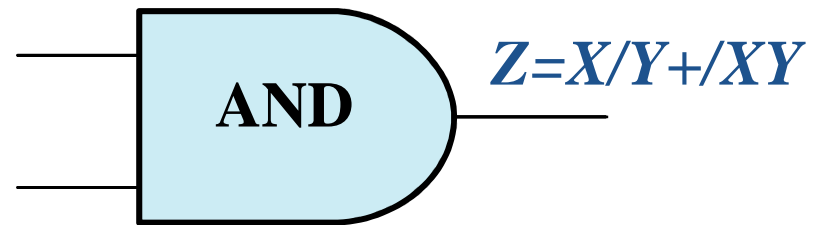
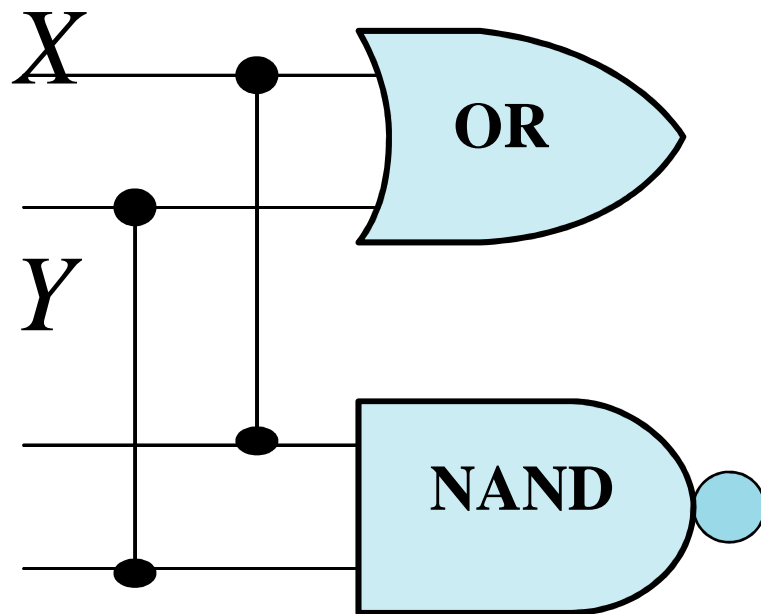
Khi A khác B  $\rightarrow F = 0$

B	A	F
0	0	1
0	1	0
1	0	0
1	1	1



# LOGIC TỔ HỢP

## Thí dụ: Thực hiện cổng XOR

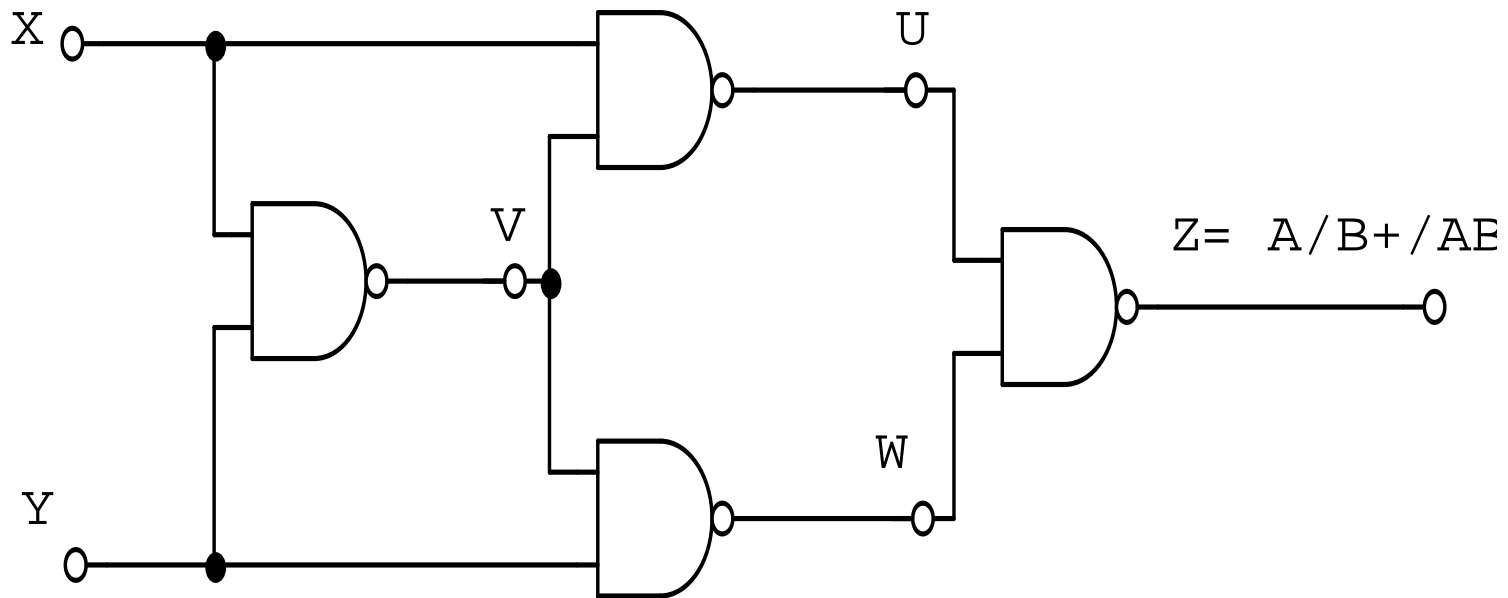


$$\begin{aligned} Z &= (X + Y).(\overline{X.Y}) = (X + Y).(\overline{X} + \overline{Y}) \\ &= X\overline{X} + X\overline{Y} + Y\overline{X} + Y\overline{Y} = X\overline{Y} + Y\overline{X} \end{aligned}$$



# LOGIC TỔ HỢP

- Hoặc



$$V = \overline{XY} \quad ; \quad U = \overline{X \overline{XY}} \quad ; \quad W = \overline{Y \overline{XY}}$$

$$\begin{aligned} Z &= \overline{UW} = \overline{U} + \overline{W} = \overline{\overline{X \overline{XY}}} + \overline{\overline{Y \overline{XY}}} = X \overline{XY} + Y \overline{XY} = \\ &= (X + Y) \overline{XY} = (X + Y) (\overline{X} + \overline{Y}) = X \overline{Y} + \overline{X} Y \end{aligned}$$



# LOGIC TỔ HỢP

- Chứng minh cách khác

$$V = \overline{XY} \quad ;$$

$$U = \overline{X \overline{XY}} = \overline{X} + \overline{\overline{XY}} = \overline{X} + XY$$

$$W = \overline{Y \overline{XY}} = \overline{Y} + \overline{\overline{XY}} = \overline{Y} + XY$$

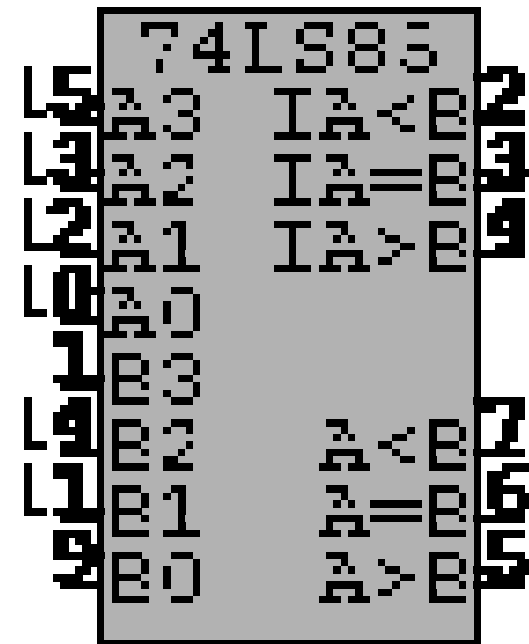
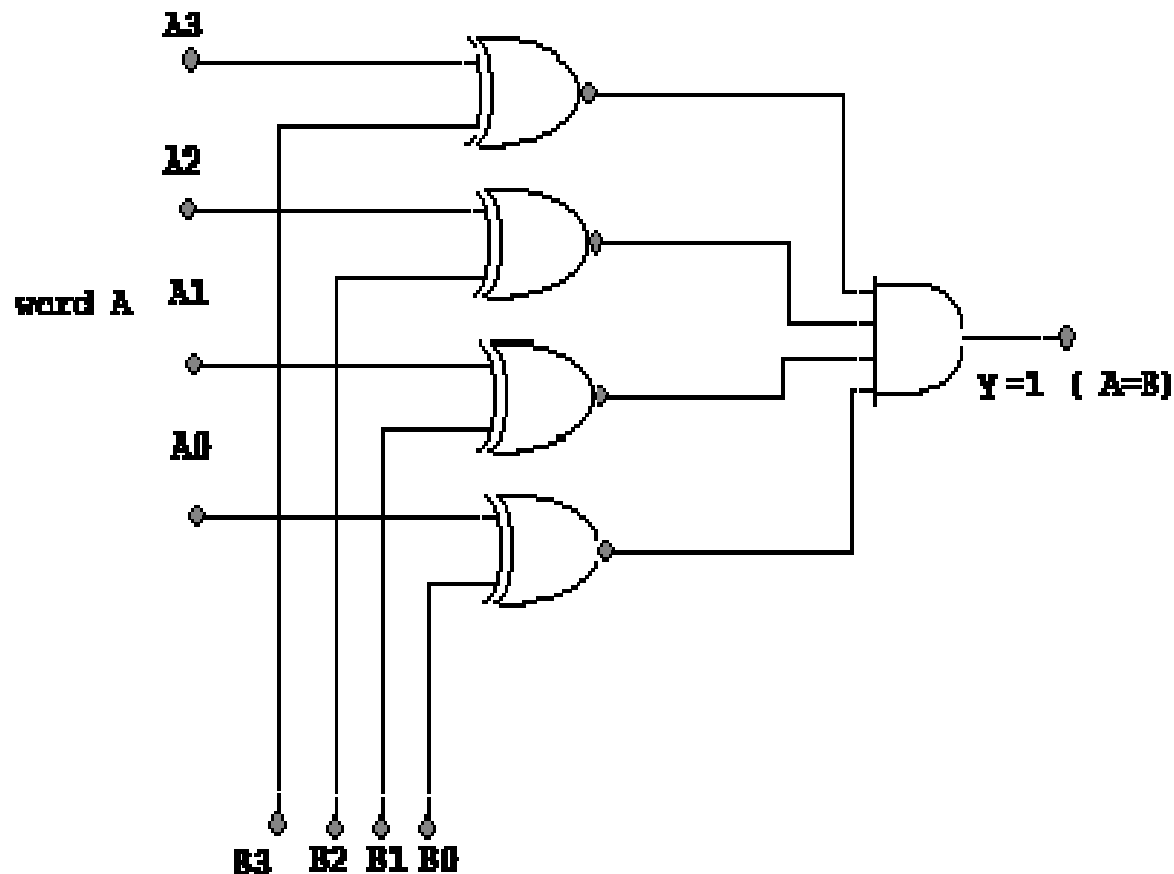
$$\begin{aligned} Z = \overline{UW} &= \overline{(\overline{X} + XY)(\overline{Y} + XY)} = \overline{\overline{X} + XY + \overline{Y} + XY} = \\ &= \overline{X \overline{XY} + Y \overline{XY}} = \overline{(X + Y) \overline{XY}} = \overline{(X + Y)(\overline{X} + \overline{Y})} = \\ &= X \overline{Y} + \overline{X} Y \end{aligned}$$



# LOGIC TỔ HỢP

- Ứng dụng cổng EXOR

## IC so sánh nhị phân

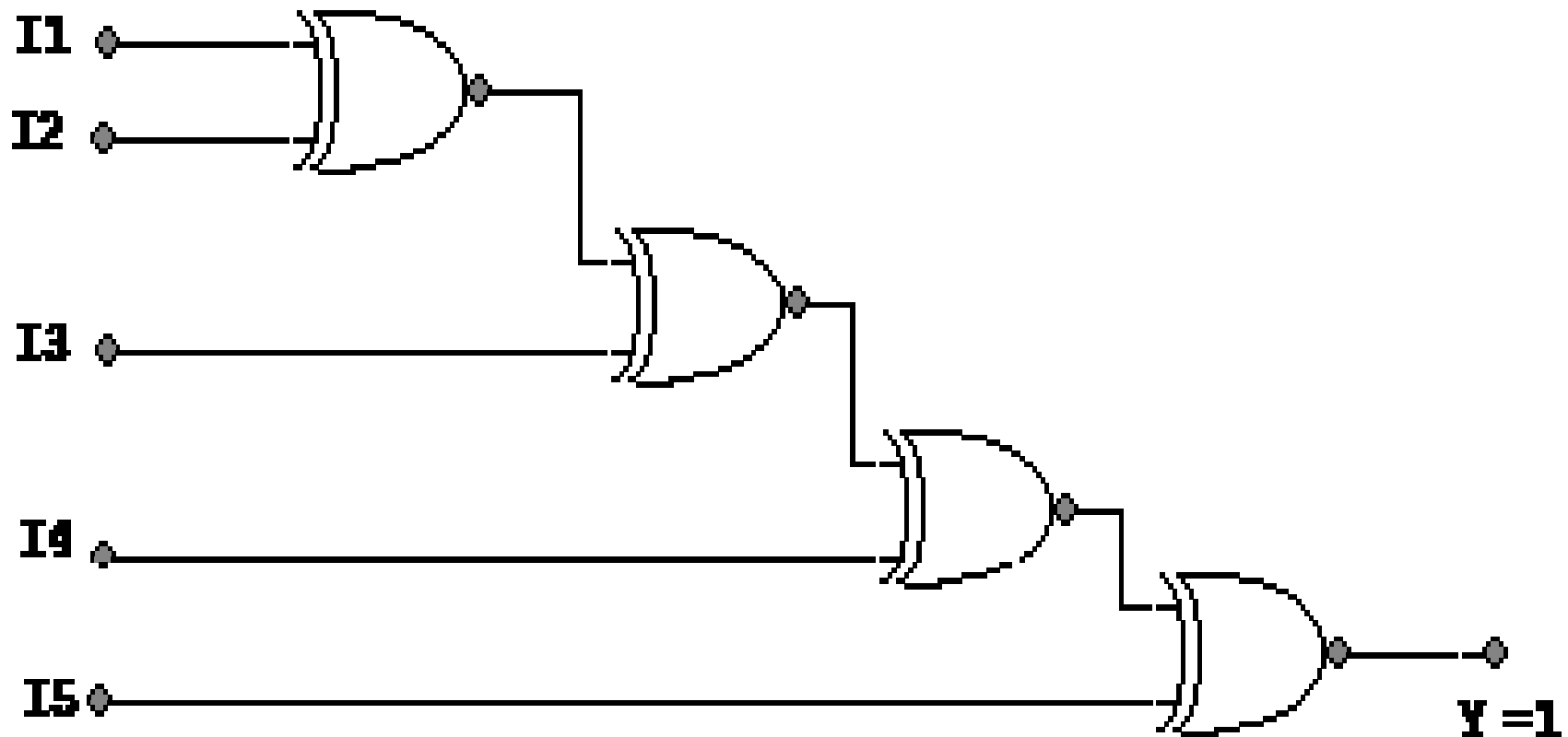






# LOGIC TỔ HỢP

Mạch kiểm tra chẵn lẻ (parity bit generator)



$Y = 1$  khi tổng các bit 1 vào là lẻ



# PHƯƠNG PHÁP RÚT GỌN HÀM LOGIC

## 1. Phương pháp dùng đại số Logic

Như Loại bỏ các biến  $A/A = 0$ , và  $A+/A = 1$ , nhờ đó sẽ làm hàm logic  $F$  được đơn giản hơn( bớt đi số cổng không cần thiết)

## 2. Bảng Karnaugh

Dùng bảng kẻ ô và sắp xếp lần lượt các biến phủ định nhau(đảo của nhau) vào các ô gần nhau để tiện loại bỏ nhau.

Sau đây ta chỉ xét phương pháp rút gọn bằng các định luật đại số Boole.



# VÍ DỤ

## Thí dụ 1:

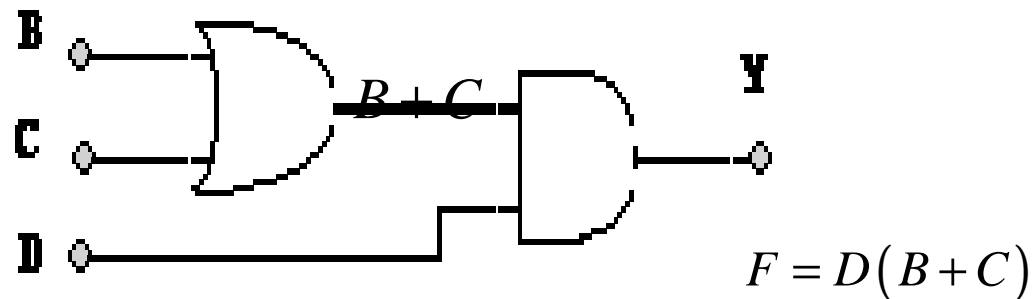
- Tối giản các hàm sau:

$$F = D\overline{C}\overline{B} + DB\overline{A} + DBA + DC\overline{B} + DC\overline{A} + DCA + DCB$$

$$F = DB(C + \overline{C}) + DB(A + \overline{A}) + DC(B + \overline{B}) + DC(A + \overline{A})$$

$$F = DB + DB + DC + DC = DB + DC = D(B + C)$$

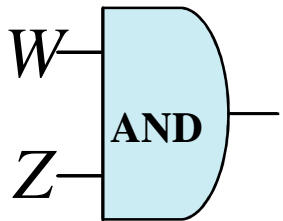
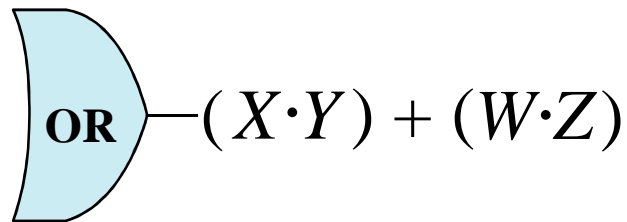
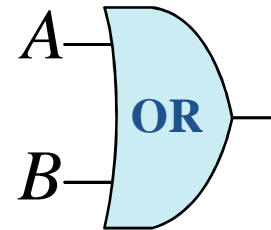
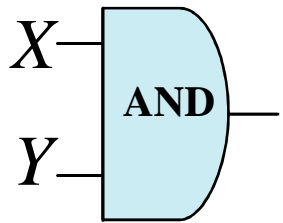
- Mạch thực hiện:



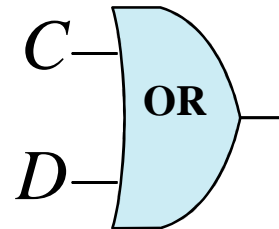
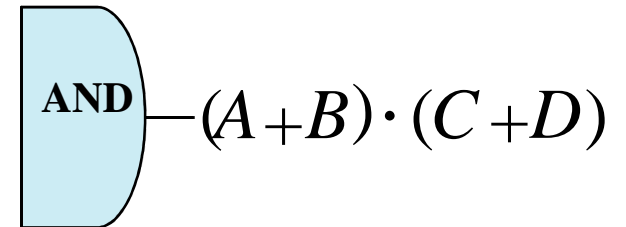


# VÍ DỤ

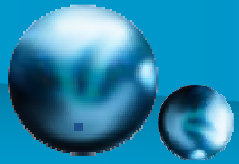
## Cách biểu diễn dạng chính tắc SOP và POS



Sum of products  
expression  
 $(X \cdot Y) + (W \cdot Z)$



Product of sums  
expression  
 $(A + B) \cdot (C + D)$



# VÍ DỤ

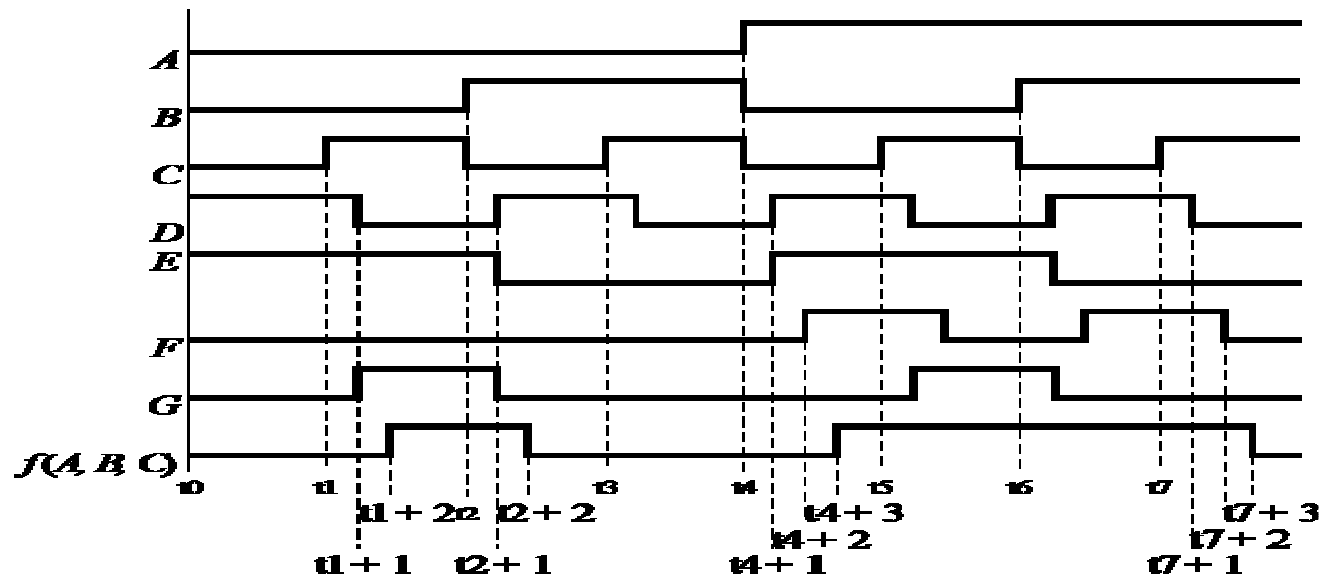
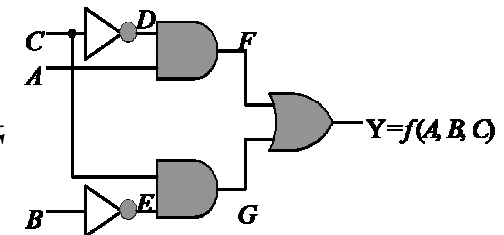
## Thực hiện mạch từ hàm số F và giản đồ thời gian

$ABC$	$f(A, B, C)$
0 0 0	0
0 0 1	1
0 1 0	0
0 1 1	0
1 0 0	1
1 0 1	1
1 1 0	1
1 1 1	0

$$f(A, B, C) = \sum m(1, 4, 5, 6)$$

$$= \bar{A}\bar{B}C + A\bar{B}\bar{C} + A\bar{B}C + A\bar{B}\bar{C}$$

$$= A\bar{C} + \bar{B}C$$





# VÍ DỤ

- **Thí dụ 2: Thiết kế hệ thống báo động cho ngân hàng (hoặc cho ô tô, ...) theo yêu cầu sau:**
  - Trong giờ làm việc ,cửa chính và cửa kho mở, mạch không báo động.
  - Sau giờ làm việc, chỉ cần 1 cửa mở là mạch báo động.

**Đặt: Cửa chính A = 0 khi đóng**

**Cửa kho B = 1 khi mở**

**Khoá C =**  
**0 trong giờ làm việc**  
**1 sau giờ làm việc**

**Mạch báo động Z =**  
**0 khi không hoạt động**  
**1 khi hoạt động**

**Thiết lập bảng hoạt động ( bảng chân lý):**



# VÍ DỤ

- Bảng chân lý**

Ta viết được các hàm:

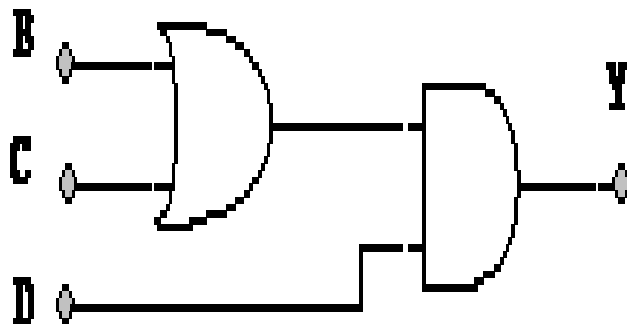
$$F = C\bar{B}A + CB\bar{A} + CBA =$$

$$F = CB(A + \bar{A}) + C\bar{B}A =$$

$$F = CB + C\bar{B}A = C(B + \bar{B}A) =$$

$$F = C(B + A)$$

**Mạch thực hiện như sau:**



C	B	A	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

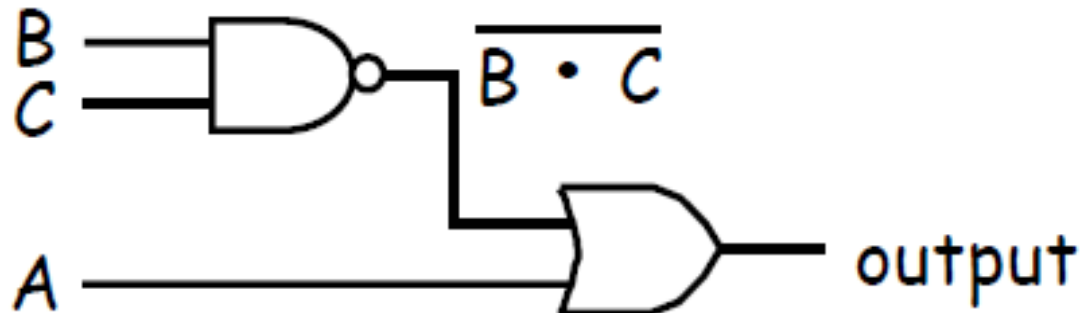


# VÍ DỤ

$$AB + AC = A \cdot (B + C)$$

## Digital Circuits

Implement:  $\text{output} = A + \overline{B \cdot C}$







# VÍ DỤ

## 1. Mạch làm toán

### a. Mạch bán tổng – HA (Half Adder)



Theo hàm SOP →  
mạch gồm cổng  
EXOR và AND

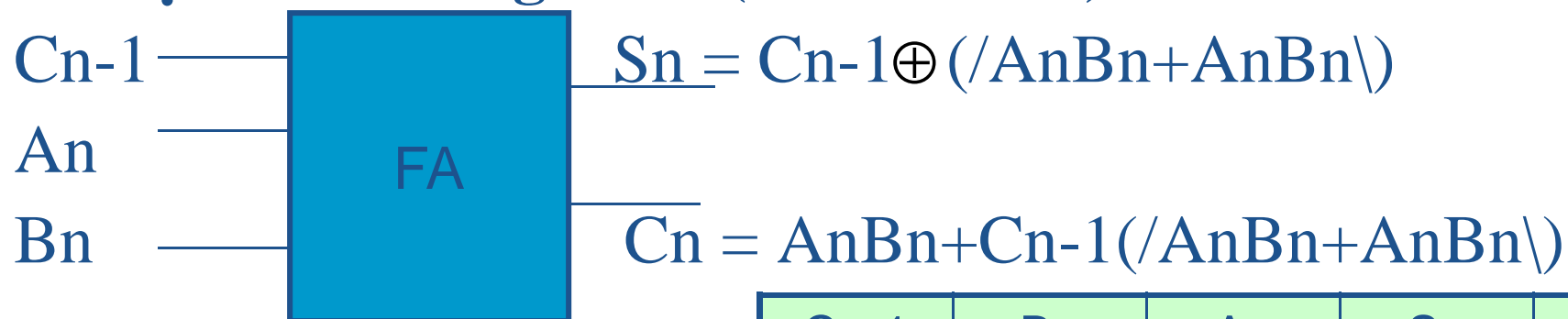
$$S_n = A_n \overline{B_n} + \overline{A_n} B_n$$

$$C_n = A_n B_n$$

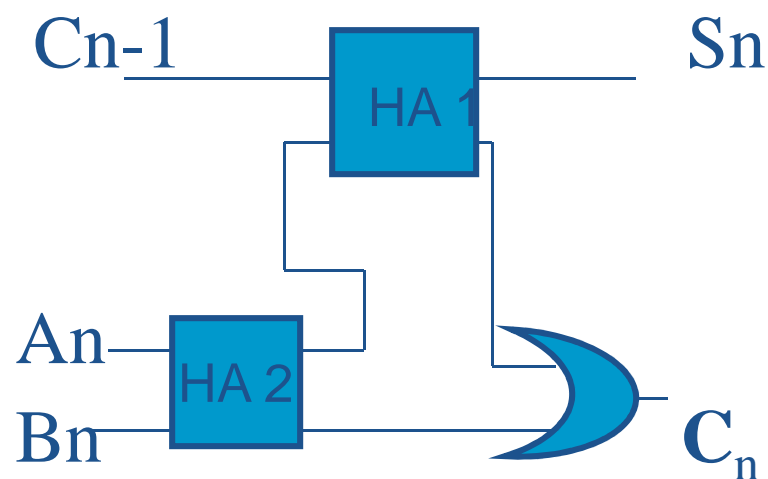
$B_n$	$A_n$	$S_n$	$C_n$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



## b. Mạch toàn tổng – FA ( Full Adder)



$C_{n-1}$	$B_n$	$A_n$	$S_n$	$C_n$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1





- Chứng minh được:

$$\begin{aligned} S_n &= \overline{C_{n-1}} \overline{A_n} \overline{B_n} + \overline{C_{n-1}} A_n \overline{B_n} + C_{n-1} \overline{A_n} B_n + C_{n-1} A_n B_n \\ &= \overline{C_{n-1}} (A_n \oplus B_n) + C_{n-1} (A_n \sqcap B_n) = \overline{C_{n-1}} (D_n) + C_{n-1} (\overline{D_n}) \\ &= C_{n-1} \oplus (A_n \oplus B_n) \\ C_n &= \overline{C_{n-1}} A_n B_n + C_{n-1} A_n \overline{B_n} + C_{n-1} \overline{A_n} B_n + C_{n-1} A_n B_n \\ &= A_n B_n (\overline{C_{n-1}} + C_{n-1}) + C_{n-1} (A_n \overline{B_n} + \overline{A_n} B_n) \\ &= A_n B_n + C_{n-1} (A_n \oplus B_n) \end{aligned}$$



## Mach Full Adder

### Logic Equations

Truth Table

x	y	z	C	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

$$\begin{aligned}C &= x'y z + x y' z + x y z' + x y z \\&= z \bullet (x'y + x y') + x y \bullet (z + z') \\&= z \bullet (x \oplus y) + x \bullet y \\&= \text{MAJ}(x, y, z)\end{aligned}$$

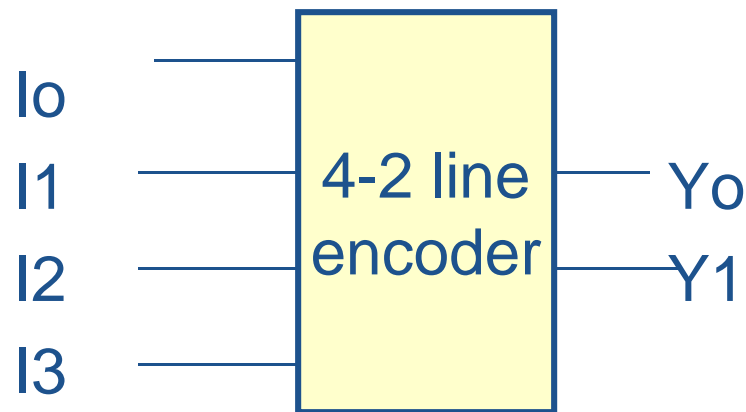
$$\begin{aligned}S &= x'y'z + x'y z' + x y' z' + x y z \\&= x'y z' + x y' z' + x'y'z + x y z \\&= z'(x'y + x y') + z(x'y' + x y) \\&= z'(x \oplus y) + z(x \oplus y)' \\&= (x \oplus y) \oplus z \\&= x \oplus y \oplus z\end{aligned}$$



# Mạch mã hoá

- Chuyển đổi mã này  $\rightarrow$  mã khác  
mã thập phân  $\rightarrow$  nhị phân

## a. Mạch mã hoá 4 sang 2 đường



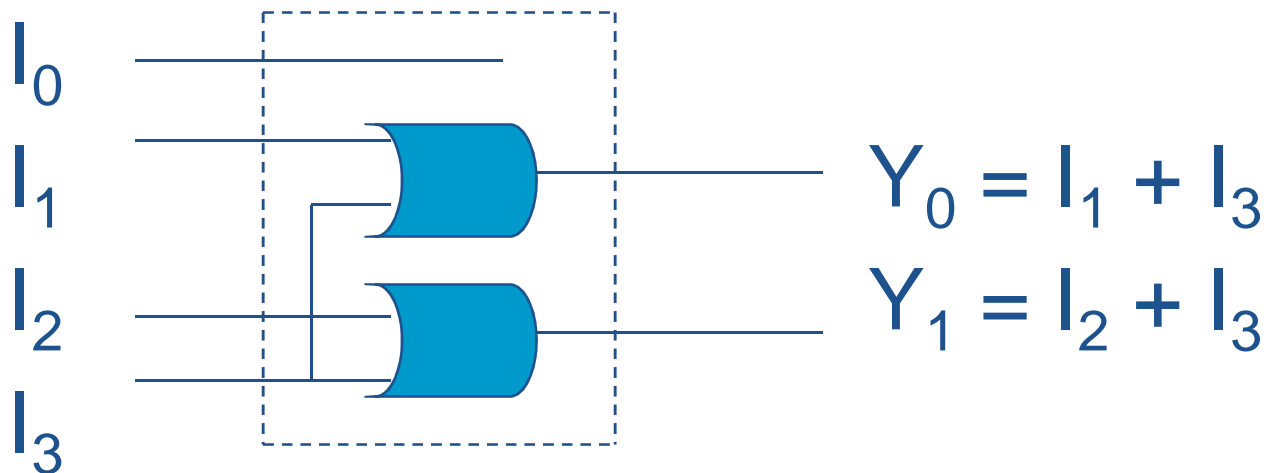
$$Y_0 = I_3 + I_1$$

$$Y_1 = I_3 + I_2$$

STP	$I_3$	$I_2$	$I_1$	$I_0$	$Y_1$	$Y_0$
0	0	0	0	1	0	0
1	0	0	1	0	0	1
2	0	1	0	0	1	0
3	1	0	0	0	1	1

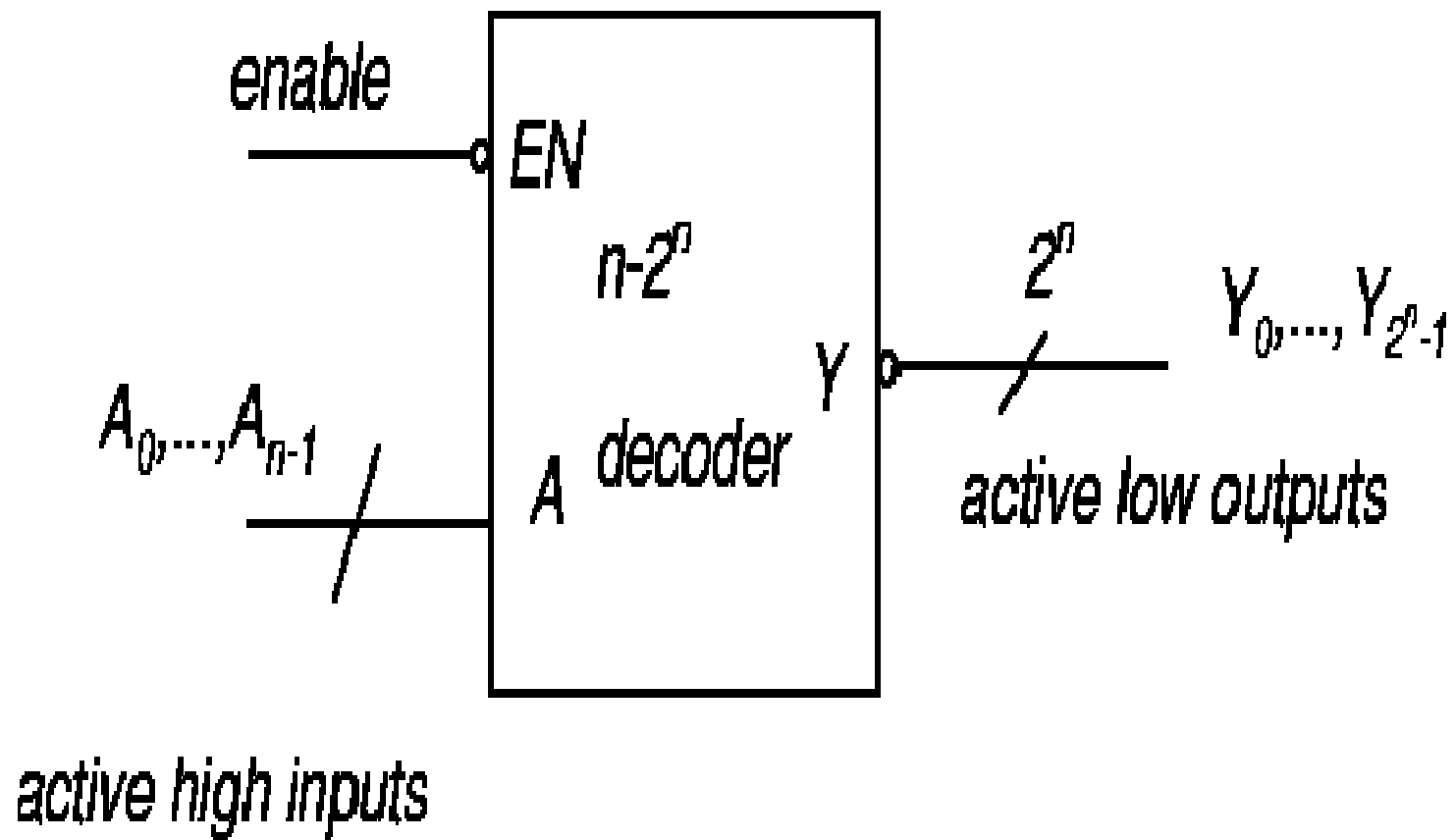


- Mạch thực hiện



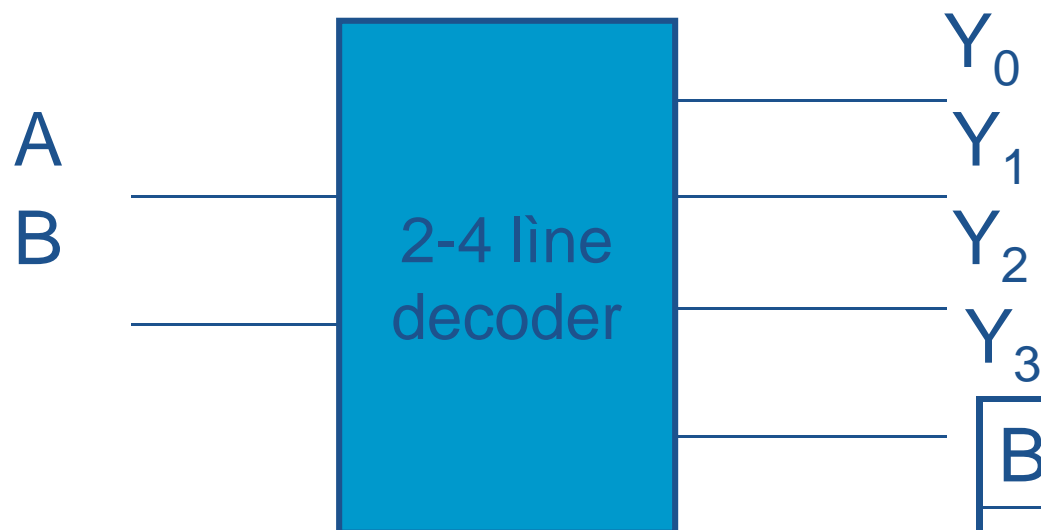
Có thể sử dụng toàn cổng NAND

### 3. Mạch giải mã





- Mạch giải mã 2 sang 4 đường



$$Y_0 = \overline{B} \cdot \overline{A}$$

$$Y_1 = \overline{B} \cdot A$$

$$Y_2 = B \cdot \overline{A}$$

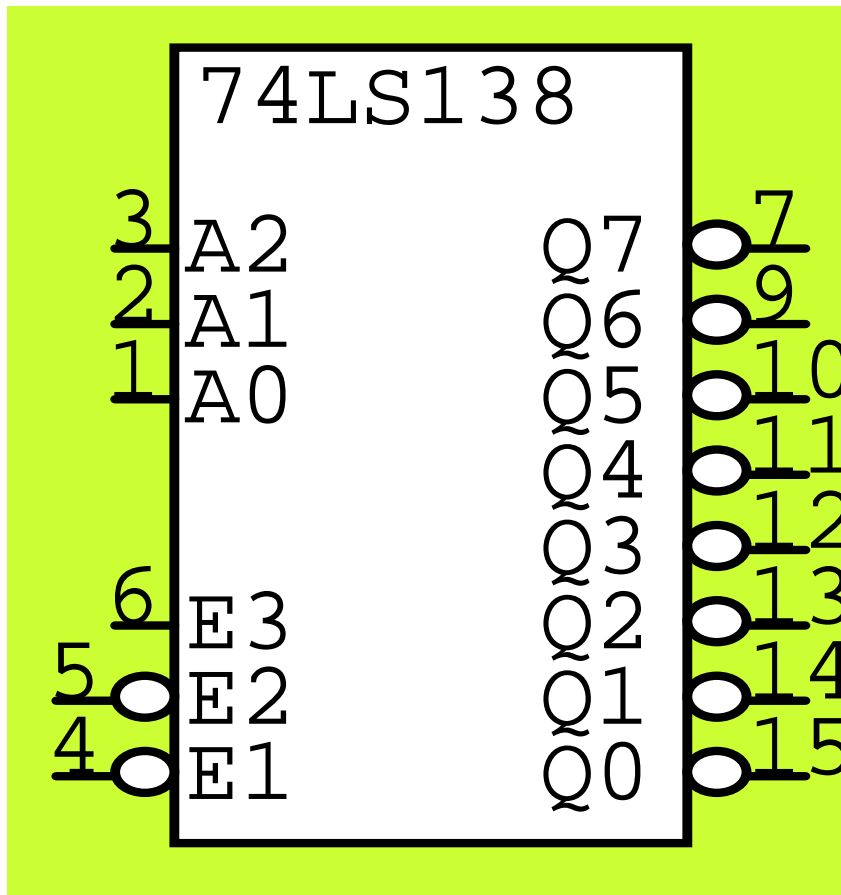
$$Y_3 = B \cdot A$$

B	A	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0





- Mạch giải mã 3-8 đường



$$Q_0 = \overline{C}\overline{B}\overline{A}$$

$$Q_1 = \overline{C}\overline{B}A$$

$$Q_2 = \overline{C}B\overline{A}$$

$$Q_3 = \overline{C}BA$$

$$Q_4 = C\overline{B}\overline{A}$$

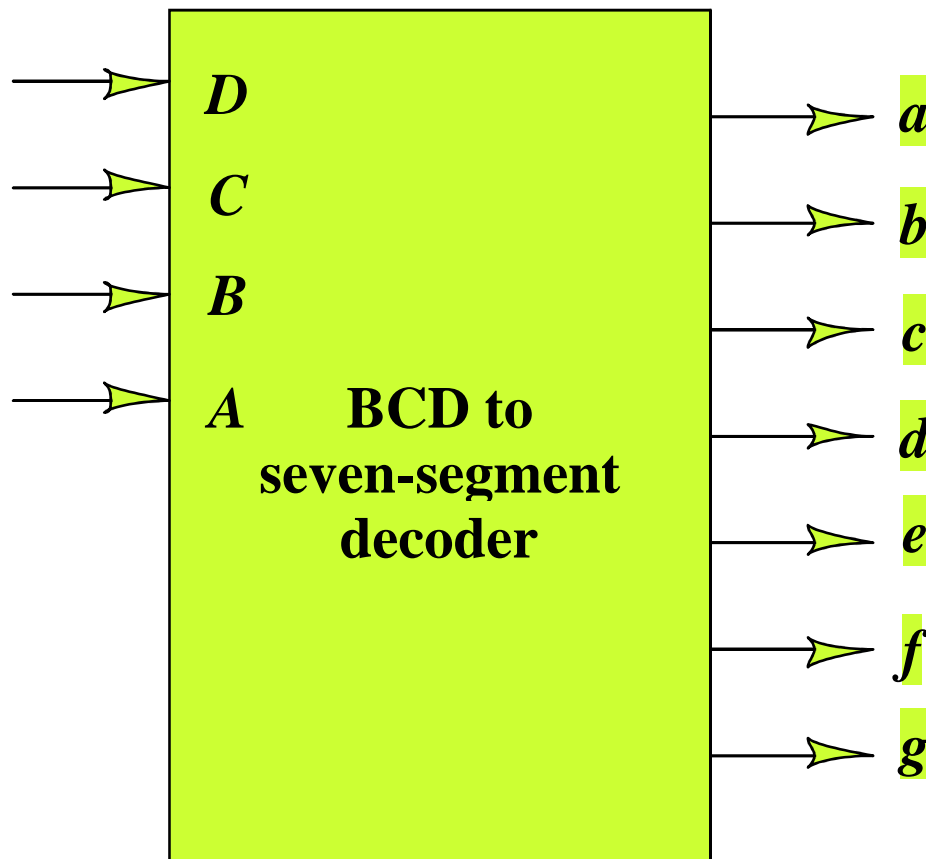
$$Q_5 = C\overline{B}A$$

$$Q_6 = CB\overline{A}$$

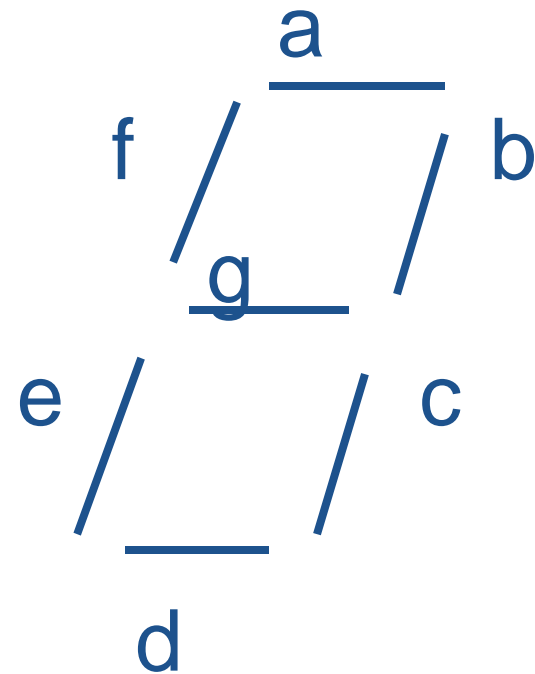
$$Q_7 = CBA$$



- Giải mã BCD – 7 đoạn



IC 7447A , CD 4511



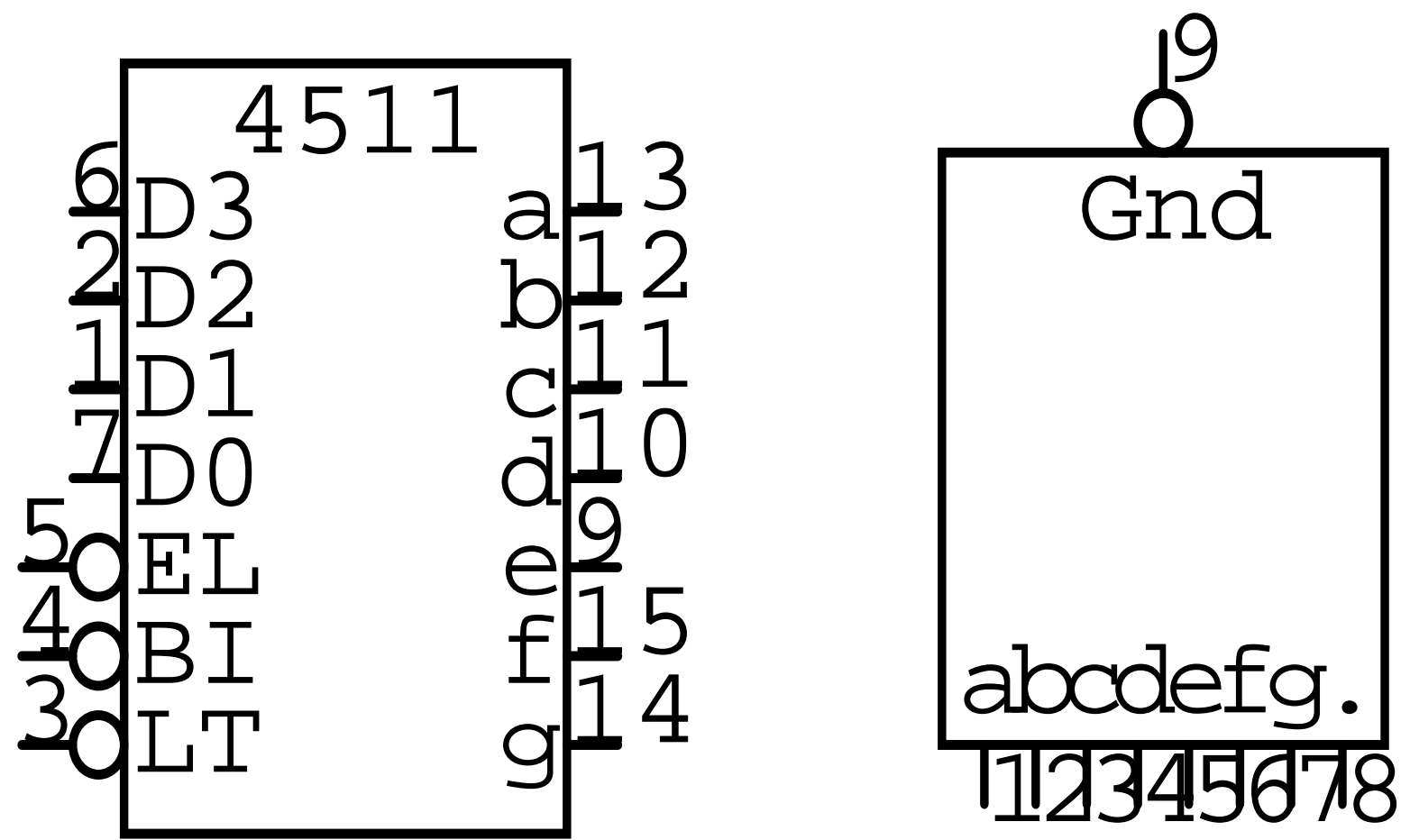


Bảng chân trị

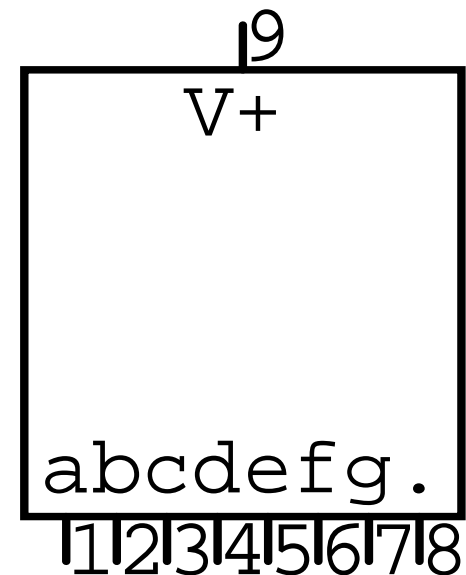
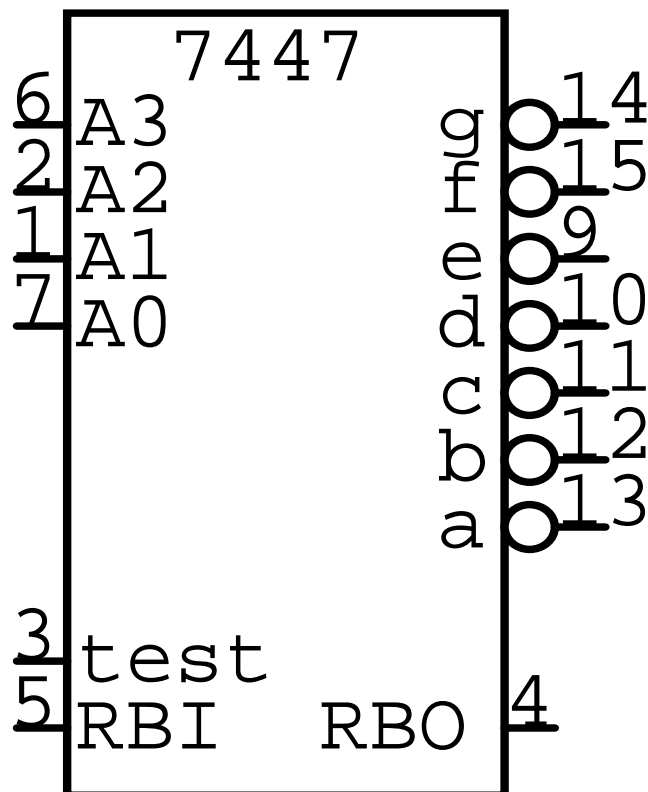
D C B A	a b c d e f g	STP
0 0 0 0	1 1 1 1 1 1 1	0
0 0 0 1	0 1 1 0 0 0 0	1
0 0 1 0	1 1 0 1 1 0 1	2
0 0 1 1	1 1 1 1 0 0 1	3
0 1 0 0	0 1 1 0 0 1 1	4
0 1 0 1	1 0 1 1 0 1 1	5
0 1 1 0	0 0 1 1 1 1 1	6
0 1 1 1	1 1 1 0 0 0 0	7
1 0 0 0	1 1 1 1 1 1 1	8
1 0 0 1	1 1 1 0 0 1 1	9
1 0 1 0	0 0 0 0 0 0 0	tất hết



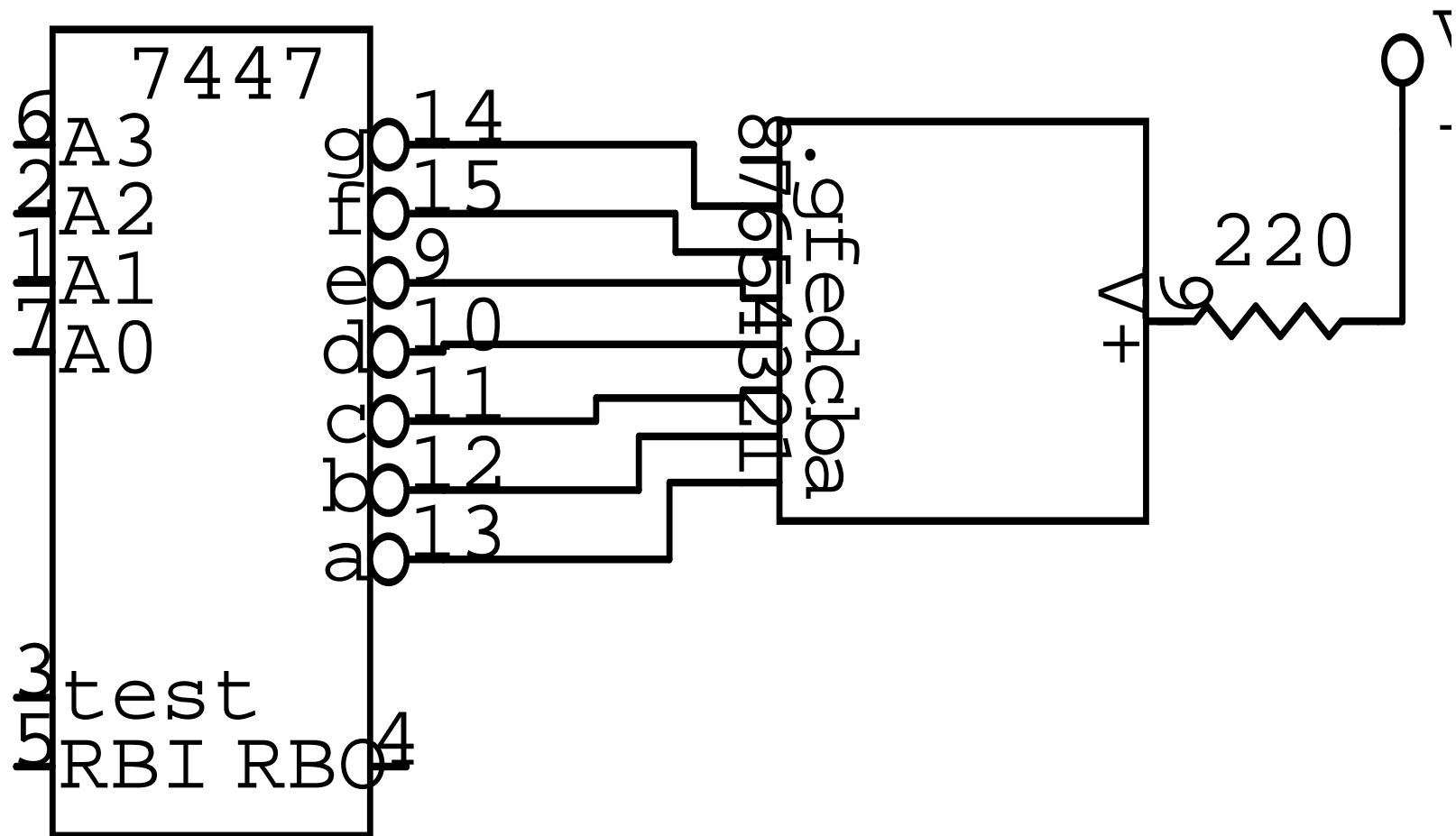
# 4511 + LED 7 đoạn catod chung



## 7447A+ LED 7 đoạn anod chung



## Mạch giải mã và LED 7 đoạn



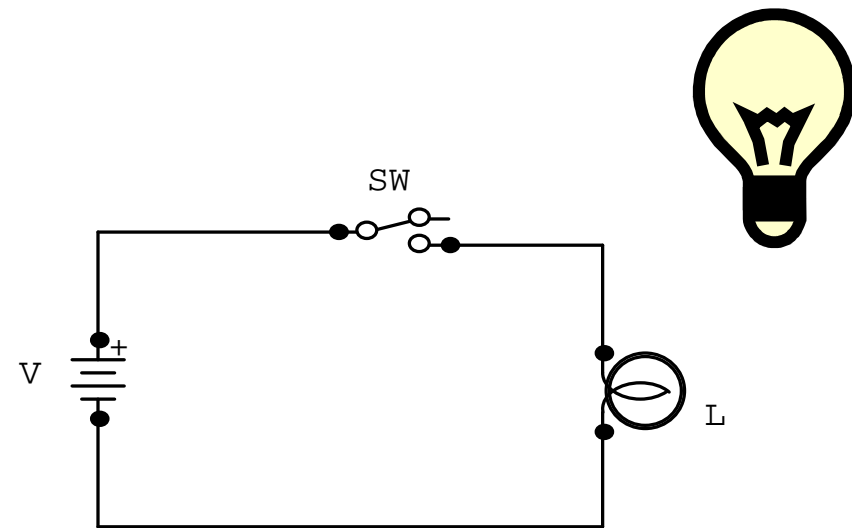
## Thực hiện cổng logic

Thí dụ về cái bặc điện

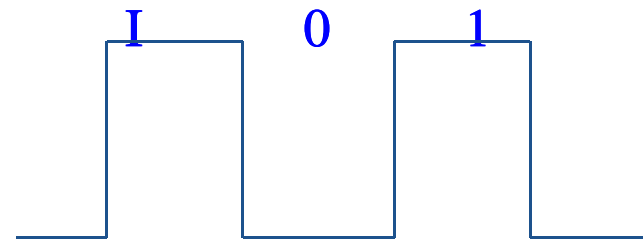
Khi SW hở : Đèn tắt “0”

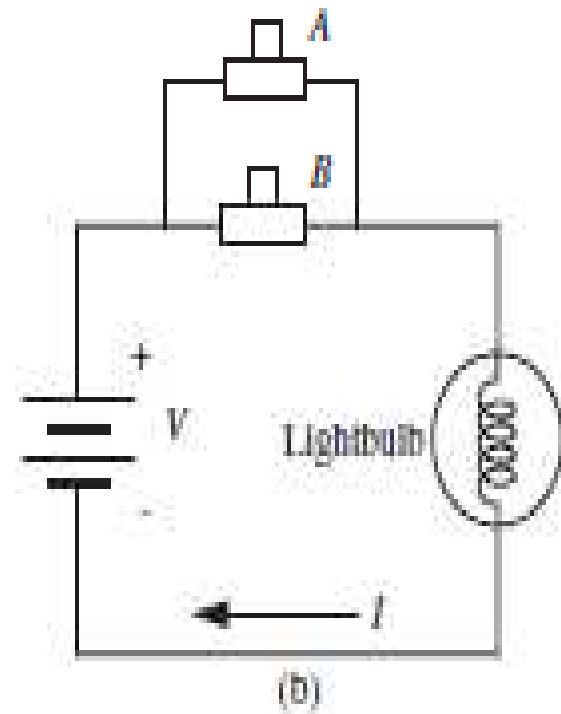
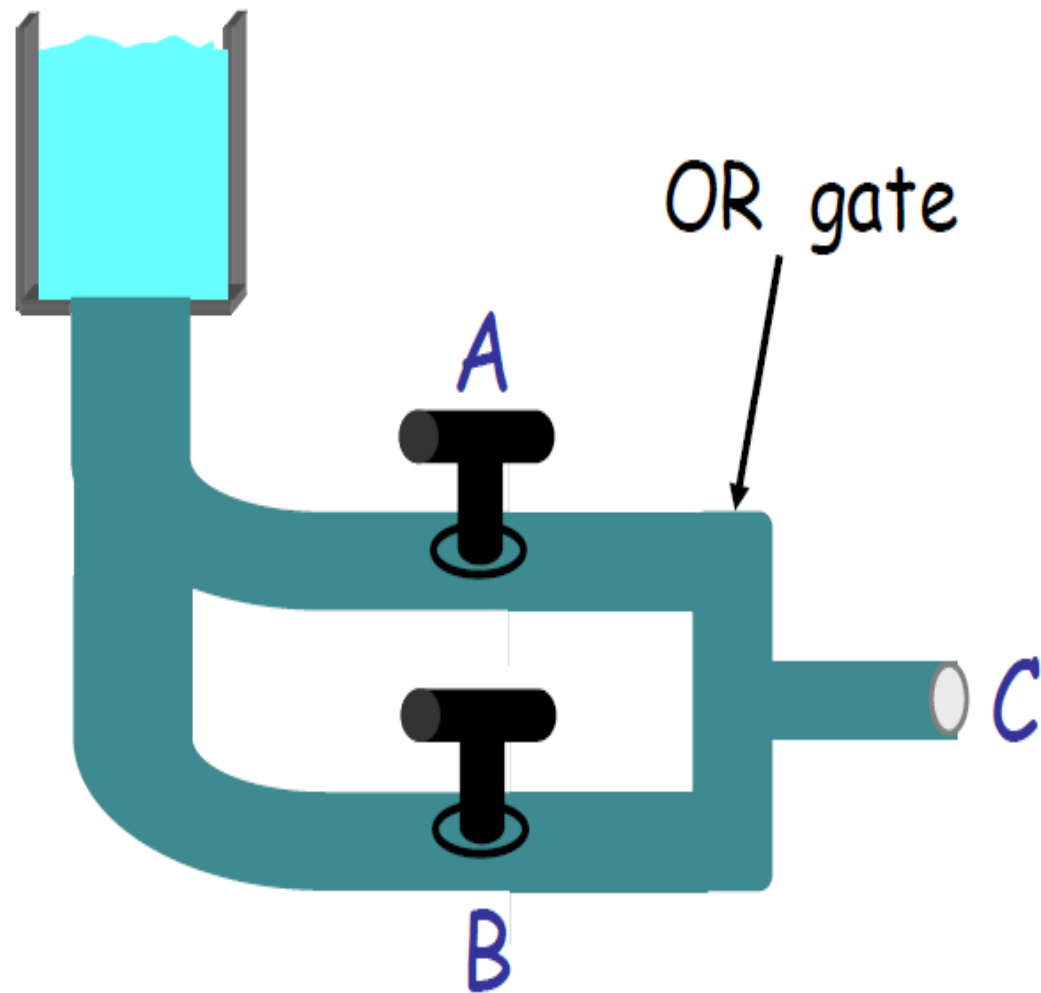
Khi SW đóng: Đèn sáng “1”

Cho ta khái niệm về tín hiệu  
không liên tục hay tín hiệu “số”



	H	L
	5V	0V
	Đúng	sai
Digit	1	0

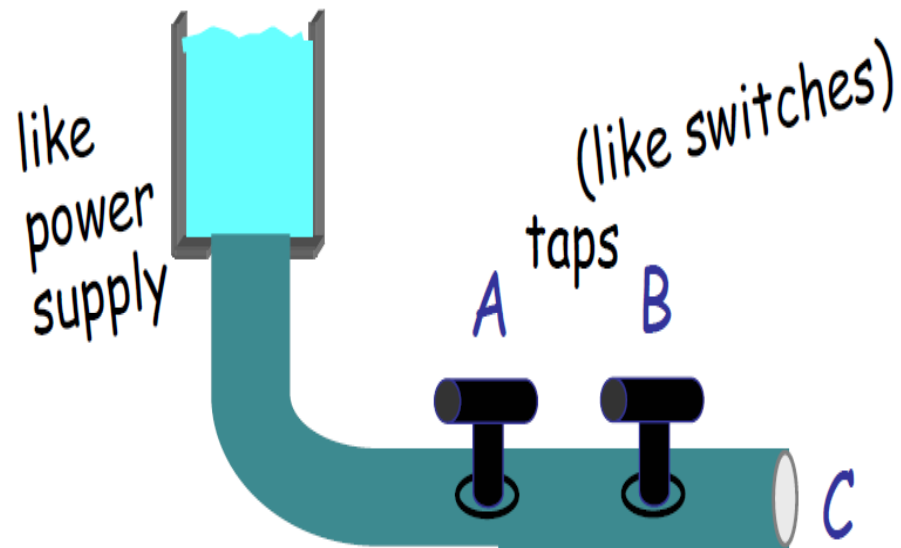








## Analogy

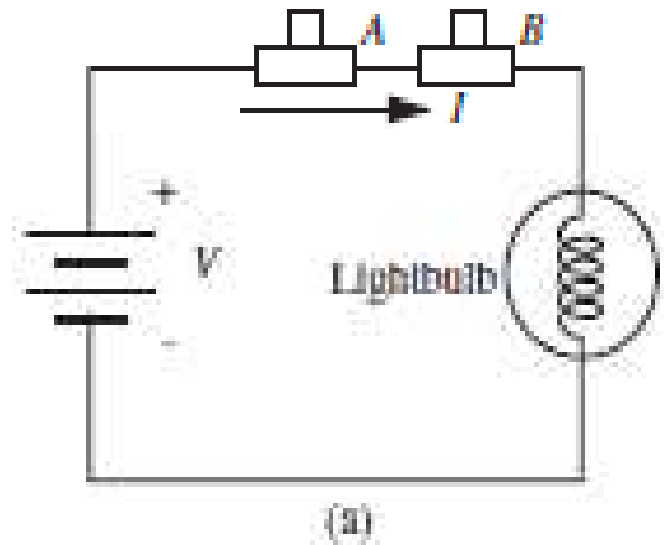


if  $A=ON$  AND  $B=ON$

$C$  has  $H_2O$

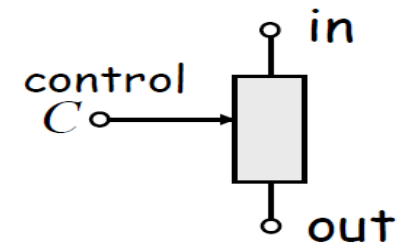
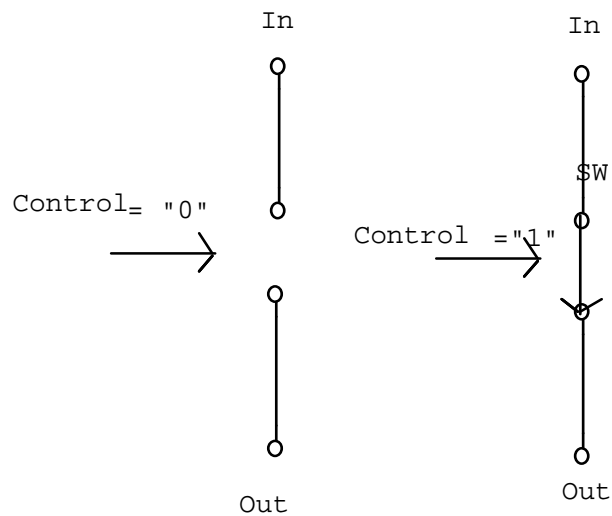
else

$C$  has no  $H_2O$





## Đặc tính của bậc điện tử (công tắc điện tử)



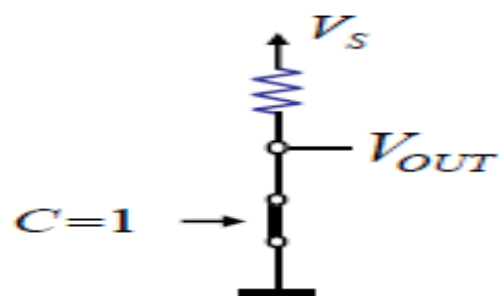
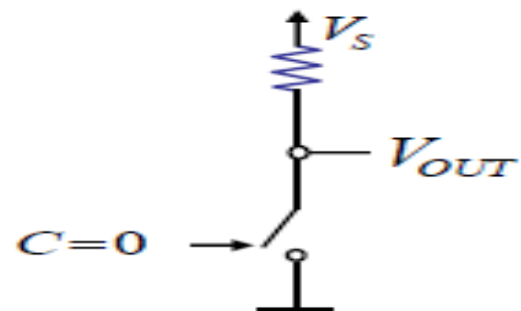
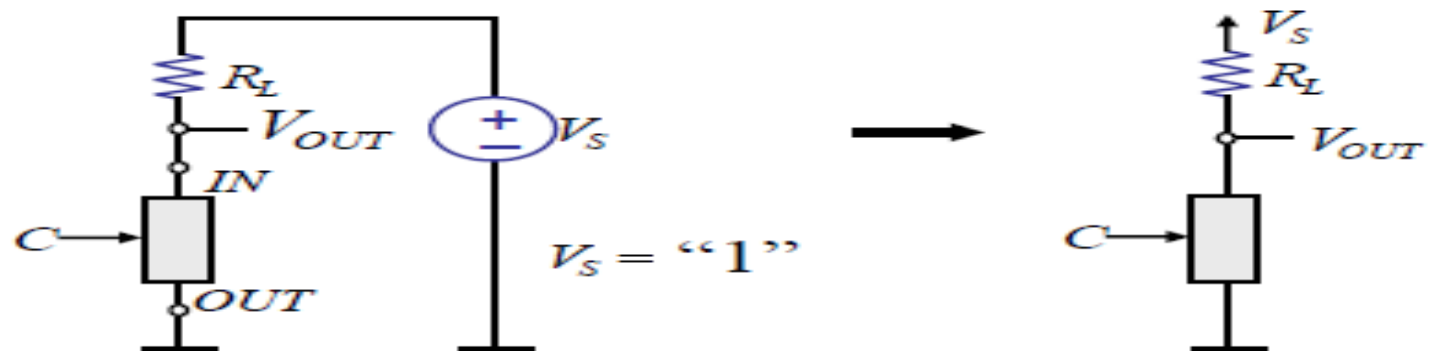
control = "1"

control = "0"

Khi điều khiển = "0", bậc hở, bậc ở trạng thái OFF

Khi điều khiển = "1", bậc đóng, bậc ở trạng thái ON

Vậy ta có thể thực hiện các hàm logic bằng các bậc (công tắc) điện tử  
MOSFET là một trong những linh kiện thường được sử dụng làm bậc

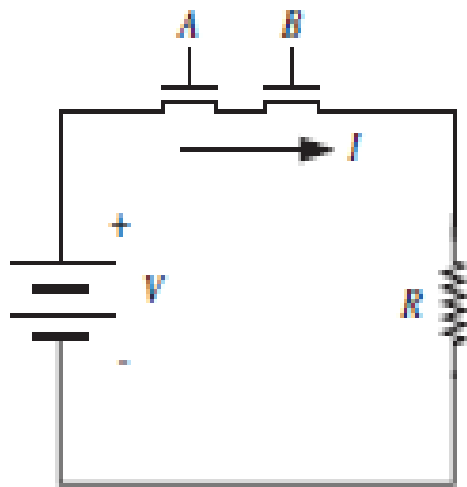
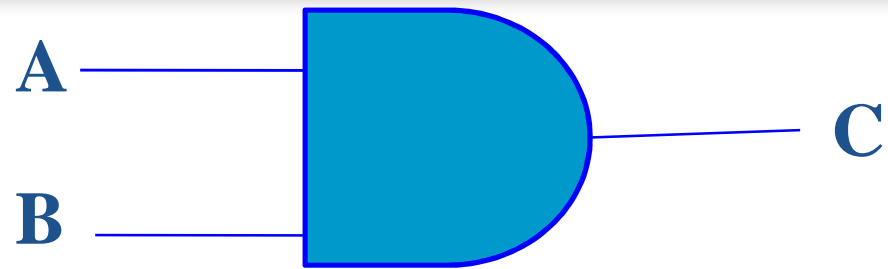


Truth table for



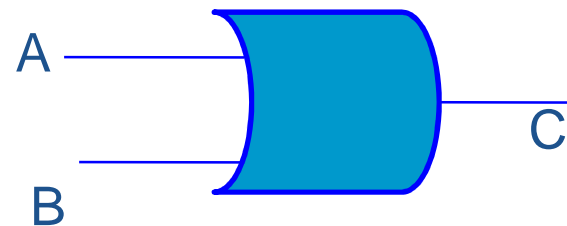
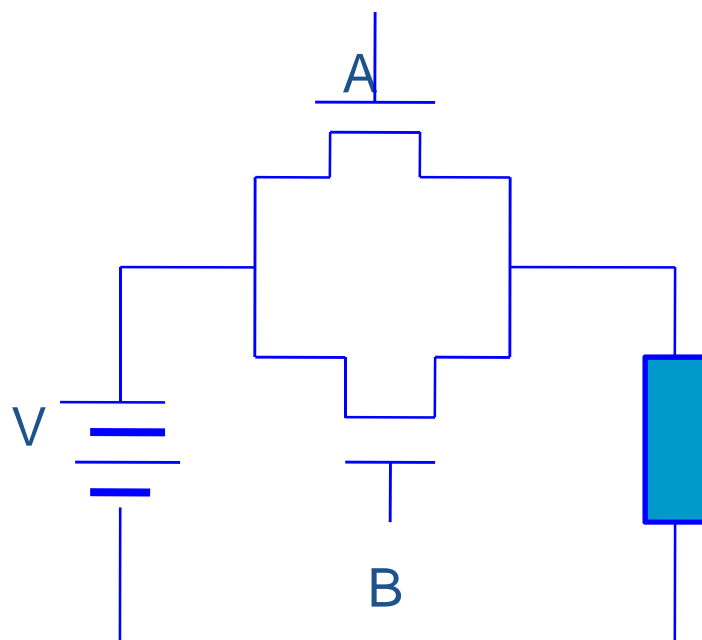
$C$	$V_{OUT}$
0	1
1	0

## CÔNG AND



A	B	A.B
0	0	0
0	1	0
1	0	0
1	1	1

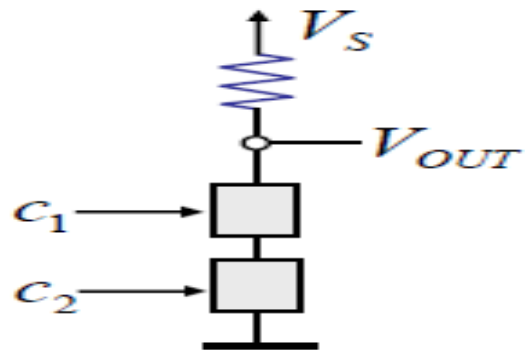
# CÔNG OR



A	B	A + B
0	0	0
0	1	1
1	0	1
1	1	1



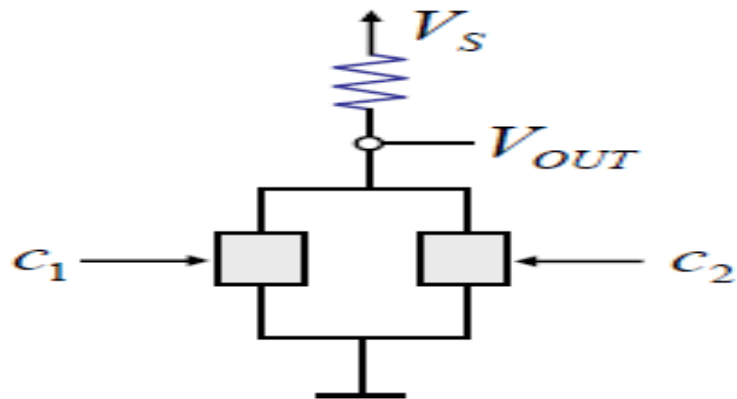
## What about?



Truth table for



$c_1$	$c_2$	$V_O$
0	0	1
0	1	1
1	0	1
1	1	0



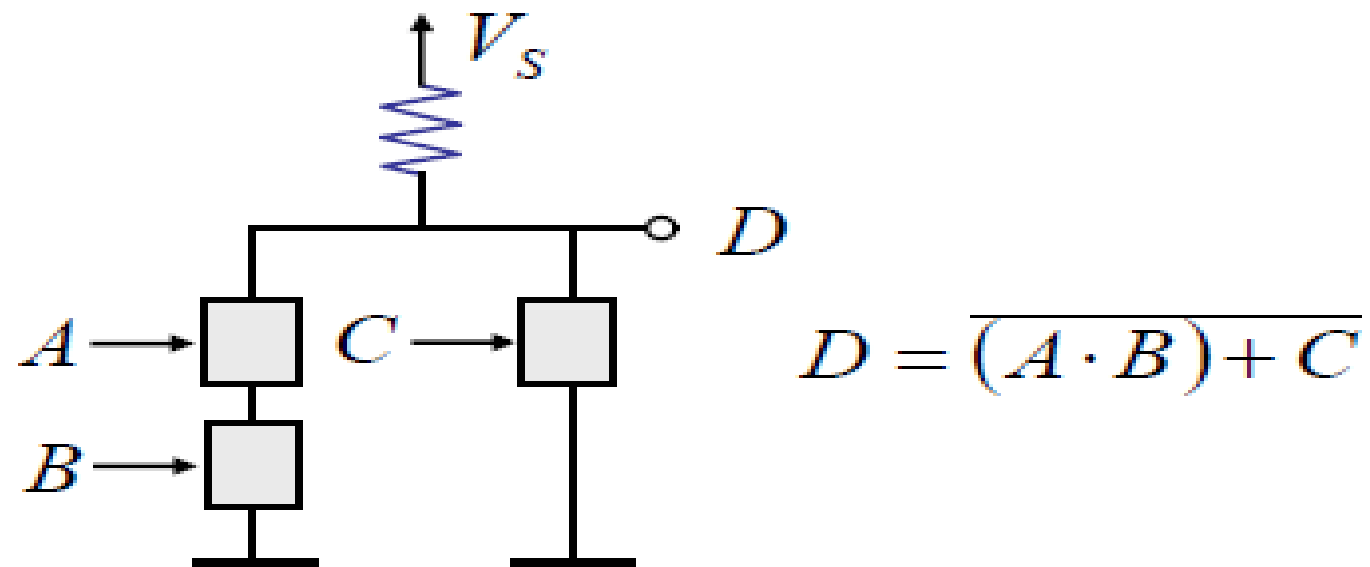
Truth table for



$c_1$	$c_2$	$V_O$
0	0	1
0	1	0
1	0	0
1	1	0



can also build compound gates

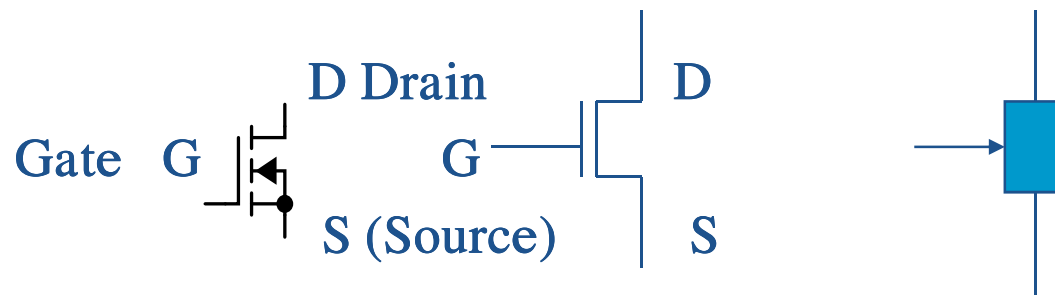




# MOSFET

MOSFET ( Metal Oside Semiconductor) hiện nay được dùng trong chế tạo vi mạch, nhất là vi mạch kích thước rất lớn (VLSI – Very large Scale Integration).

Ký hiệu của linh kiện MOSFET:



linh kiện rời  
không đối xứng

vi mạch (IC)  
đối xứng giữa D và S

n - MOSFET





MOSFET có hai kiểu hoạt động:

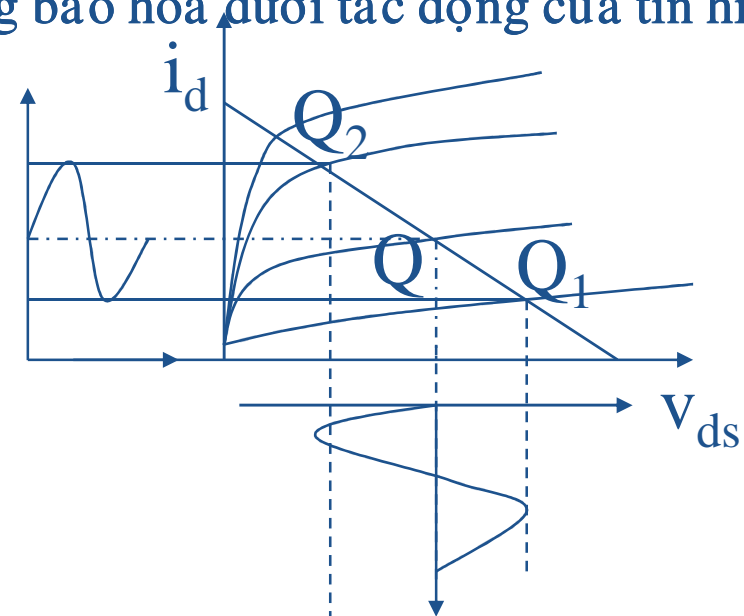
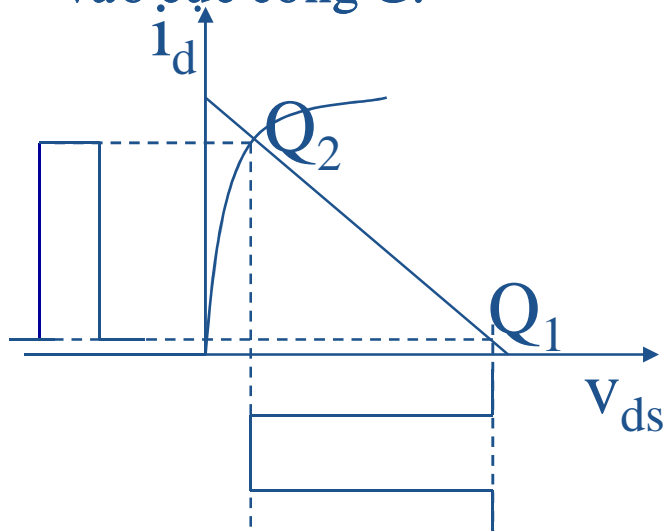
- Giao hoán hay chuyển mạch ( Switching mode)
- Khuếch đại (Amplifier mode)

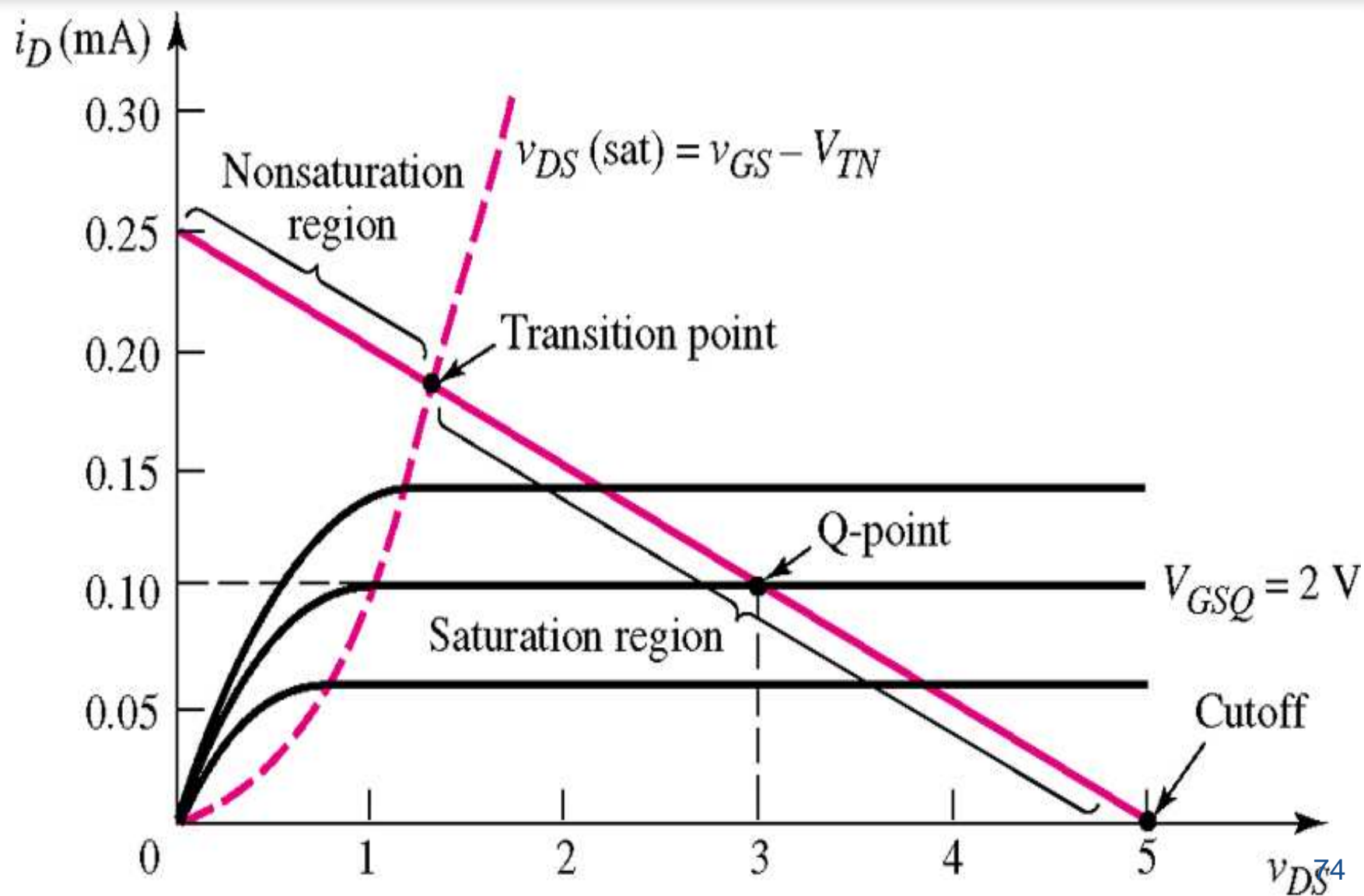
### Giao hoán:

Khi điểm tĩnh Q hoặc ở vùng ngưng (cut off region) hoặc ở vùng điện trở (vùng không tuyến tính) dưới tác động của xung ở ngõ vào (cực cổng G)

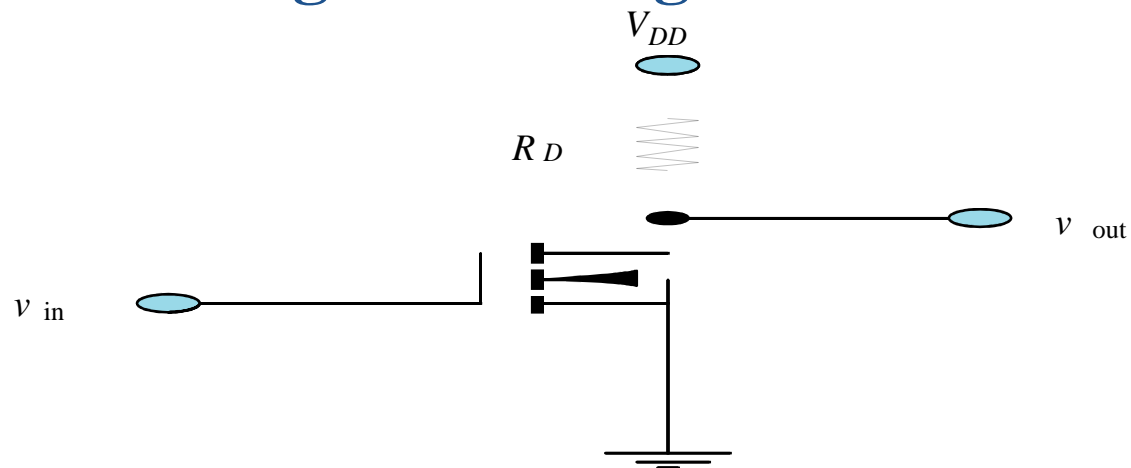
### Khuếch đại:

Khi điểm tĩnh Q chỉ di chuyển trong vùng bảo hoà dưới tác động của tín hiệu vào cực cổng G.

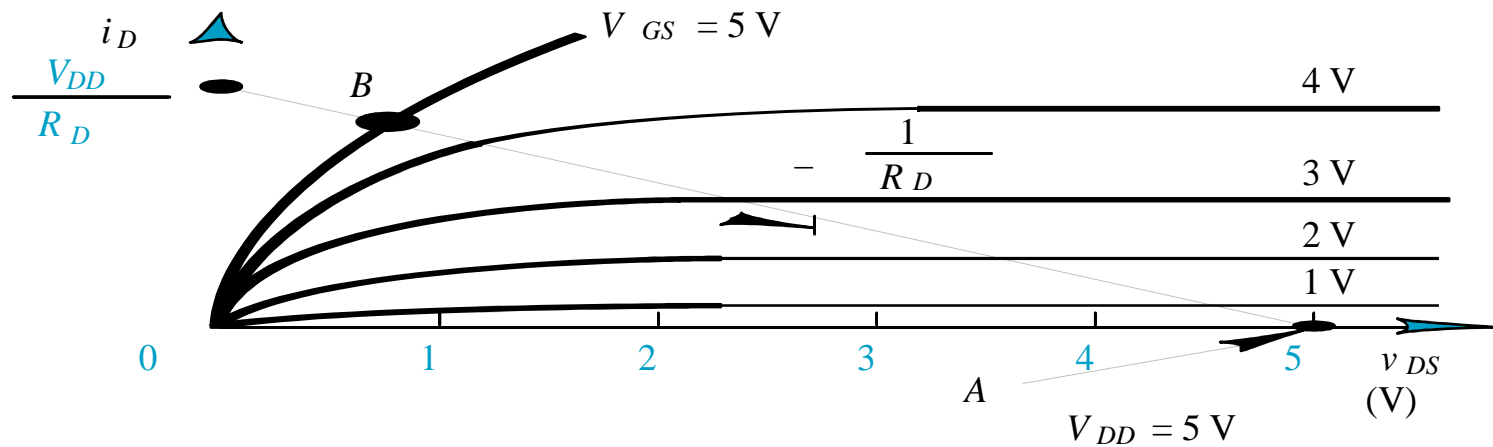




# Cổng NOT dùng MOSFET



MOSFET inverter



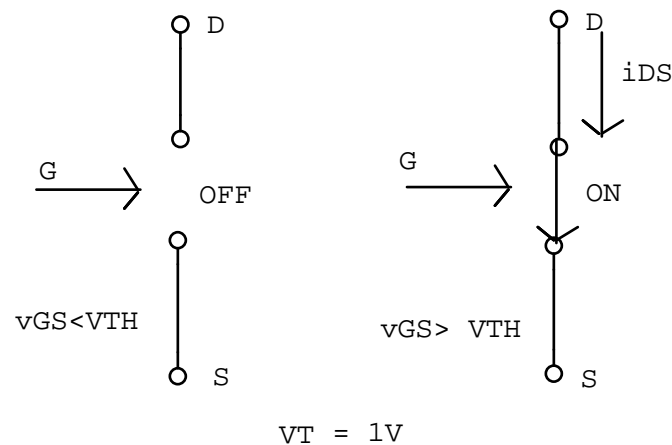
Switching characteristic



## Cách hoạt động giáo hoán (chuyển mạch) của bậc MOSFET

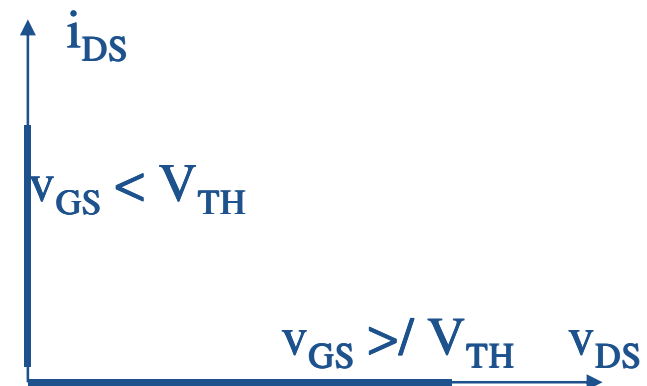
Theo quan điểm hai cảng:

### 1. S mod (Switch mode)

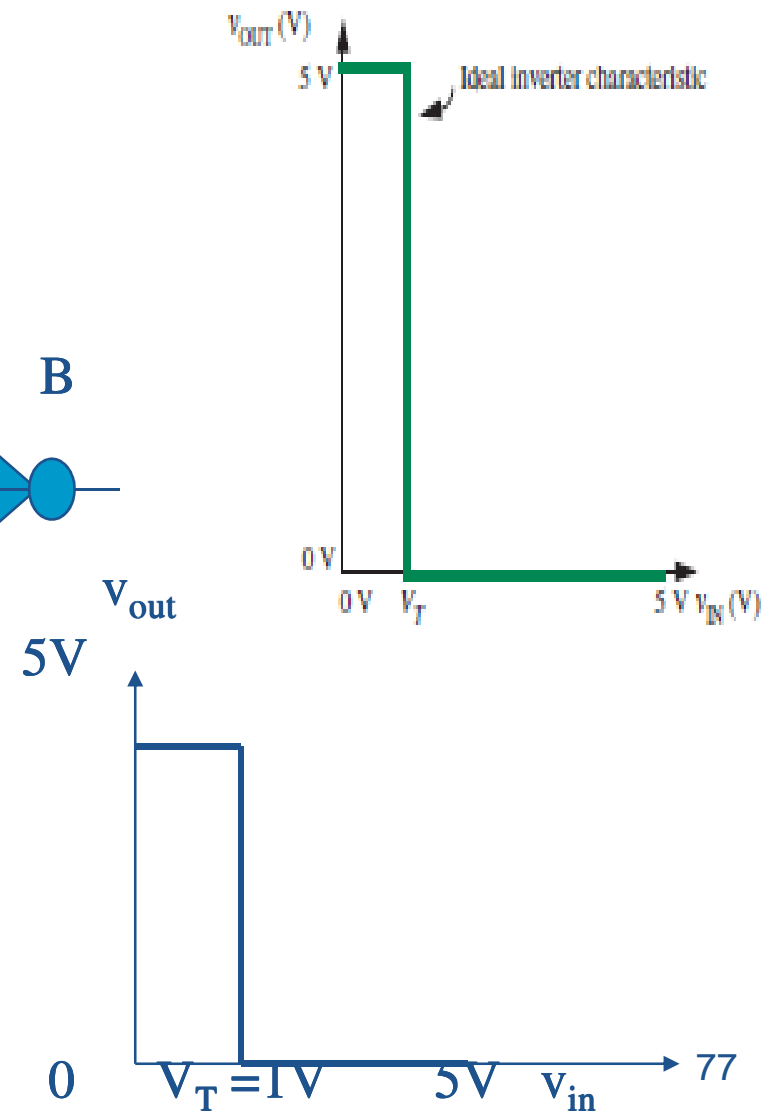
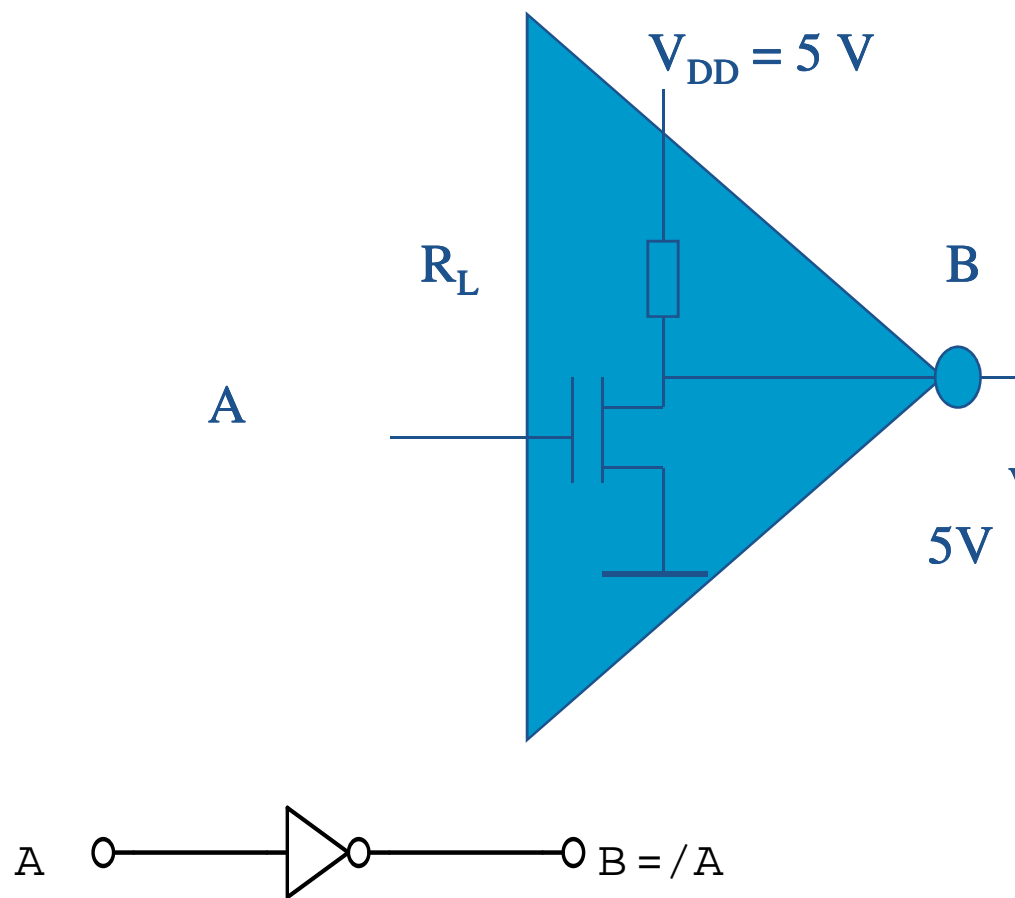


Theo dạng oscilloscope:

Đặc tuyến  $i_{DS} = f(v_{DS})$

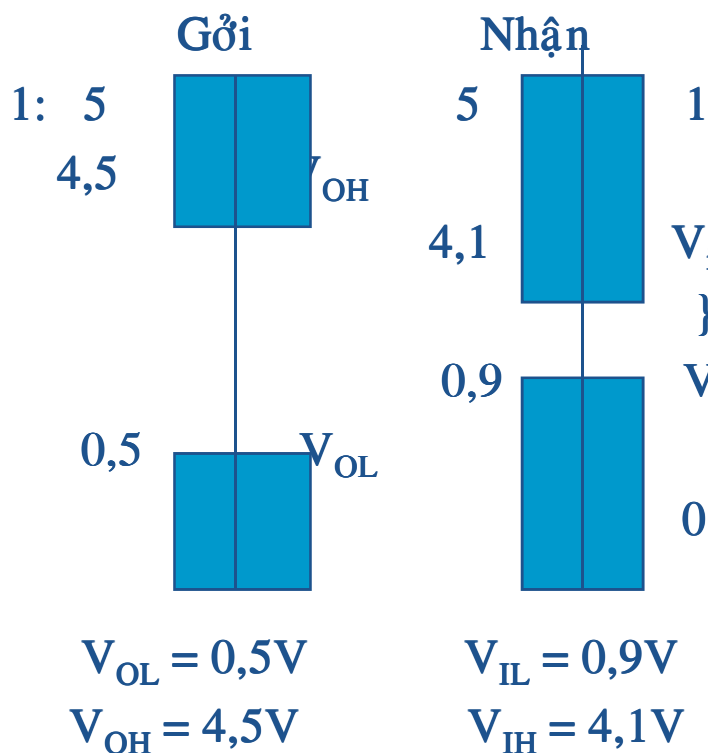


# INVERTER (Cổng đảo)





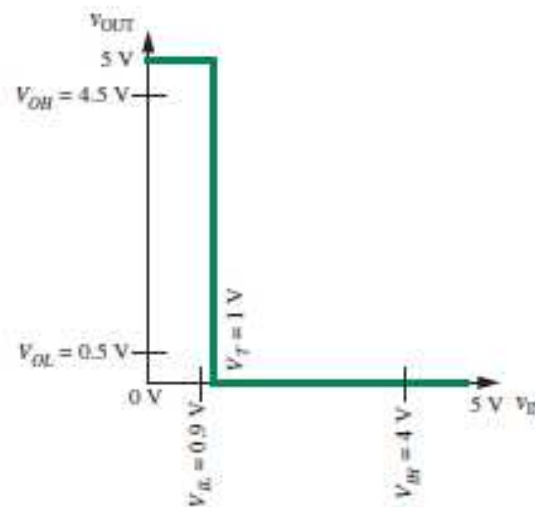
## Mức điện thế ( Laptop T1000)



Mạch Inverter phải thoả qui tắc tĩnh của những trị số ngưỡng sau:

$$\left. \begin{array}{ll} V_{OL} = 0,2V & V_{iL} = 0,5 \\ V_{OH} = 4,8V & V_{iH} = 4,5V \end{array} \right\} \text{Yes}$$

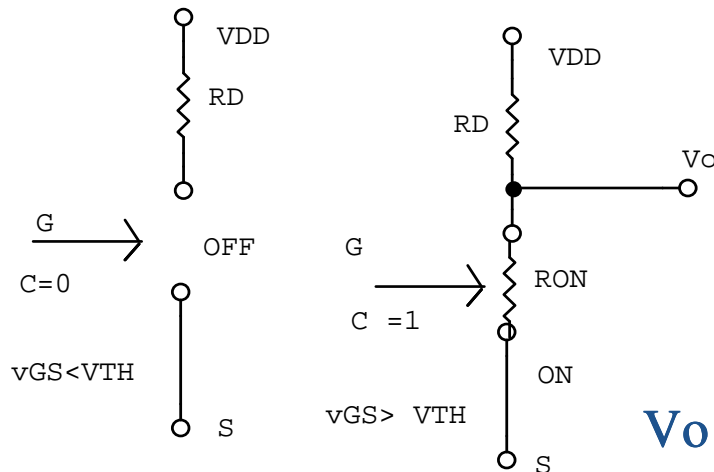
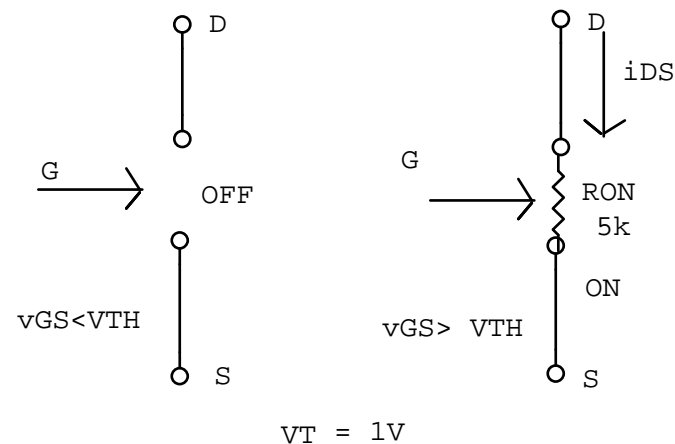
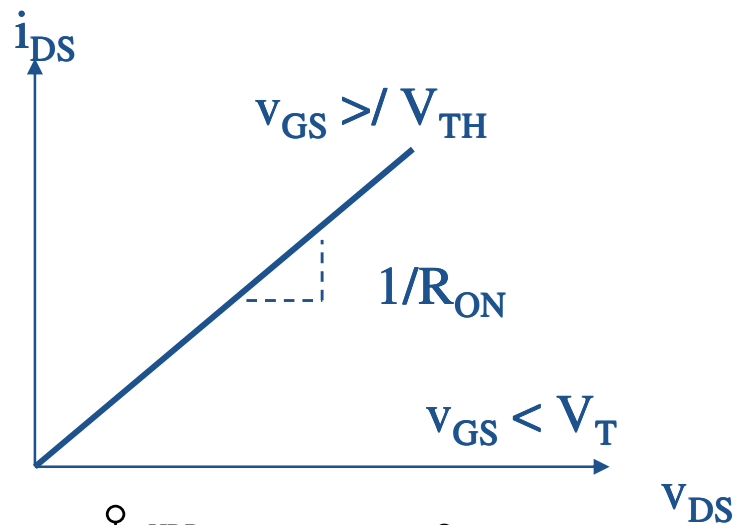
$$\left. \begin{array}{ll} V_{OL} = 0,5V & \boxed{V_{iL} = 1,5V} \\ V_{OH} = 4,5V & V_{iH} = 3,5V \end{array} \right\} \text{no}$$





## 2. Model SR ( Switch resistor model) của MOSFET

Model MOS chính xác hơn



$$V_o = \frac{R_{ON}}{R_{ON} + R_D} V_{DD} \leq V_{OL}$$

$$V_o = V_{DD} = "1"$$

Bảng sự thật

C	$V_o$
0	1
1	0



# Cách hoạt động chế độ giao hoán

- Khi không có xung vào: **MOSFET không dẫn.**

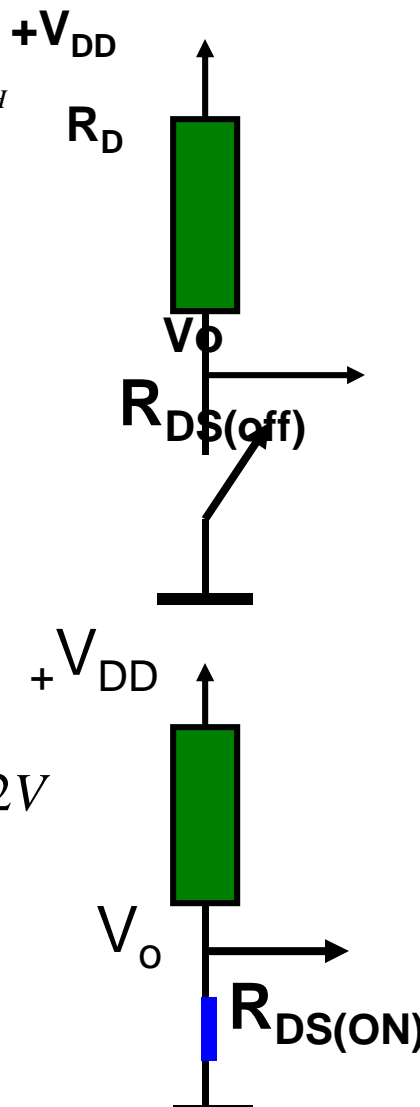
Ta có:

$$V_o(off) = \frac{R_{DS(off)}}{R_D + R_{DS(off)}} V_{DD} \cong V_{DD} = V_{OH}$$
$$= \frac{\infty \Omega}{1k\Omega + \infty \Omega} (20V) = 20V$$

- Khi có xung vào: **MOSFET dẫn**

Ta có:

$$V_o(on) = \frac{R_{DS(on)}}{R_D + R_{DS(on)}} V_{DD} \cong 0V = V_{OL}$$
$$= \frac{10\Omega}{1k\Omega + 10\Omega} (20V) = 0,198V \cong 0,2V$$

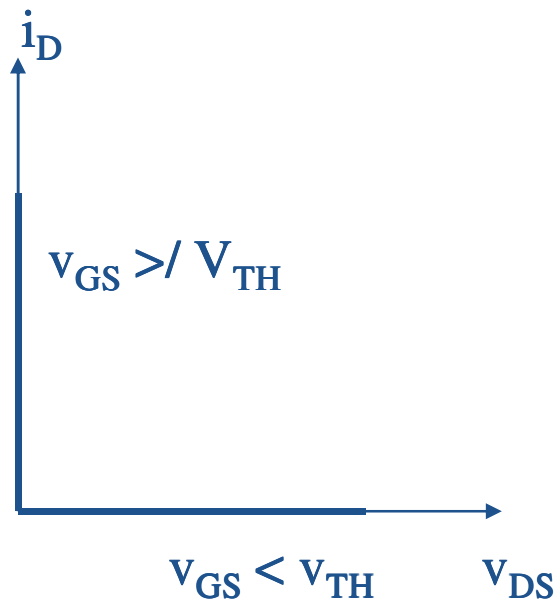




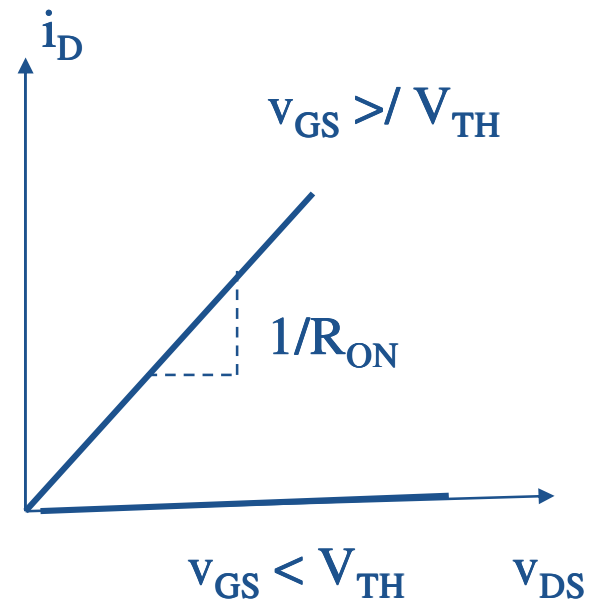


Tóm lại:

Có hai mô hình ( model) của MOSFET



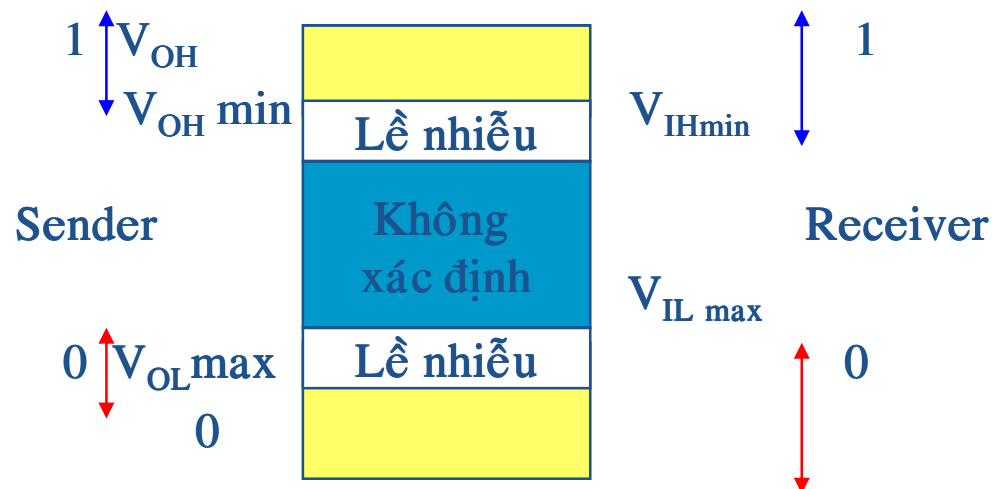
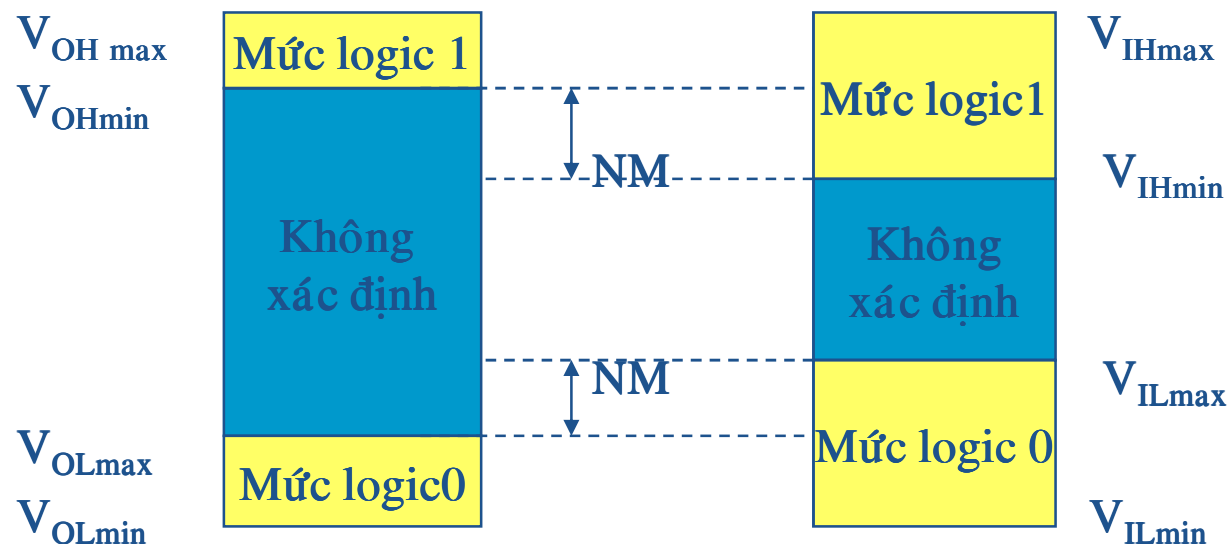
S model  
xấp xỉ thứ nhất



SR model  
xấp xỉ thứ hai

Mô hình của MOSFET

## Mức điện thế logic qui định của MOSFET:



$$V_{NMH} = V_{OH \min} - V_{IH \min}$$

$$V_{NML} = V_{OL \max} - V_{IL \max}$$

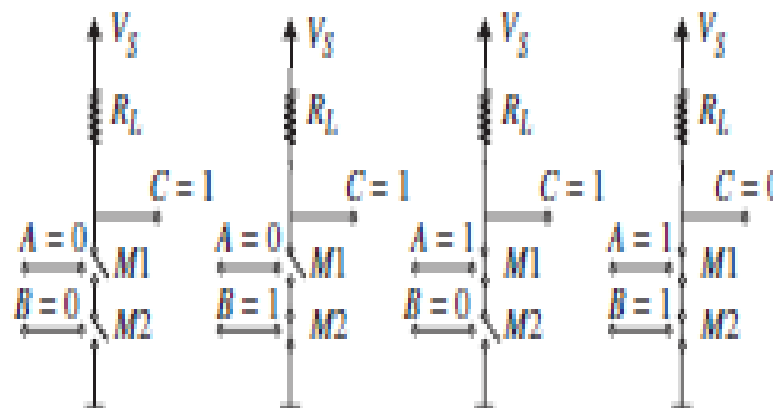
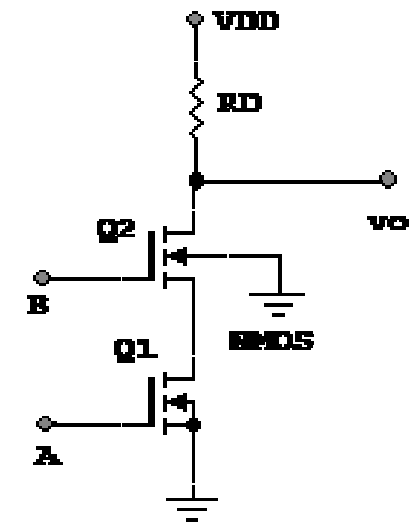
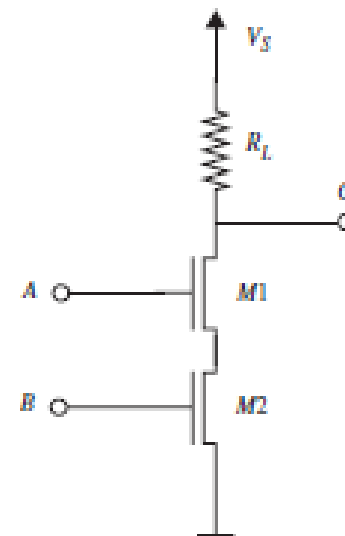


# Cổng NAND – NMOS tải thụ động

0 = logic 1 = 0V– 0,5V

1= logic 1 =  $V_{DD}$

B	A	F= $V_o$
0	0	1
0	1	1
1	0	1
1	1	0



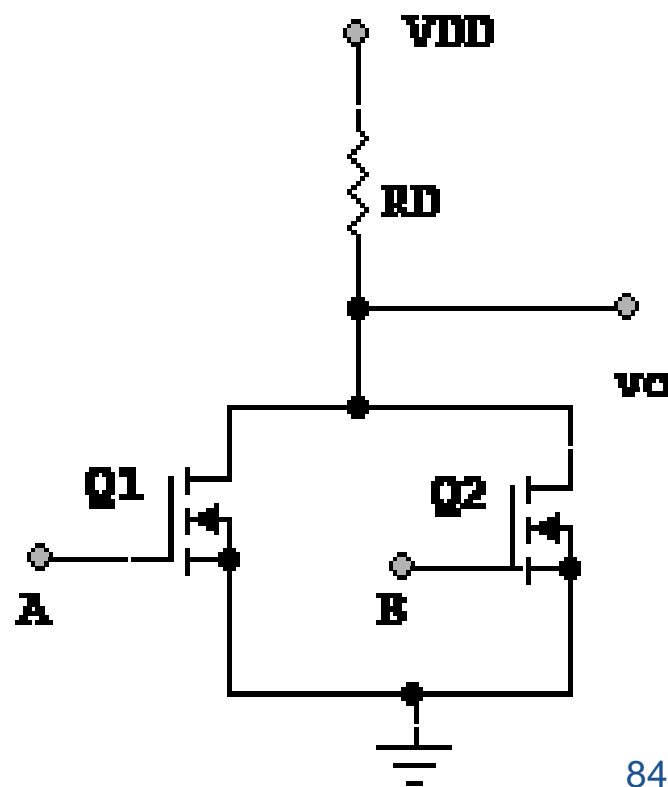


## Cổng NOR-NMOS tải thụ động

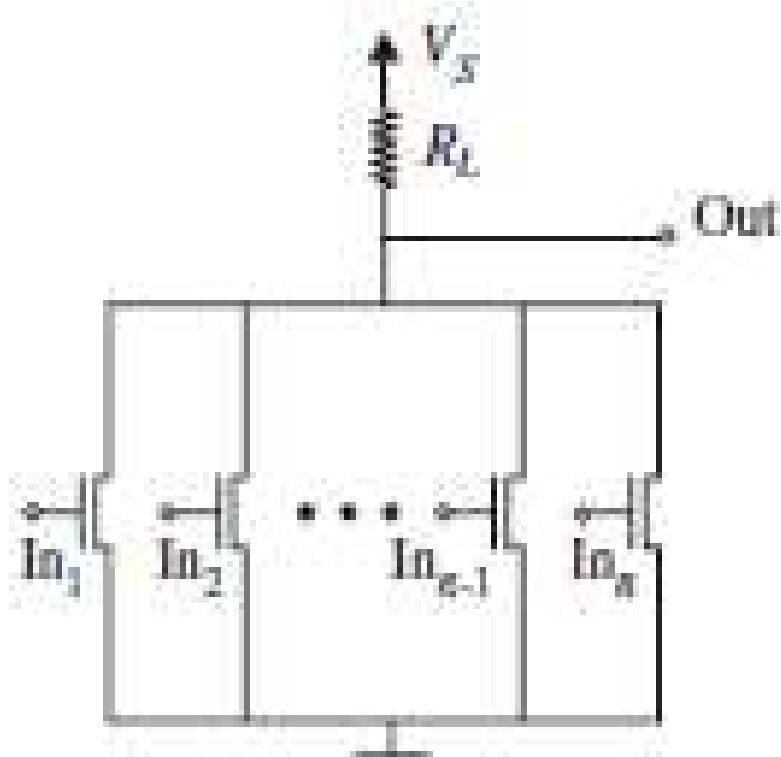
Do 2 NMOS ghép song

song nên chỉ cần có 1 NMOS dẫn là điện thế ngõ ra xuống mức thấp:

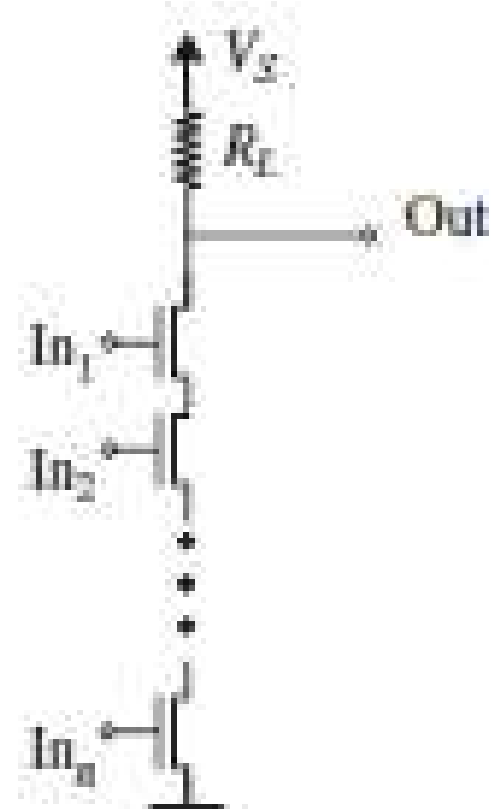
B	A	$F=V_o$
0	0	1
0	1	0
1	0	0
1	1	0



## Cổng NAND và NOR nhiều ngõ vào



(a)



(b)

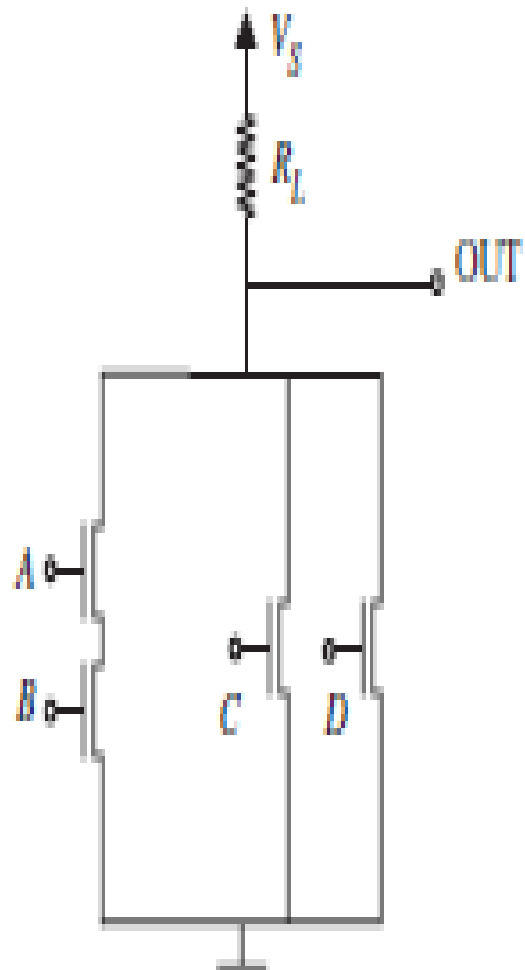


FIGURE 0.23 Transistor-level implementation of  $\overline{AB + C + D}$ .

## Tổ hợp các cổng

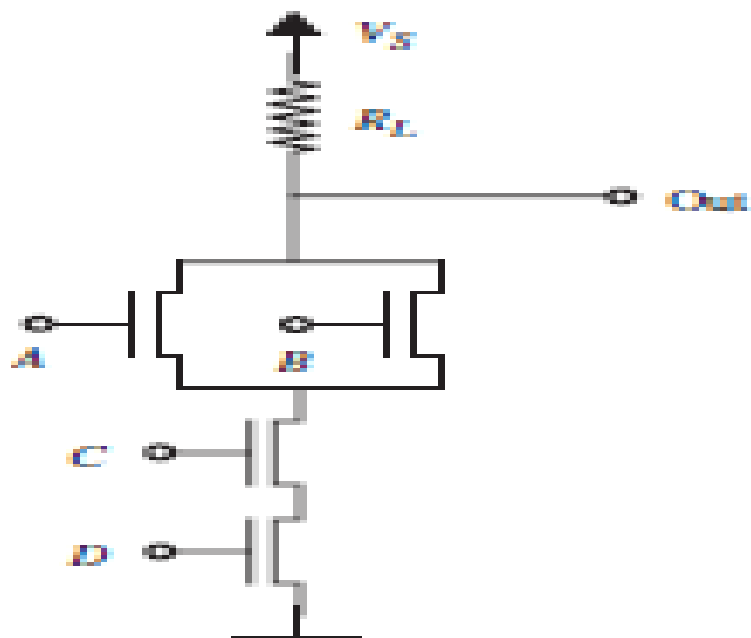
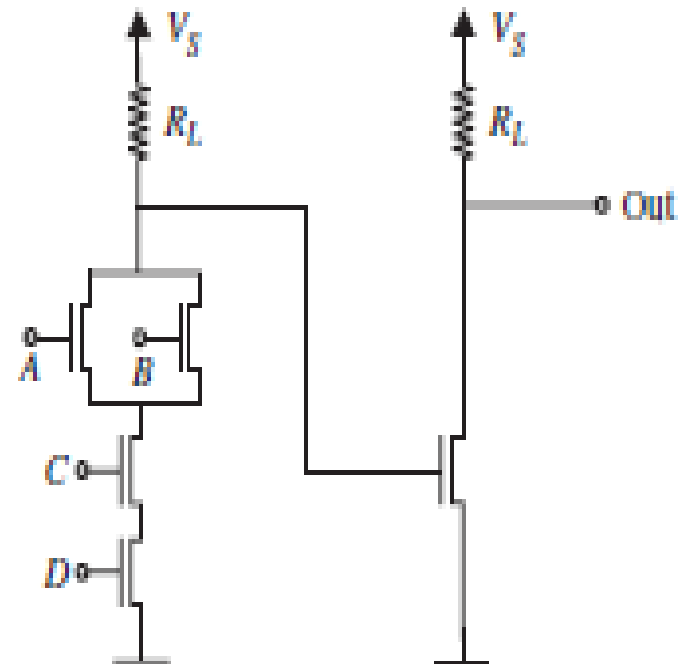
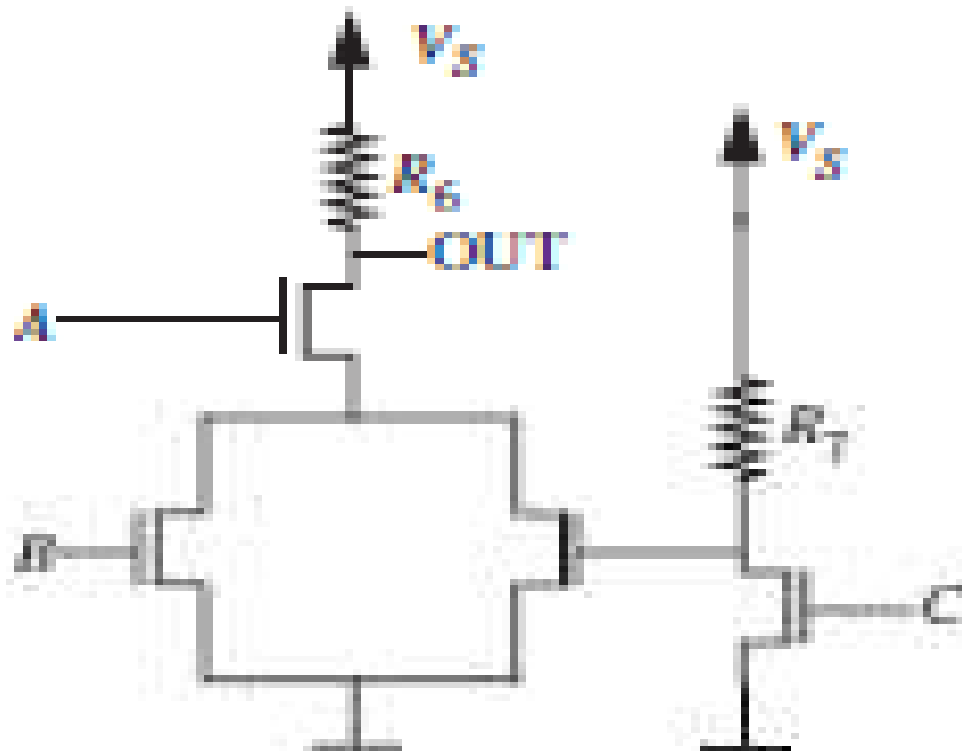


FIGURE 6.24 Transistor-level implementation of  $\overline{(A + B)CD}$ .

$$F = \overline{(A + B)CD}$$



$$\begin{aligned} F &= \overline{\overline{(A + B)CD}} \\ &= (A + B)CD \end{aligned}$$



$$OUT = F = \overline{A(B + \overline{C})}$$

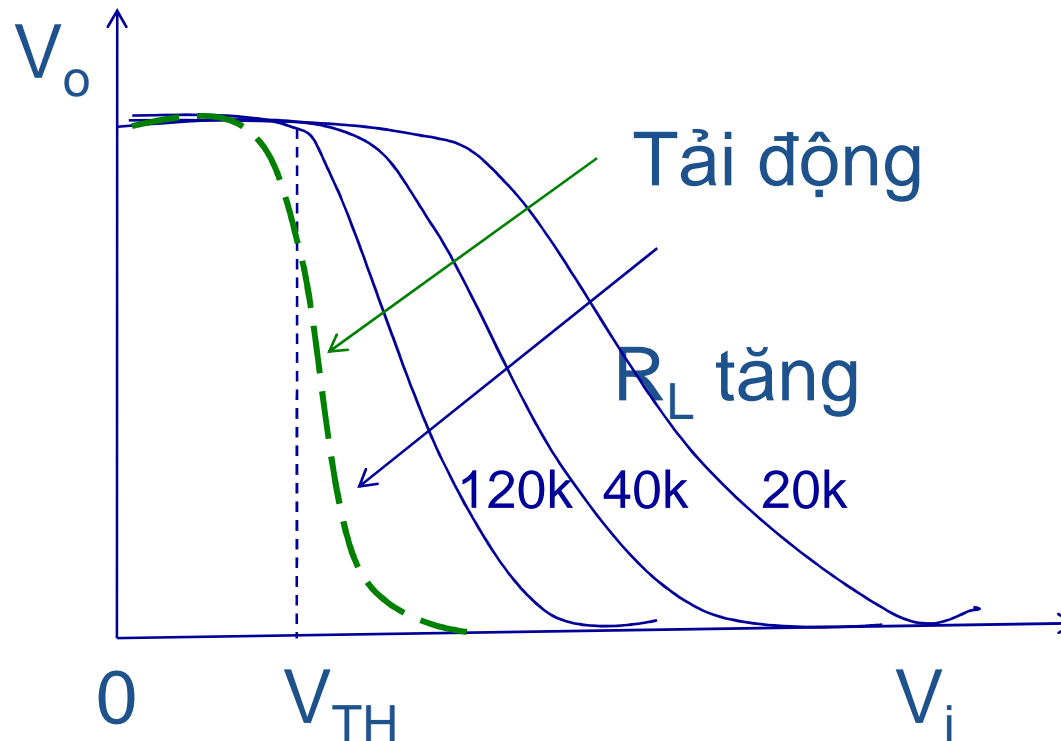
FIGURE 6.53 A logic circuit comprising MOSFET switches and resistors.





# ĐẶC TUYẾN TRUYỀN

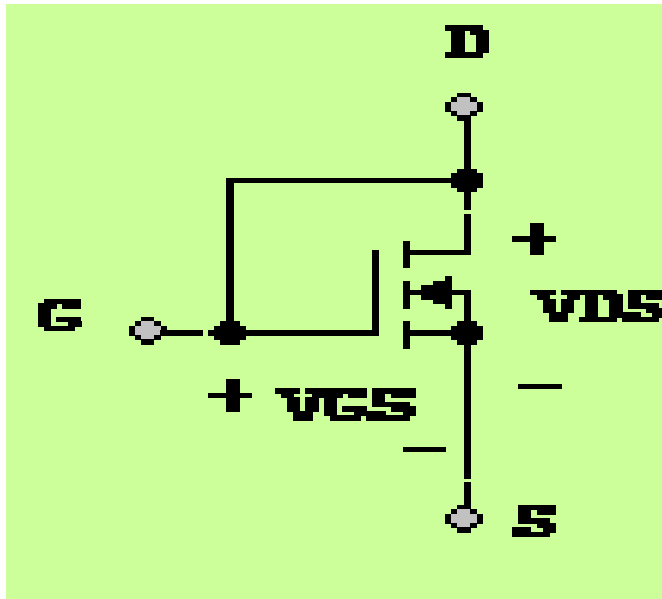
- Đặc tuyến truyền thay đổi theo tải



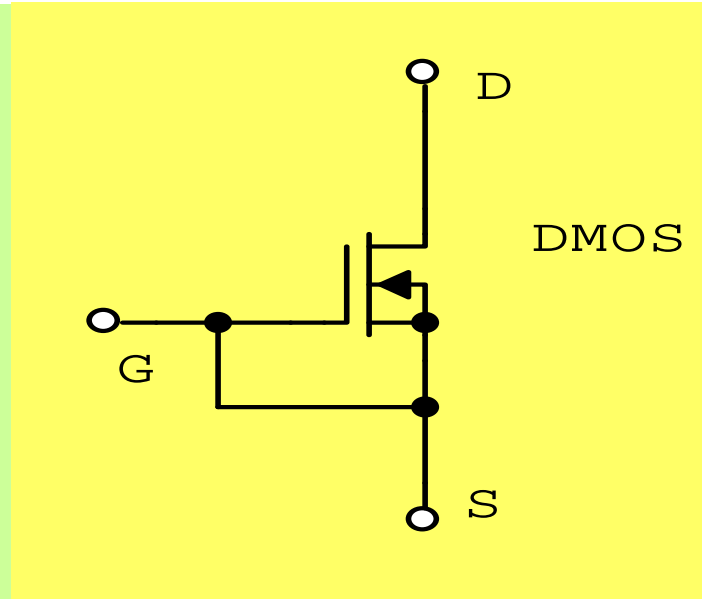
- Giải pháp để có độ dốc thẳng đứng là chọn tải động ( DMOSFET) hoặc dùng cổng CMOS,



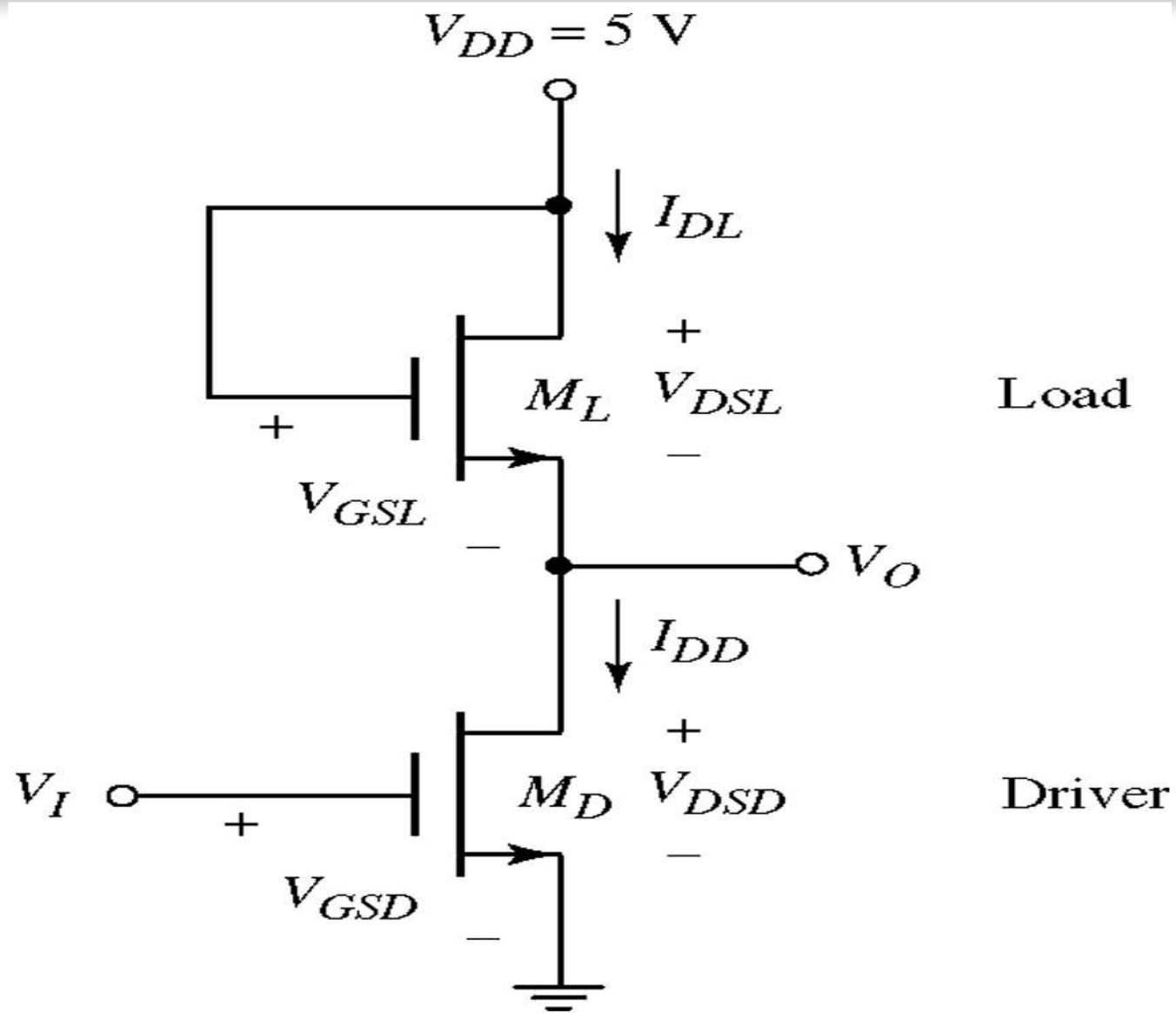
## Tải động để cải thiện độ dốc đặc tuyến truyền



- $V_{GS} = V_{DS}$  ,  $V_{DS}=0$   
EMOSFET hoạt động  
như điện trở (tải động)  
có trị số lớn



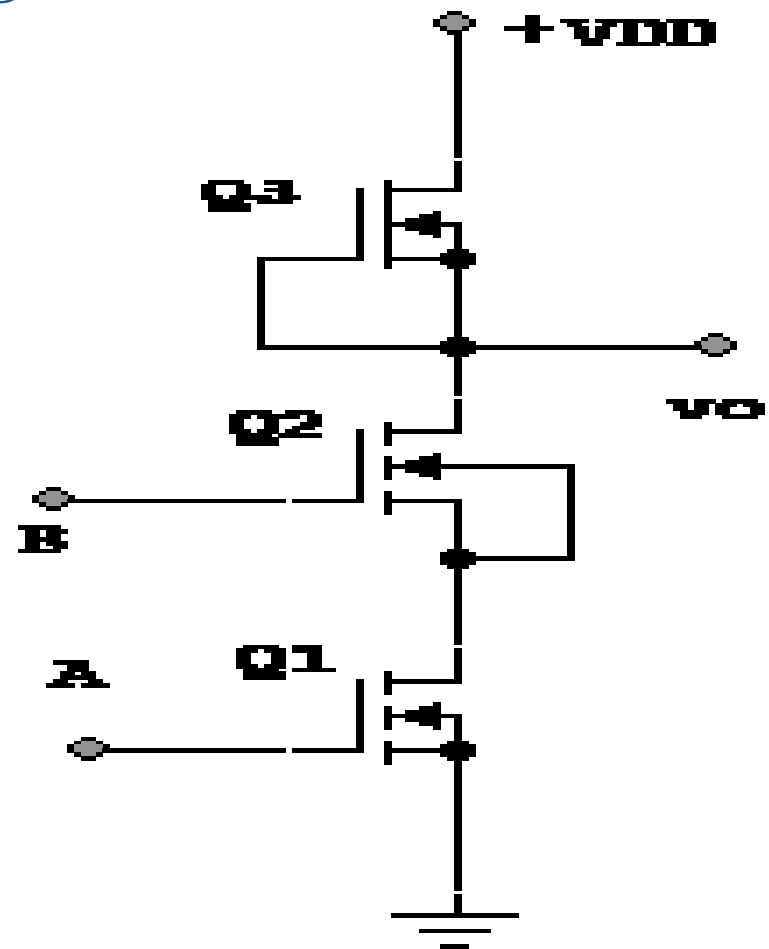
$V_{GS}=0$ , vẫn có dòng  $I_D$   
khá lớn, đặc tuyến truyền  
khá dốc hơn các loại trên





## Cổng NAND-NMOS tải động

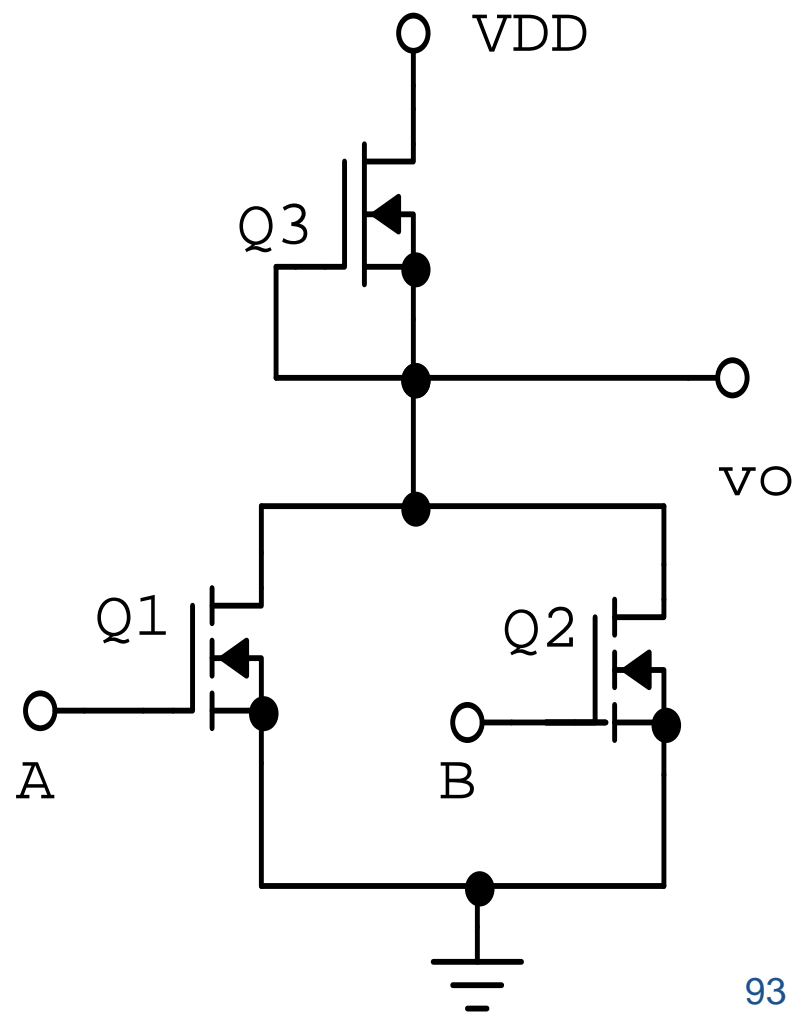
Vào B	Vào A	Ra $Y = V_o$
0	0	1
0	1	1
0	1	1
1	1	0



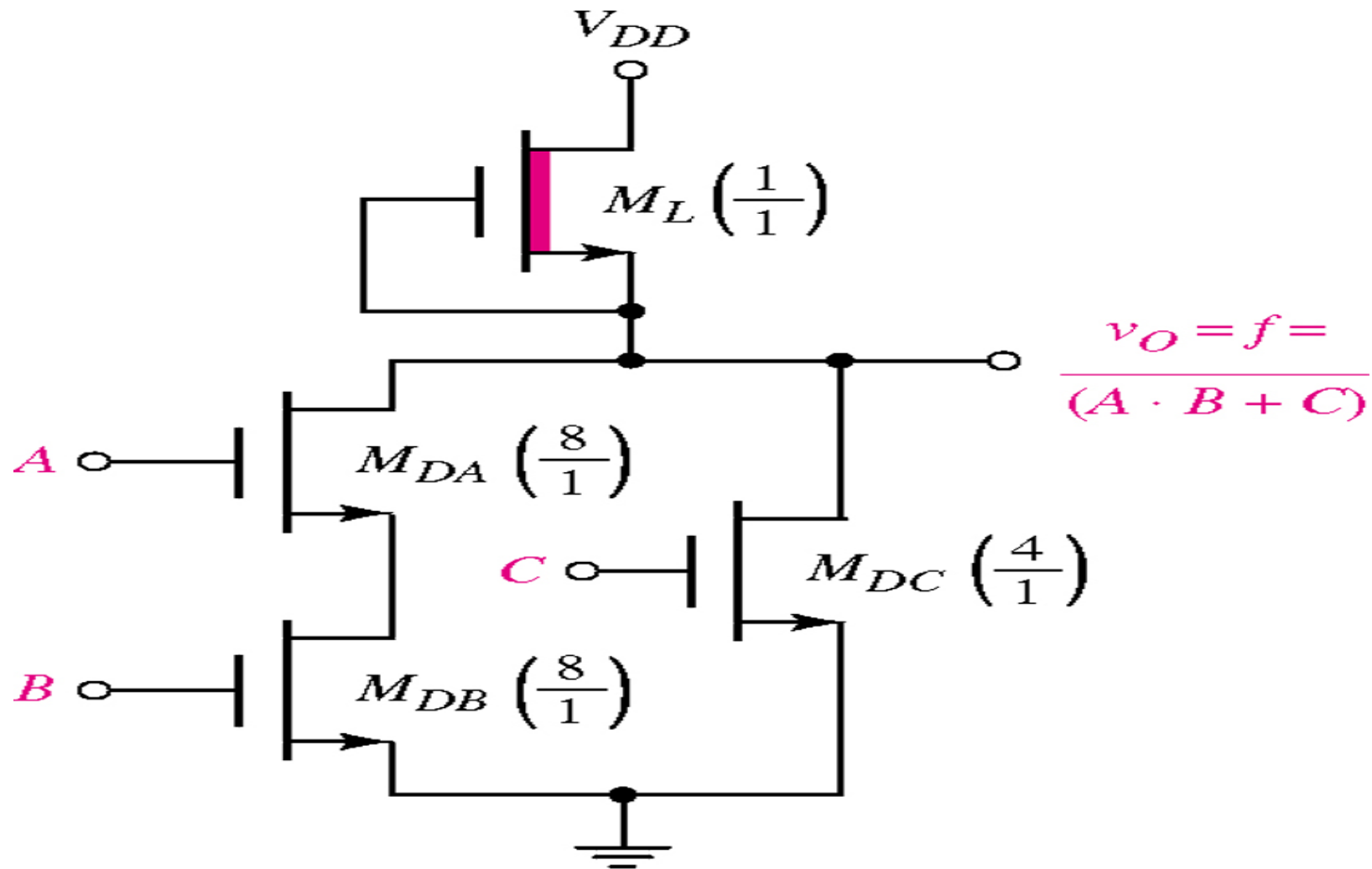


## Cổng NOR-NMOS tải động

B	A	$Y=V_o$
0	0	1
0	1	0
1	0	0
1	1	0



## Cổng logic NMOS tổ hợp (trong IC)





# CỔNG LOGIC DÙNG CMOS

- Cấu trúc : N-MOS + P-MOS

$V_{GSN} > V_{THN} > 0 \rightarrow Q_1$  dẫn

$V_{GSP} > V_{THP} < 0 \rightarrow Q_2$  dẫn

## 1. Cổng NOT-CMOS

- Khi  $V_i = A = 0V \rightarrow$

$V_{GSN} = 0$ ,  $Q_1$  ngưng

$V_{GSP} = -V_{DD}$ ,  $Q_2$  dẫn

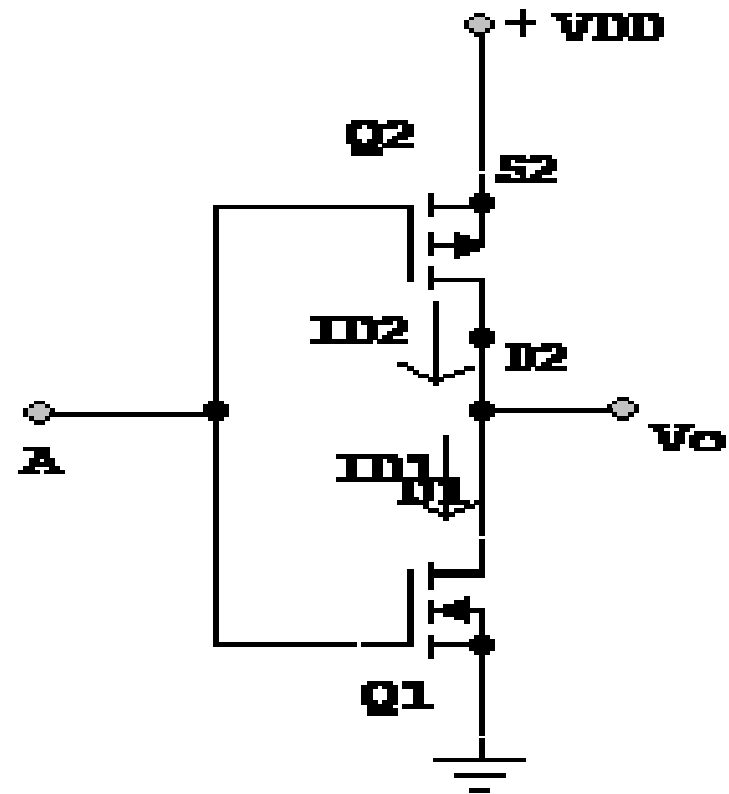
$V_o = V_{DD} - V_{DSP} = V_{OH}$

- Khi  $V_i = A = V_{DD} \rightarrow$

$V_{GSN} = V_{DD}$ ,  $Q_1$  dẫn

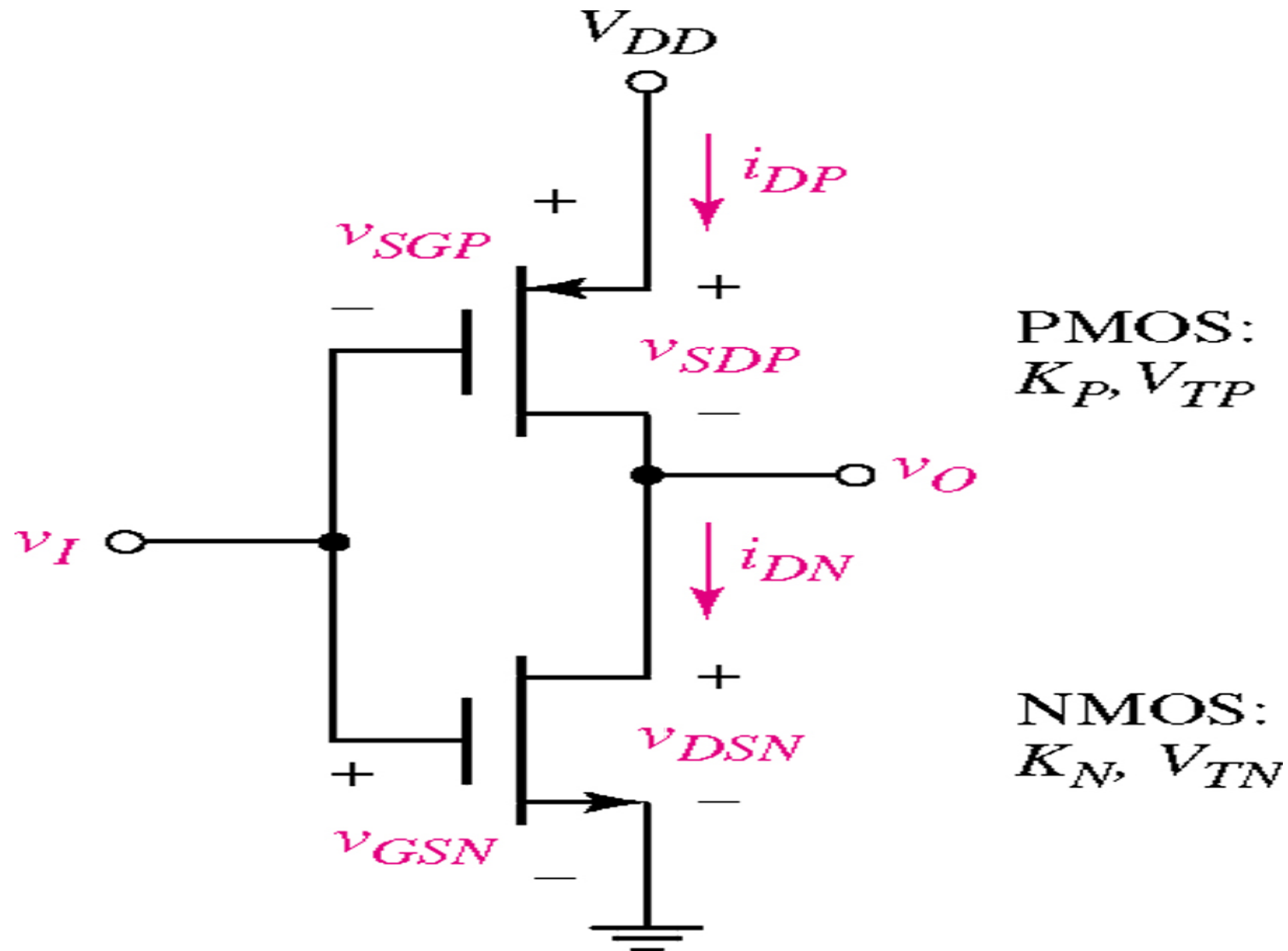
$V_{GSP} = V_{DD} - V_{DD} = 0$ ,  $Q_2$  ngưng

$V_o = V_{DS1(ON)} = 0V = V_{OL}$





# CỔNG LOGIC DÙNG CMOS



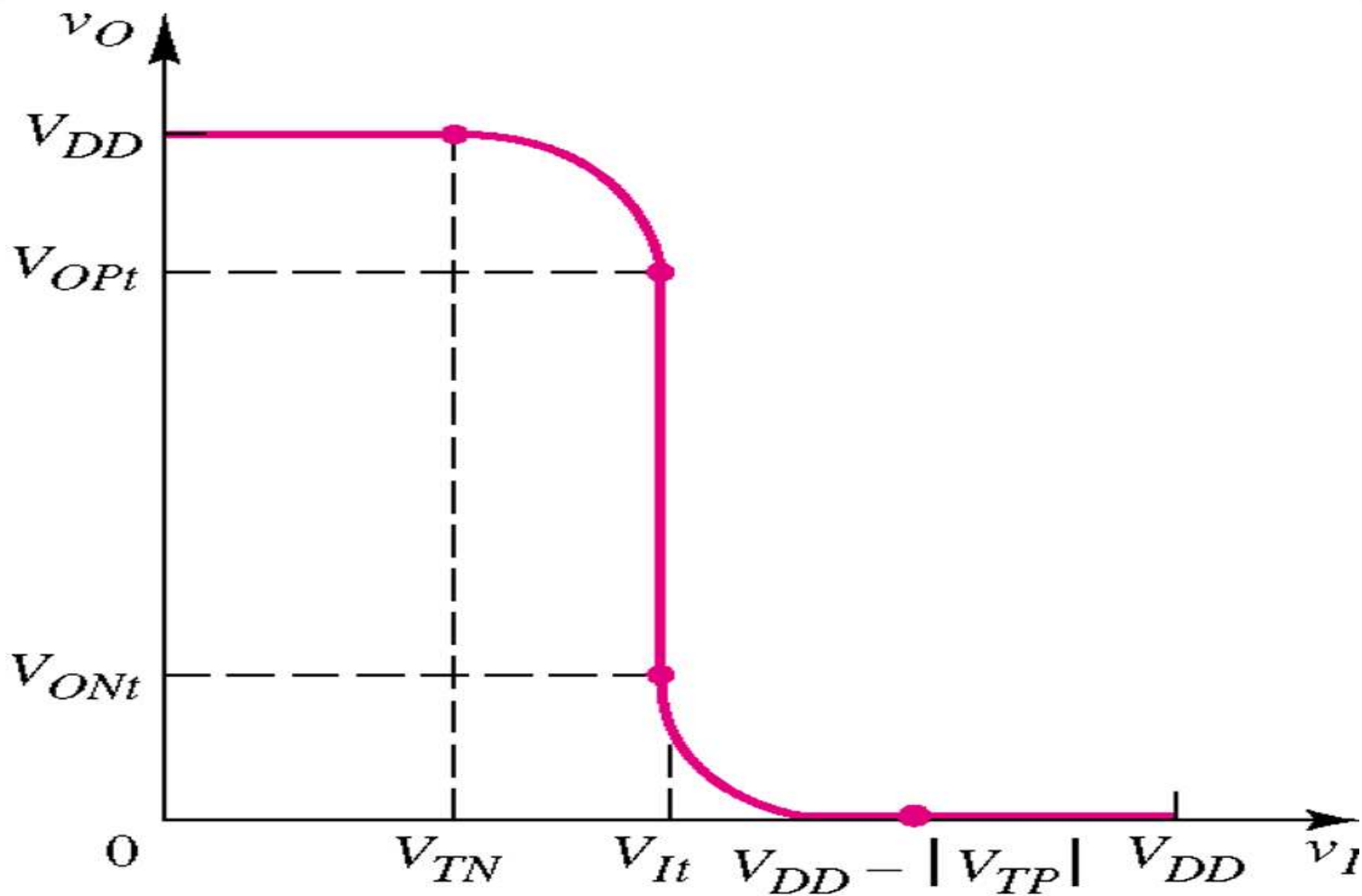


# ĐẶC TÍNH TRUYỀN CỦA CMOS

## Đặc tính:

- Do  $I_{D1}=I_{D2}$  rất thấp( luôn có 1 EMOSFET ngưng) nên công suất tiêu thụ rất bé ( vài nW).
- Độ dốc thẳng đứng  
NOT- CMOS là gần như là **bậc điện lý tưởng** rất thông dụng trong chế tạo IC số.
- Ngoài ra CMOS còn:  
Ổn định nhiệt tốt  
Cấp điện từ 3V – 18V

# ĐẶC TUYẾN TRUYỀN CỦA CMOS

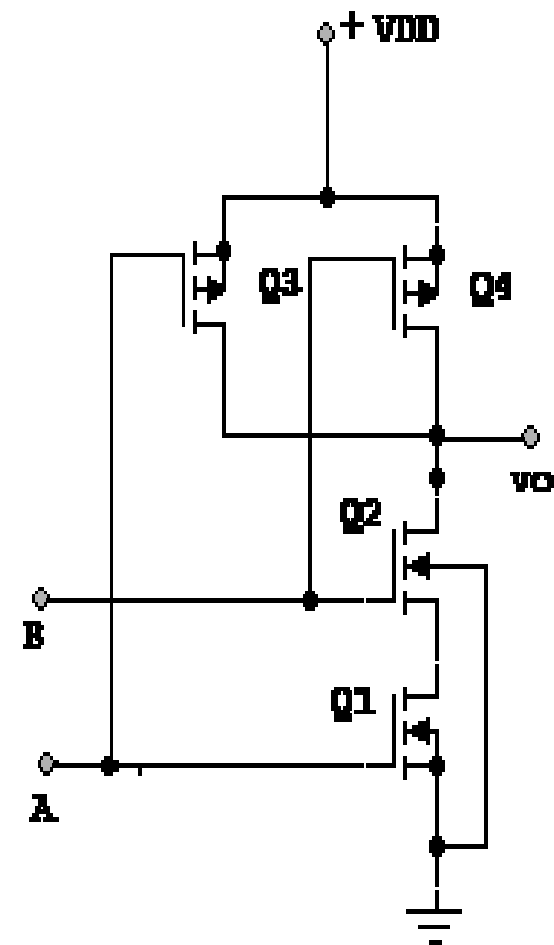


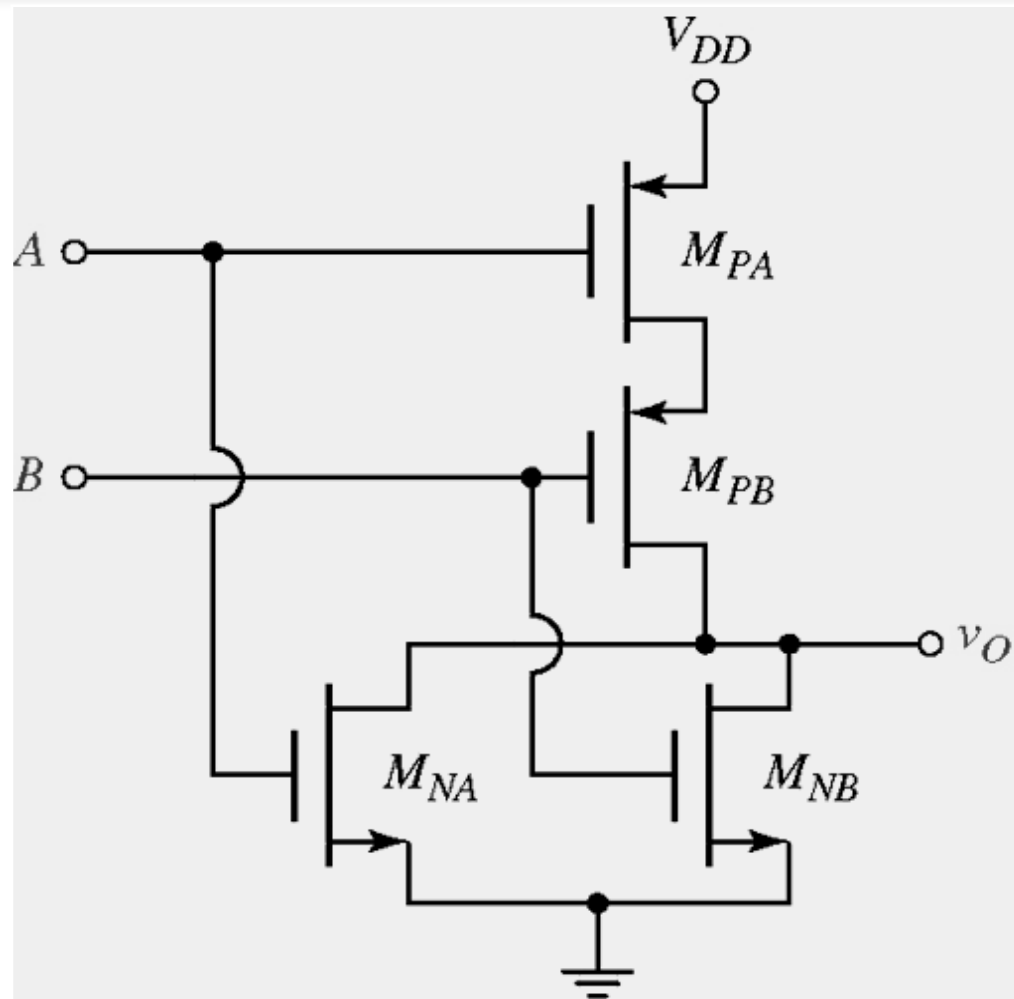


# CÁC CỔNG LOGIC CMOS KHÁC

## a. Cổng NAND - CMOS

B	A	Q1	Q2	Q3	Q4	Vo
0	0	OFF	OFF	ON	ON	1
0	1	ON	OFF	ON	OFF	1
1	0	OFF	ON	OFF	OFF	1
1	1	ON	ON	OFF	OFF	0





(a)

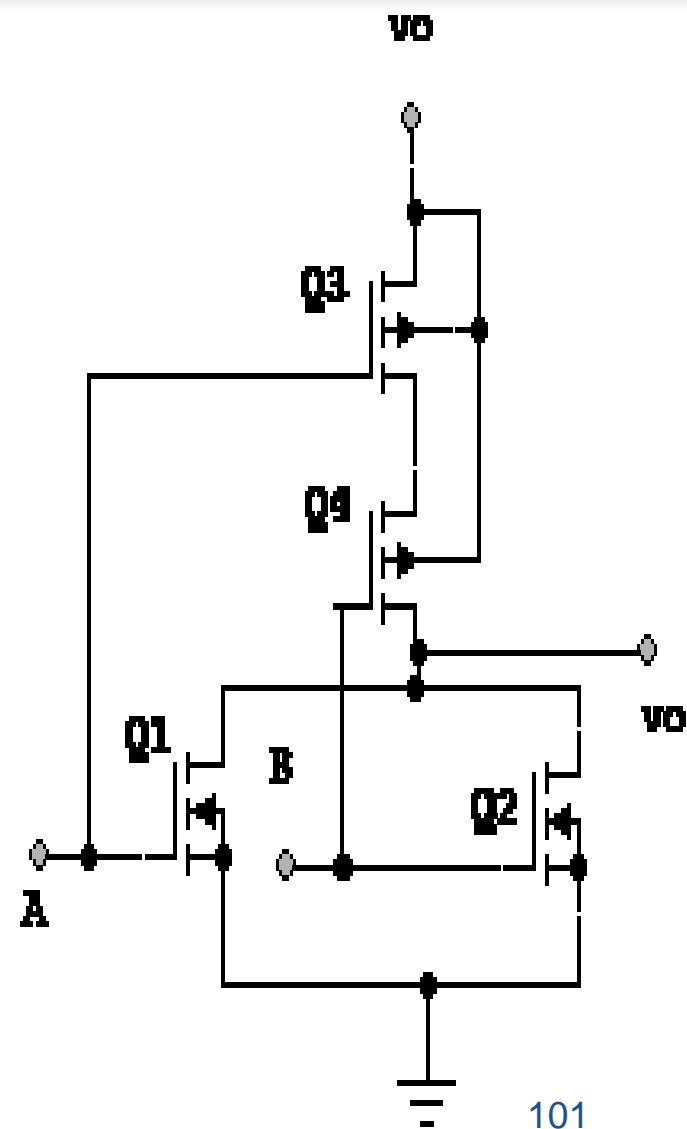
$\underline{A}$	$\underline{B}$	$\underline{v_O}$
0	0	$V_{DD}$
$V_{DD}$	0	0
0	$V_{DD}$	0
$V_{DD}$	$V_{DD}$	0

(b)



## b. Cổng NOR – CMOS

B	A	Q1	Q2	Q3	Q4	V <sub>o</sub>
0	0	OFF	OFF	ON	ON	1
0	1	ON	OFF	OFF	ON	0
1	0	OFF	ON	ON	OFF	0
1	1	ON	ON	OFF	OFF	0





# Họ IC – CMOS

Đặc tính IC CMOS: Họ 40xx, 45xx

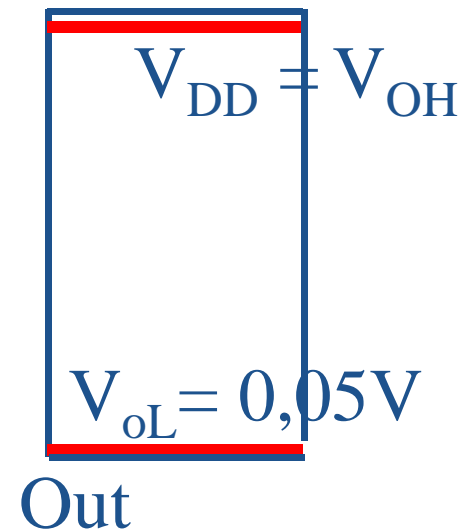
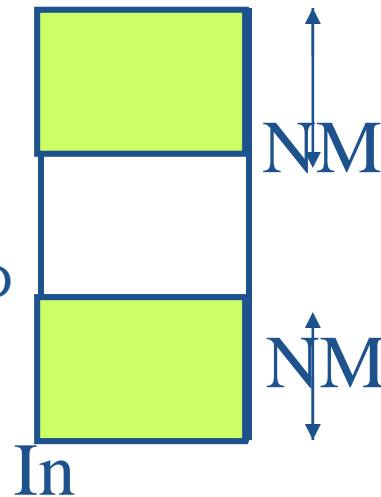
(1) Mức logic

$$V_{iHmax} = V_{DD}$$

$$V_{iHmin} = 2/3 V_{DD}$$

$$V_{iLmax} = 1/3 V_{DD}$$

$$V_{iLmin} = 0V$$



Dòng ra và dòng vào rất bé pA  $\rightarrow$  mA

74Cxxx, 74ACTxxx ( $I_{OH} = I_{OL} = 24mA$ )

74FCT ( $I_{OH} = 15mA$ ); 74TC ( $I_{OH} = 64mA$ )



## 2). Khả năng tải

$$N < 50 \quad (\text{Họ } 40\text{xxx})$$

## (3) Lề nhiễu-NM

$$NM = (1/3) V_{DD}$$

## (4). Điện thế cung cấp

$$V_{SS} = 0V \rightarrow V_{DD} = 3V - 18V$$

## (5). Thời gian truyền trễ $t_{pd}$ ( Delay time )

40xxx (  $t_{pd} = 30 - 100\text{ns}$ ); 74C ( 7-8ns)

74HCFACT ( 3,5ns); 74FACT,ACL(2,5ns)

## (6) Công suất tiêu tán $P_D$ rất bé , nhưng thay đổi theo tần số hoạt động

0,001mW/cổng tại 100kHz;

0,1mW tại 1MHZ;

50mW tại 40MHz;

1,5mW tại 1MHz (74HCxxx)



## **(7) Tích số tốc độ công suất – SPP**

Rất nhỏ khoảng pws ( pico watt giây)

100pws ( 74xxx) ; 105pwz tại 1MHz ( 40xxx)

15pws ( 74HCxxx); 74HCT ( có tốc độ cao và tương thích với họ TTL )

### **Nhận xét:**

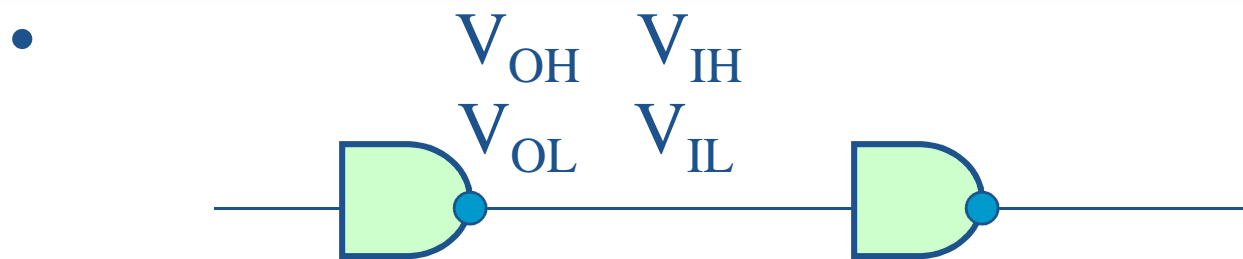
CMOS có những ưu điểm hơn TTL như:

- Tổng trở vào rất lớn
- Dòng tiêu thụ nhỏ, công suất tiêu tán thấp
- Lệ nhiều lớn  $[(1/3)V_{DD}]$
- Tốc độ tuy chậm nhưng nay đã cải tiến (đạt 1ns)





## Xét thí dụ: Công logic CMOS với $V_{DD} = 15\text{ V}$



$$V_{NH} = V_{OHmin} - V_{IHmin} = 15 - 10 = 5V$$

- Khi  $V_{OH} = 15V$  thúc vào cổng tải ở sau thì, cổng này hiểu là mức cao và hoạt động đúng.
- Khi có xung nhiễu âm lớn hơn 1V thì  $V_{iH} < 9V$ , nên rơi vào vùng bất định và cổng tải sẽ hoạt động sai.

$$V_{NL} = V_{iLmax} - V_{OLmax} = 5V - 0,05V = 5V$$

- Tương tự, khi xung nhiễu dương  $> 1V$  thì  $V_{iL} > 6V$  nên rơi vào vùng bất định và cổng tải hoạt động sai. Xung nhiễu âm không ảnh hưởng.



## **Các điều cần chú ý khi sử dụng CMOS:**

- (1). Lưu giữ linh kiện trên tấm mốp dẫn điện hoặc trong các board mạch có nối đất.
- (2). Tránh để nơi ẩm thấp và gần các chất tổng hợp.
- (3). Không được chạm tay vào các chân ra.
- (4). Không được tháo IC ra khỏi mạch khi đang có điện.
- (5). Tay, mỏ hàn, kềm... phải được nối đất trước và đang khi tiếp xúc với IC.
- (6). Mắc tất cả các chân có ghi NC vào VDD hoặc vào mass
- (7). Bảo đảm tín hiệu vào không vượt quá trị VDD cung cấp.
- (8). Tắt nguồn tín hiệu vào trước khi tắt bộ nguồn cấp điện .
- (9). Không nên thúc 1 IC TTL bằng ngõ ra IC CMOS chuẩn, không nối chung các ngõ ra IC CMOS lại với nhau kể cả IC có ngõ ra 3 trạng thái.
- (10). Giảm thiểu các tải có tính điện dung ở ngõ ra, giữ tpd càng nhỏ càng tốt, không được nối dây quá dài giữa các chân IC.

# TRANSISTOR LƯỜNG CỰC BJT – GIAO HOÁN

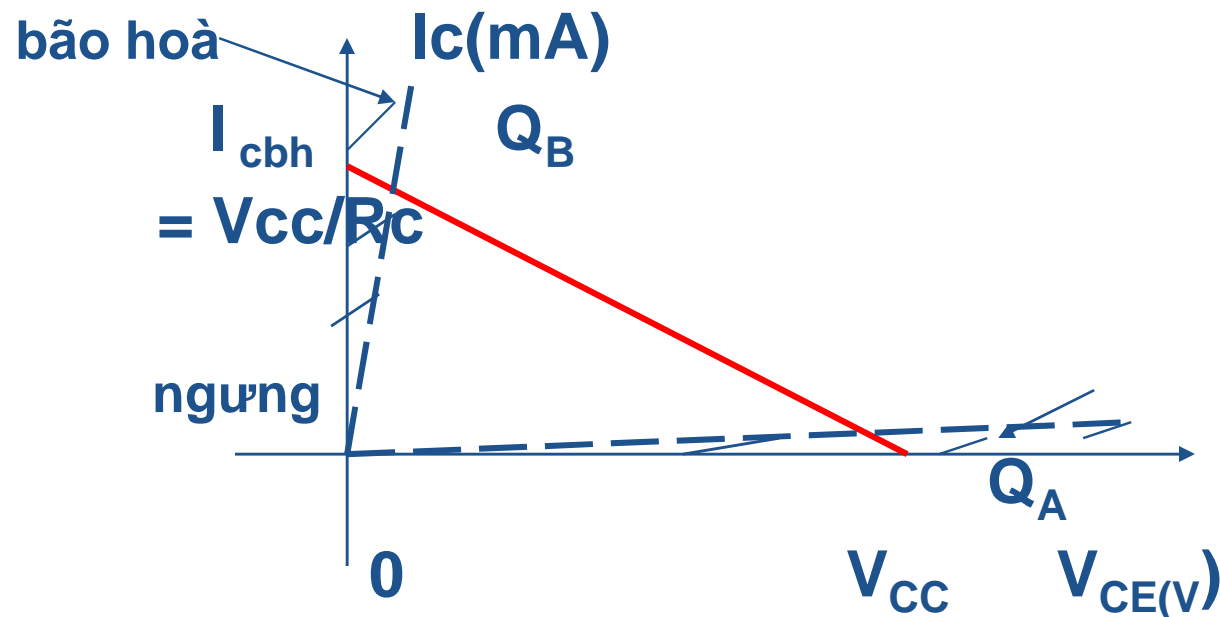
## 1. Điều kiện phân cực giao hoán

- Khi ngưng (off):

$$I_C = 0 \rightarrow V_{CE} = V_{CC} \quad (1)$$

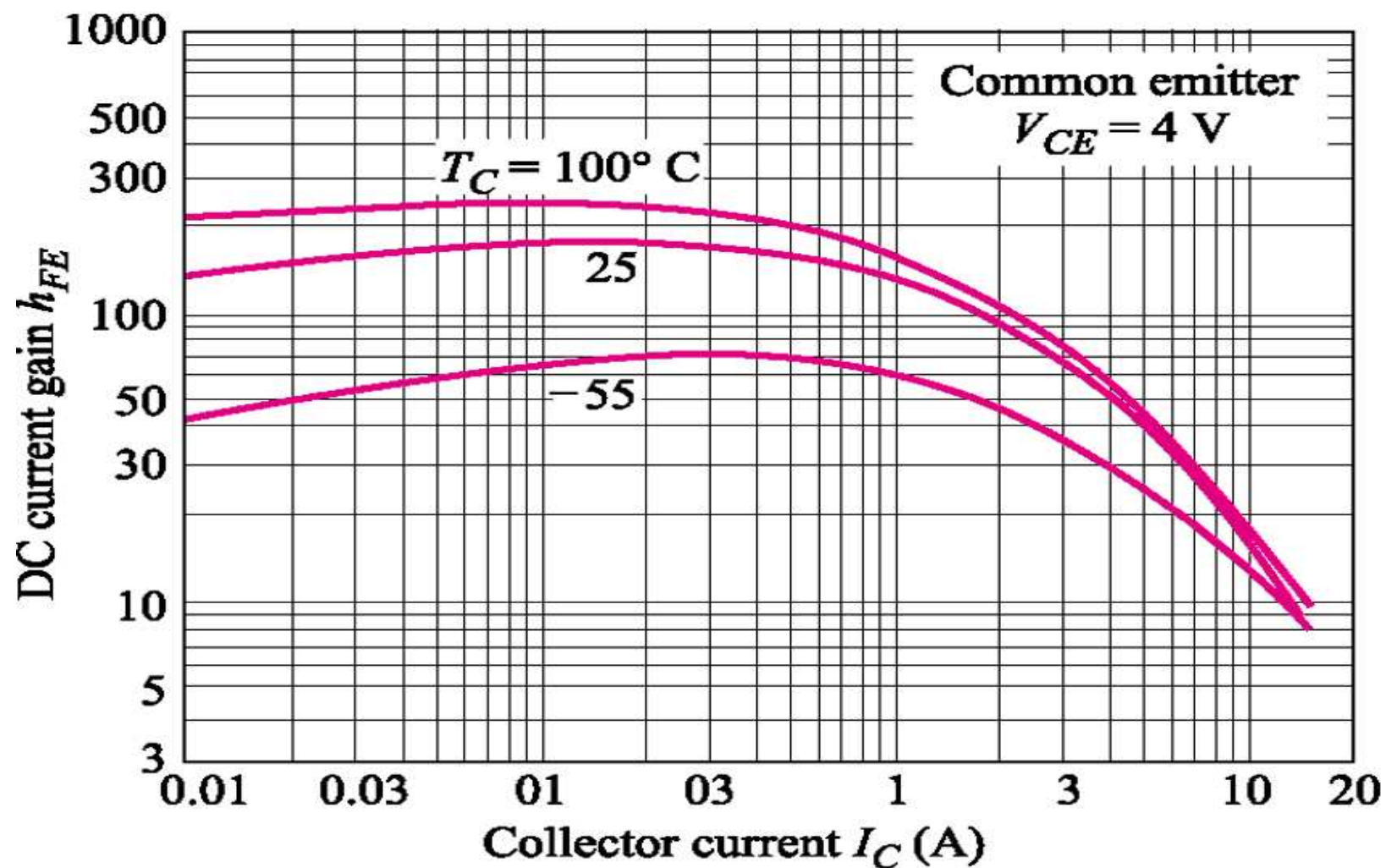
- Khi bão hoà (saturation):

$$V_{BE} = 0,7V \text{ và } I_{C(bh)} = V_{CC} / R_C \quad (2)$$





## Đường biểu diễn $h_{FE}$ theo dòng $I_C$





Để có bão hòa sâu ( chắc chắn bão hoà) phải có:

$$I_B > I_{Bbh} \quad (3)$$

$$\begin{aligned} I_B > \frac{I_{Cbh}}{\beta_{bh}} &\Rightarrow \frac{V_{cc}}{R_B} > \frac{V_{cc}}{\beta_{bh} R_C} \Rightarrow \\ \Rightarrow \beta_{bh} R_C &> R_B \quad (4) \end{aligned}$$

Thường chọn:

$$\frac{\beta_{bh}}{\beta} < 0,7$$

hay: 
$$\beta_{bh} = \frac{\beta}{3} \div \frac{\beta}{2}$$

Hoặc chọn : 
$$\beta_{bh} = 10 \div 30$$



# CÔNG INVERTER (NOT)

a. **Dạng 1:** Thỏa  $I_B > I_{Bbh} \rightarrow R_B < \beta_{bh} R_C$

- Khi  $V_i = 0V = V_{iL}$ , Transistor ngưng.

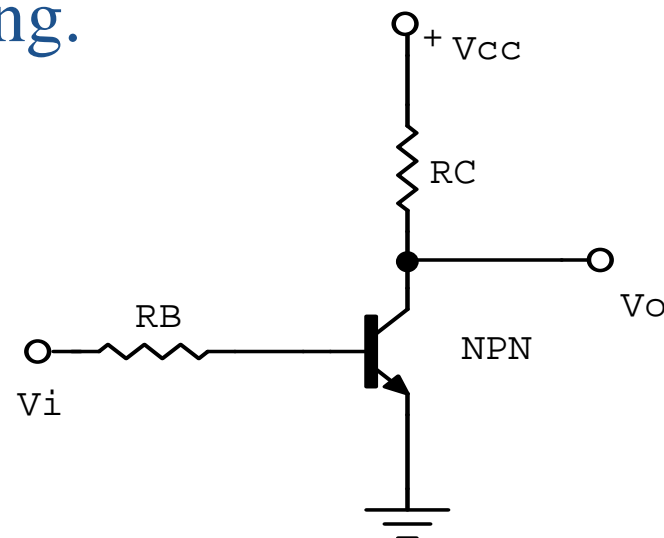
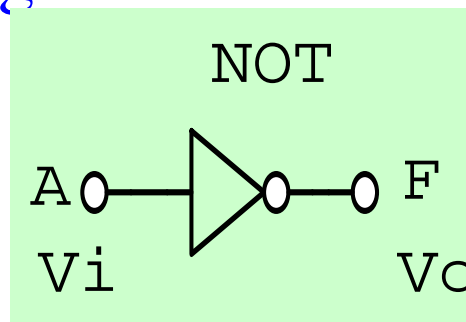
điện thế ngõ ra

$$V_o = V_{oH} = V_{cc} = \text{logic } 1$$

- Khi  $V_i = V_{cc} = V_{iH}$ ,  
Transistor dẫn bão hoà,

$$V_o = 0V = V_{oL} = \text{logic } 0$$

Ta có bảng chân lý:  
của cổng NOT hay  
cổng đảo (Inverter)



A	F
0	1
1	0

## b. Dạng 2

Mạch điện:

Thoả điều kiện (4):  $R_B < \beta_{bh} R_C$

- Khi  $V_i = 0V \rightarrow V_{BE} = 0V$

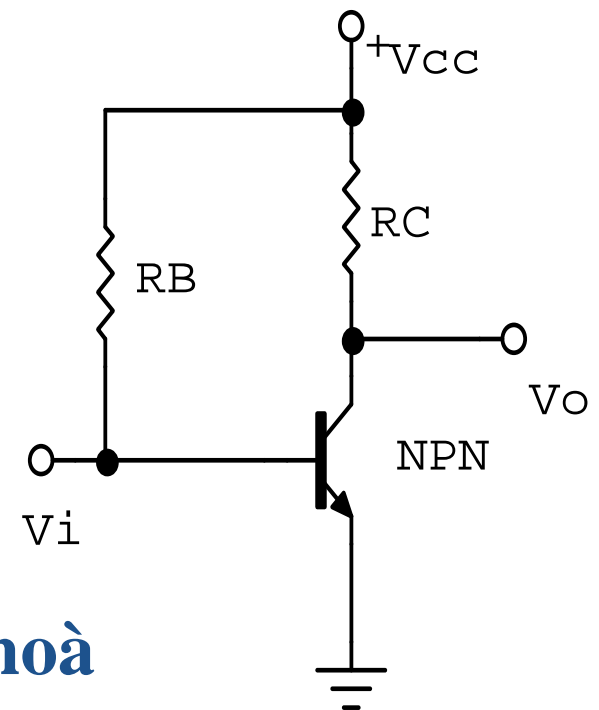
Transistor ngưng

$\rightarrow V_O = V_{CC} = V_{OH} = \text{logic 1}$

- Khi  $V_i > 0V \rightarrow$  Transistor dẫn bão hoà

$\rightarrow V_O = 0,2V = V_{OL} = \text{logic 0}$

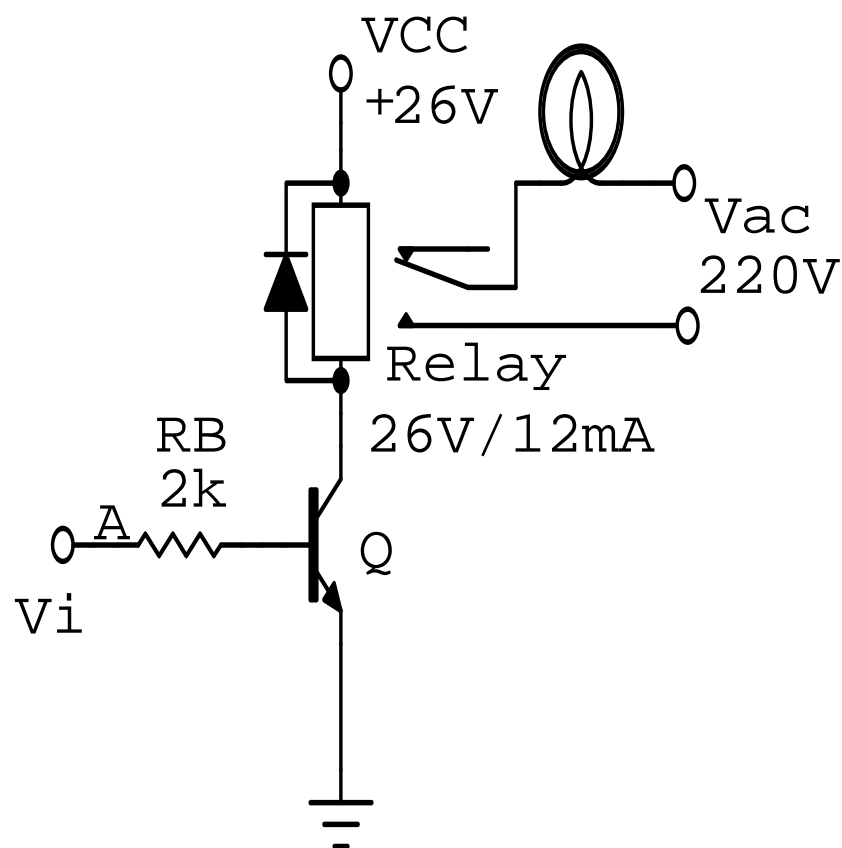
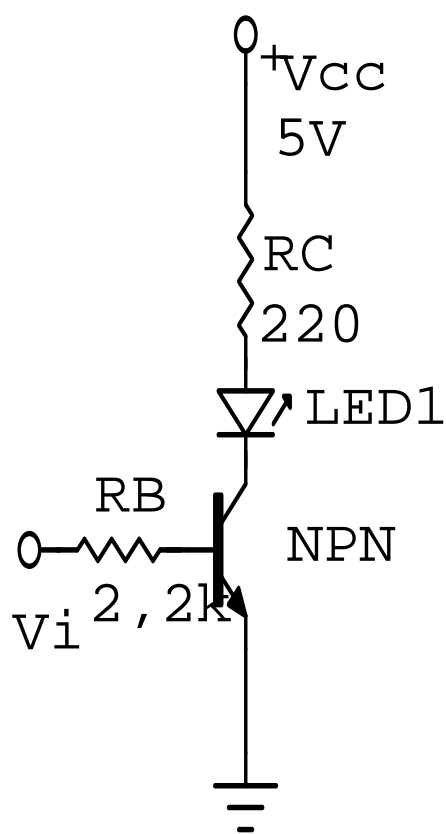
Vậy mạch là cổng NOT





# ỨNG DỤNG CỔNG NOT

(a), Mạch điều khiển LED      (b) Điều khiển Rơ-le



NOT



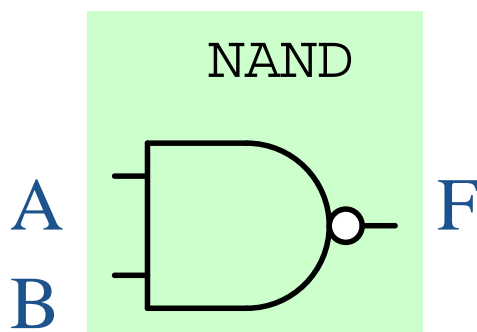


# CỔNG LOGIC HỘ DTL

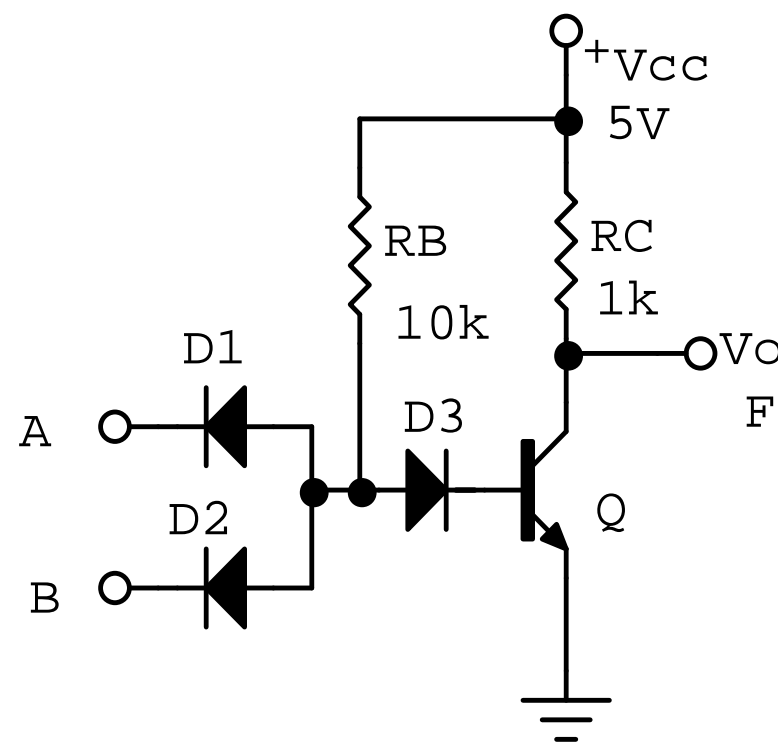
## a. Cổng NAND

Gồm NOT+ AND hay AND + NOT

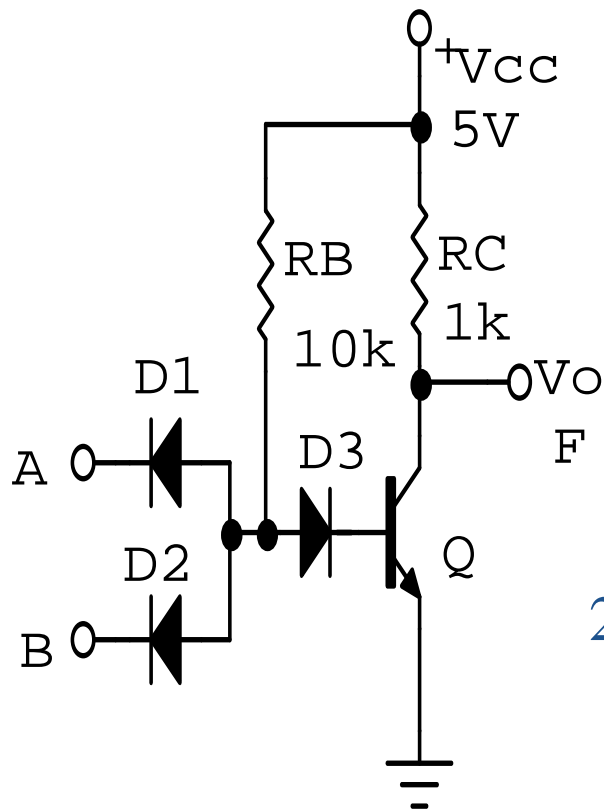
$$F = \overline{A \cdot B}$$



B	A	F
0	0	1
0	1	1
1	0	1
1	1	0



## • Phân giải cổng NAND



cả 2 diod dẫn, Q ngưng

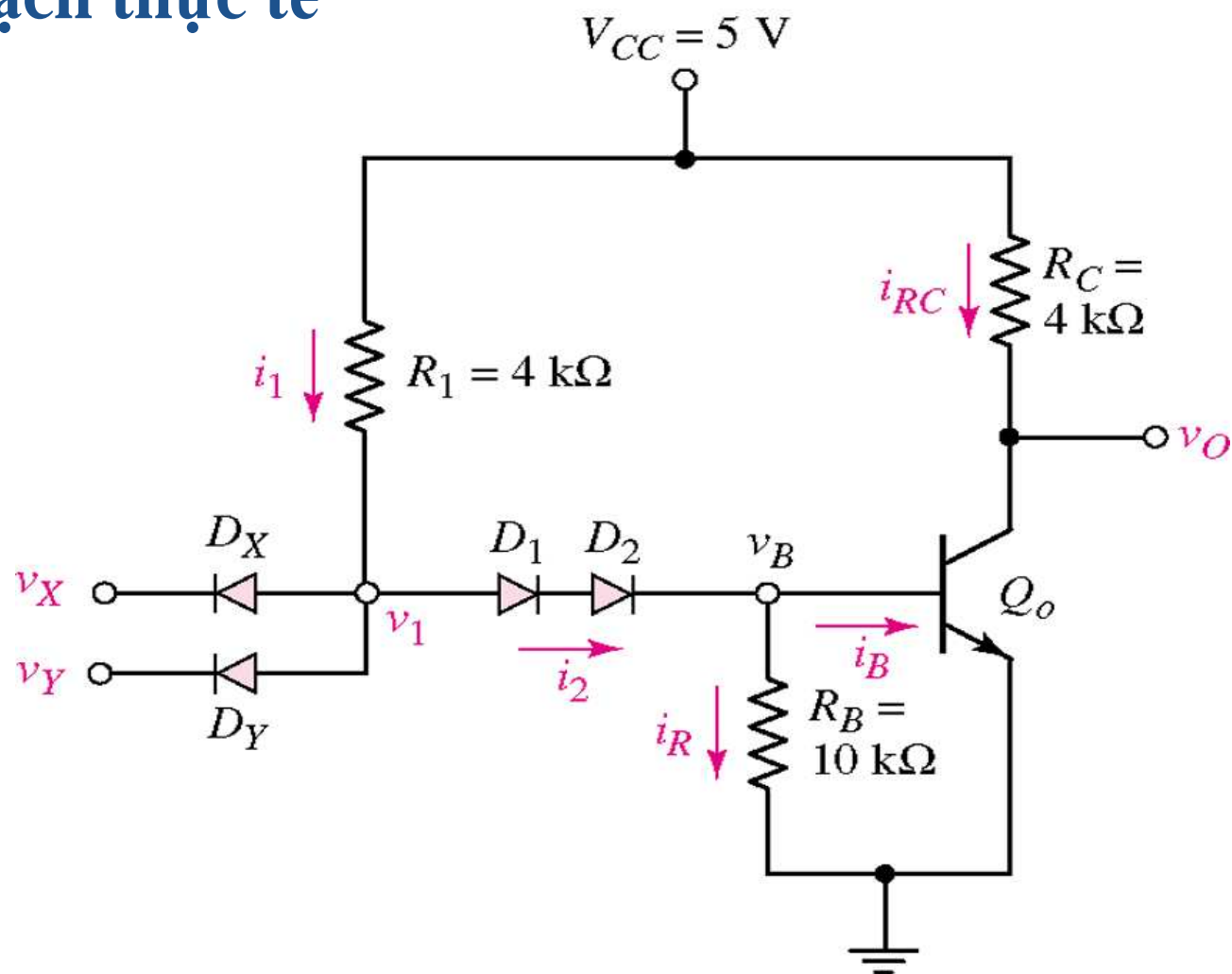
$D_1$  dẫn, Q ngưng

$D_2$  dẫn, Q ngưng

2 diod ngưng, Q dẫn bão hòa

B	A	$V_o$
0V	0V	5V
0V	5V	5V
5V	0V	5V
5V	5V	0,2V

## Mạch thực tế

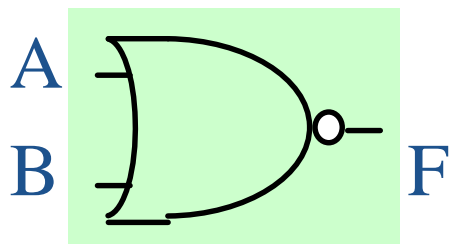




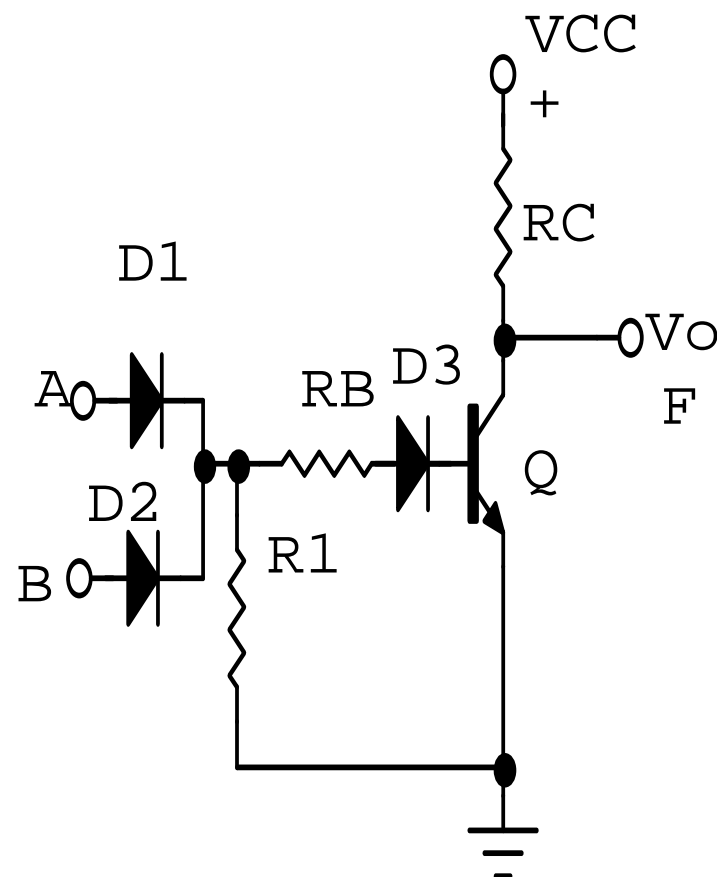
# CỔNG NOR HỘ DTL

Gồm cổng NOT+ OR

$$F = \overline{A + B}$$

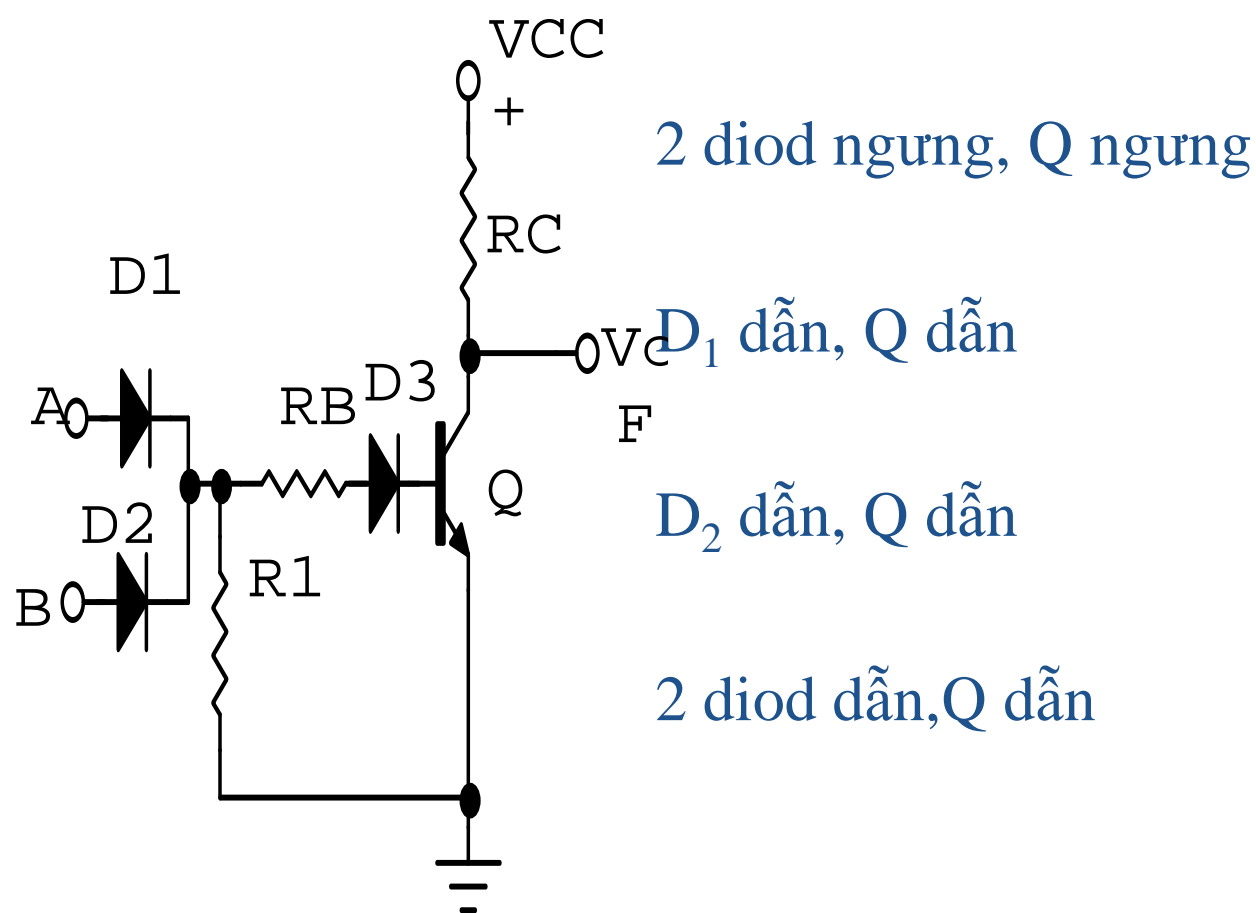


B	A	F
0	0	1
0	1	0
1	0	0
1	1	0





## • Phân giải cổng OR

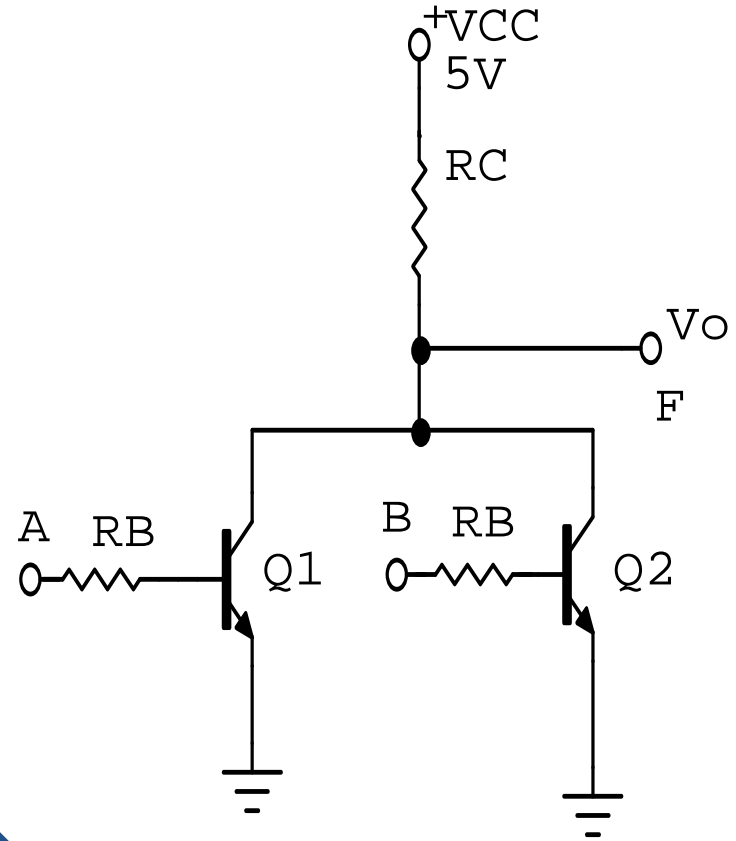


B	A	$V_o$
0V	0V	5V
0V	5V	0,2V
5V	0V	0,2V
5V	5V	0,2V



## a .Cổng NOR

- Khi  $A=B=0 \rightarrow Q1, Q2$  ngưng  
 $\rightarrow V_o = V_{cc} = V_{oH} = \text{logic } 1$
- Khi  $A=V_{cc}, B=0 \rightarrow Q1$  dẫn ,  
 $Q2$  ngưng  $\rightarrow$   
 $\rightarrow V_o = 0, 2V = V_{oL} = \text{logic } 0$
- Khi  $A=0, B=V_{cc} \rightarrow Q1$  ngưng,  
 $Q2$  dẫn  $\rightarrow$   
 $\rightarrow V_o = 0, 2V = V_{oL} = \text{logic } 0$
- Khi  $A=B=V_{CC} \rightarrow Q1, Q2$  dẫn  $\rightarrow$   
 $\rightarrow V_o = 0, 2V = V_{oL} = \text{logic } 0$





## Cổng NAND đơn cực – Cách hoạt động:

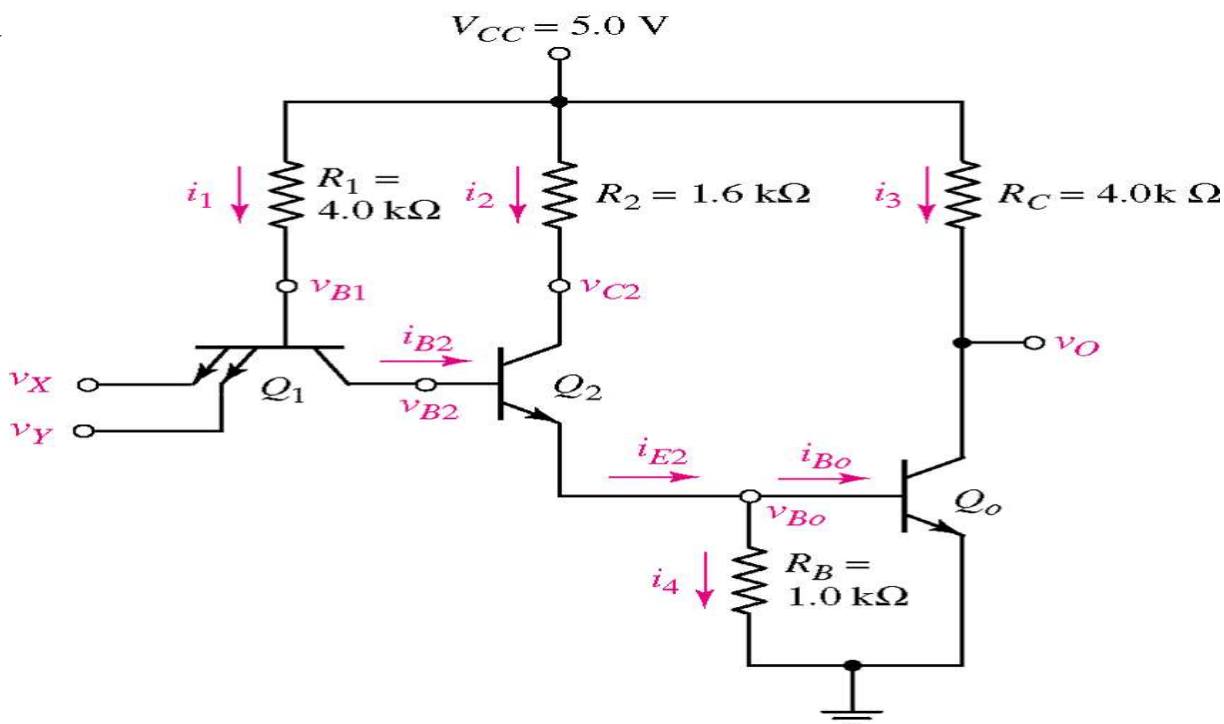
$A=B=0V$  :  $Q_1$  dẫn  $\rightarrow$   $Q_2$  ngưng  $\rightarrow V_o = 5V = 1$

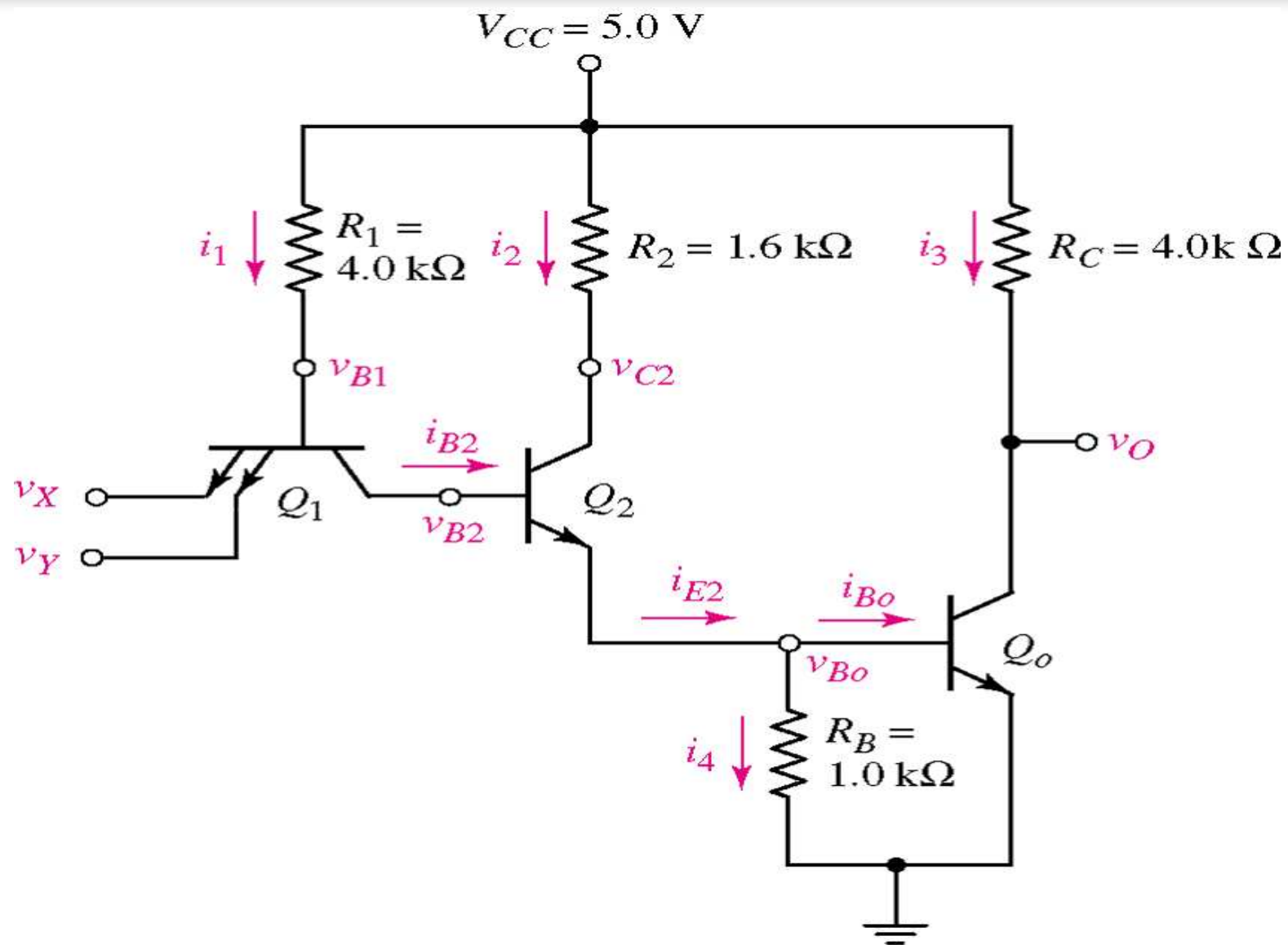
$A=5V, B=0V$ :  $Q_1$  dẫn  $\rightarrow$   $Q_2$  ngưng  $V_o = 5V$

$A=0V, B=5V$ :  $Q_1$  dẫn  $\rightarrow$   $Q_2$  ngưng  $V_o = 5V$

$A=B = 5V$ :  $Q_1$  ngưng  $\rightarrow$   $Q_2$  dẫn  $\rightarrow V_o = 0,2V$

Gọi  $A=V_x, B = V_y$

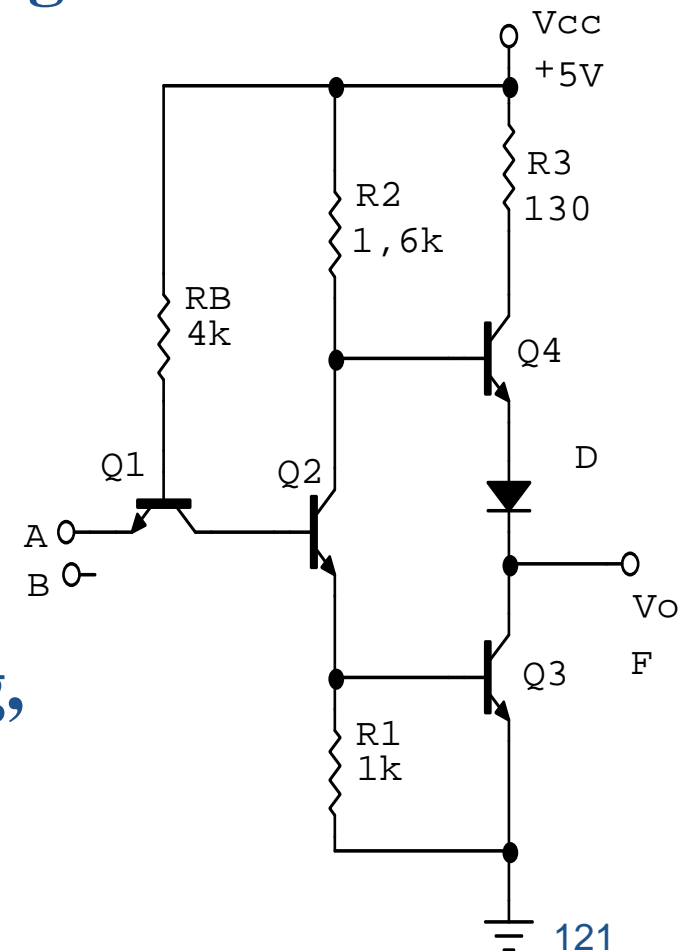






# CÔNG NAND CHUẨN NGỒ RA TOTEM (HỘ TTL)

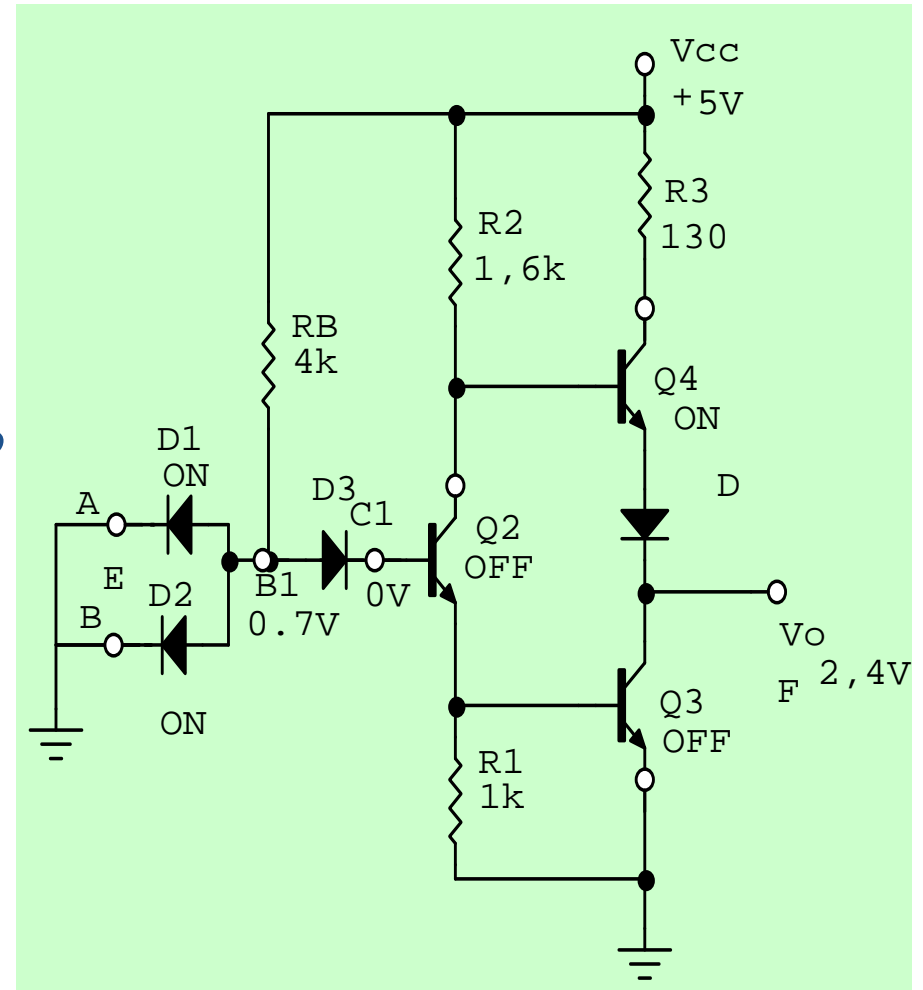
- Khi  $A = B = 0 \rightarrow Q_1$  dẫn  $\rightarrow Q_2$  ngưng  
 $\rightarrow Q_3$  ngưng,  $Q_4$  dẫn  $\rightarrow$   
 $\rightarrow V_o = 2,4 - 3,6 \text{ V} =$   
 $= V_{oH} = \text{logic 1}$
- Khi có hoặc A hoặc B xuống 0  
 $\rightarrow Q_1$  dẫn,  $Q_2$ ,  
 $Q_3$  ngưng,  $Q_4$  dẫn  
 $\rightarrow V_o = V_{oH} = \text{logic 1}$
- Khi  $A = B = V_{cc} \rightarrow$  nối B-E<sub>1</sub> ngưng,  
nhưng nối C-B<sub>1</sub> dẫn,  
 $Q_2$  dẫn  $\rightarrow Q_3$  dẫn,  $Q_4$  ngưng  
 $\rightarrow V_o = 0,2 \text{ V} = V_{oL}$





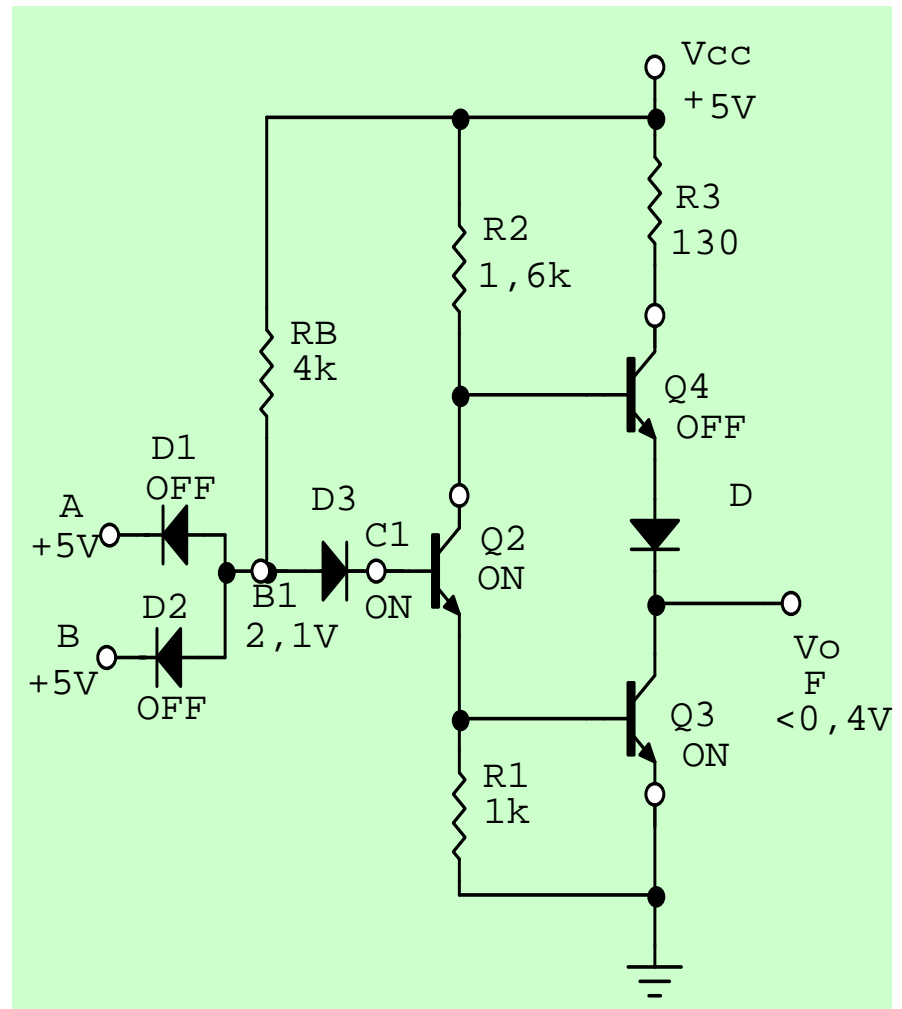
## Giải thích cách hoạt động

- Khi  $A=B=0V \rightarrow$   
 $Q_1$  dẫn  $\rightarrow Q_2$  ngưng  $\rightarrow$   
 $Q_3$  ngưng,  $Q_4$  dẫn  $\rightarrow$   
 $\rightarrow V_O = 2,4V - 3,6V =$   
 $= V_{OH} = \text{logic } 1 = "1"$
- Khi chỉ có 1 ngõ vào  
lên cao và 1 ngõ vào thấp:  
 $\rightarrow$  tương tự trên  $V_O = V_{OH}$



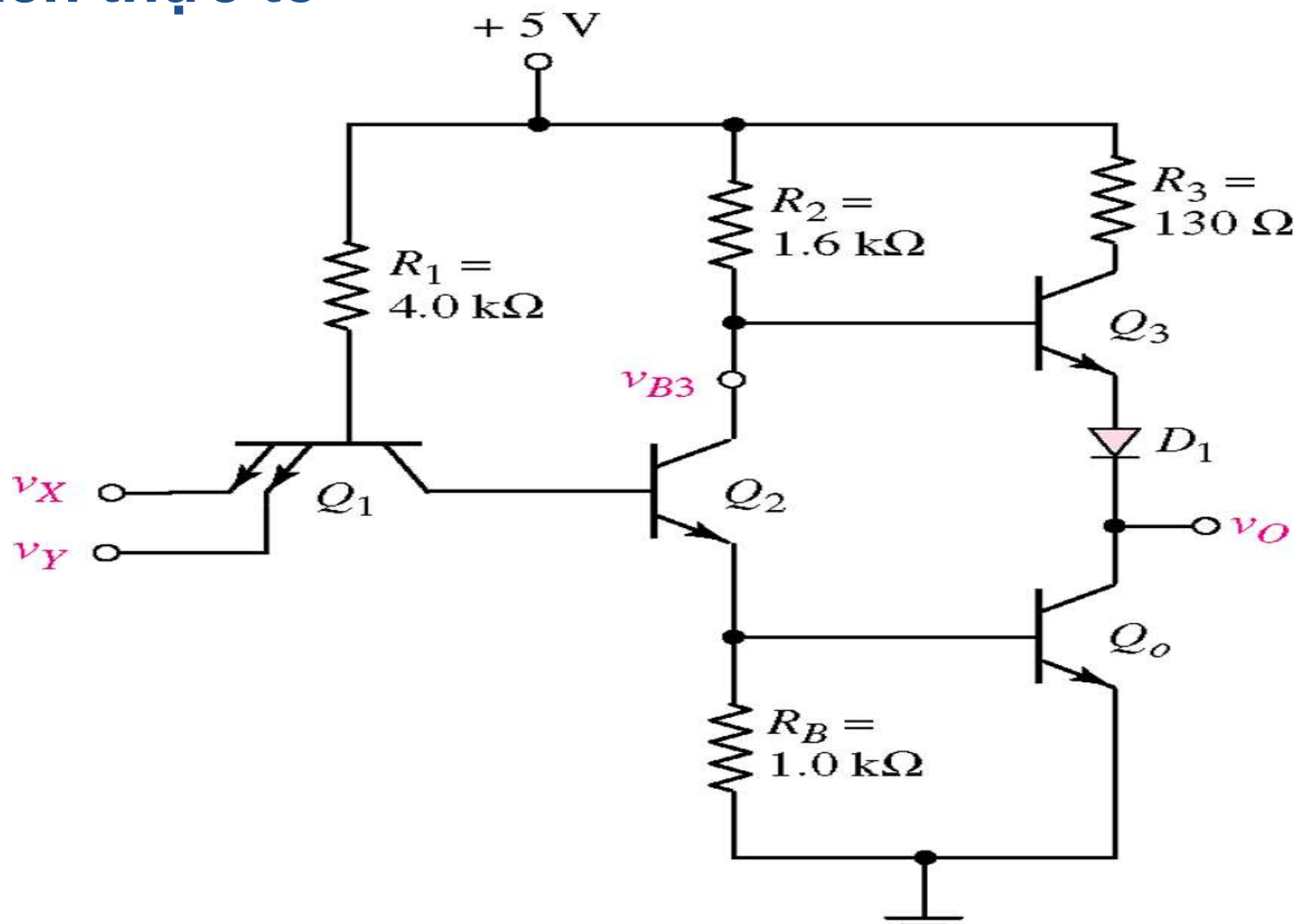


Khi  $A=B = V_{cc} = V_{iH} \rightarrow$   
 $\rightarrow$  nối B-E<sub>1</sub> ngưng,  
nhưng nối B-C<sub>1</sub> dẫn  
 $\rightarrow Q_2$  dẫn  $\rightarrow Q_3$  dẫn  
và Q<sub>4</sub> ngưng  
 $\rightarrow V_O = 0,2V \rightarrow 0,4V =$   
 $= V_{OL} = \text{logic } 0$   
 $= \text{"0"}$





## Mạch thực tế

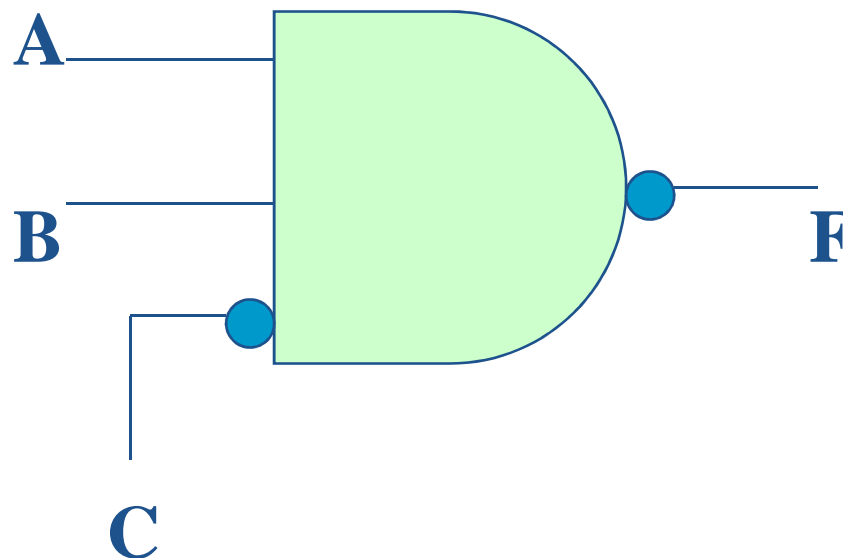




- Cổng NAND có ngõ cho phép ( Enable)

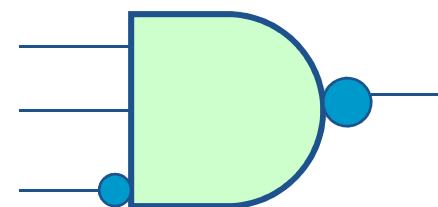
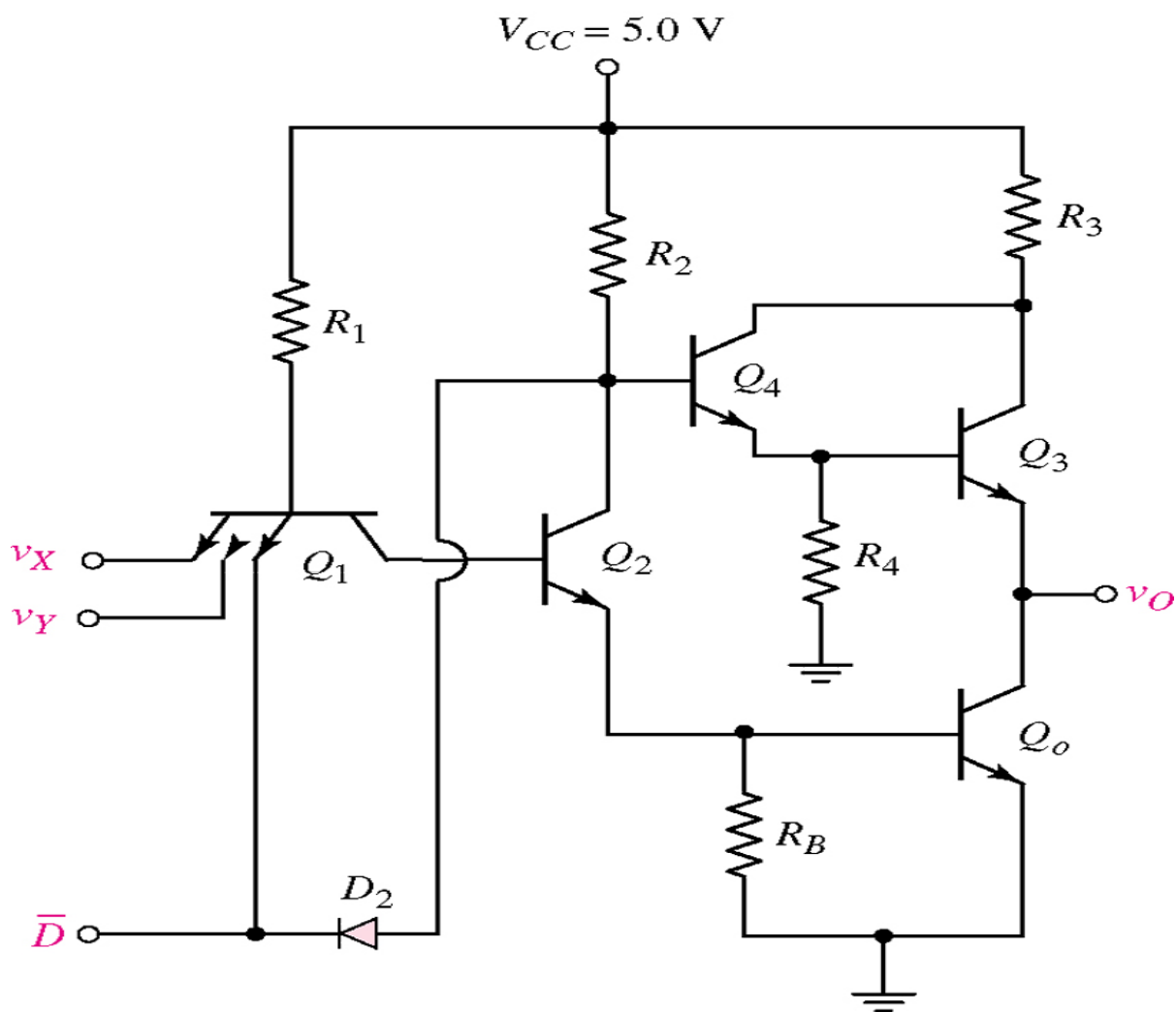
$\bar{C}$	B	A	F
1	x	x	1
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0

cắm





## Mạch thực tế và ký hiệu





# IC HỌ TTL

- Nối 2 ngõ vào A và B của cổng NAND lại với nhau ta có cổng NOT (IC họ TTL)

## d. Đặc tính chung (chuẩn) của họ IC TTL

$$V_{iH} = 2V$$

$V_{CC}$

$$V_{OH} = 2,4V$$

$$I_{iH} = 40\mu A$$

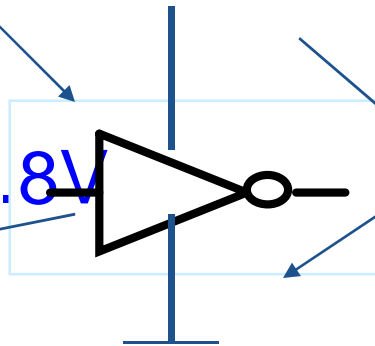
$$I_{OH} = -400\mu A$$

$$V_{iLmax} = 0,8V$$

$$I_{iL} = -1,6mA$$

$$V_{OLmax} = 0,4V$$

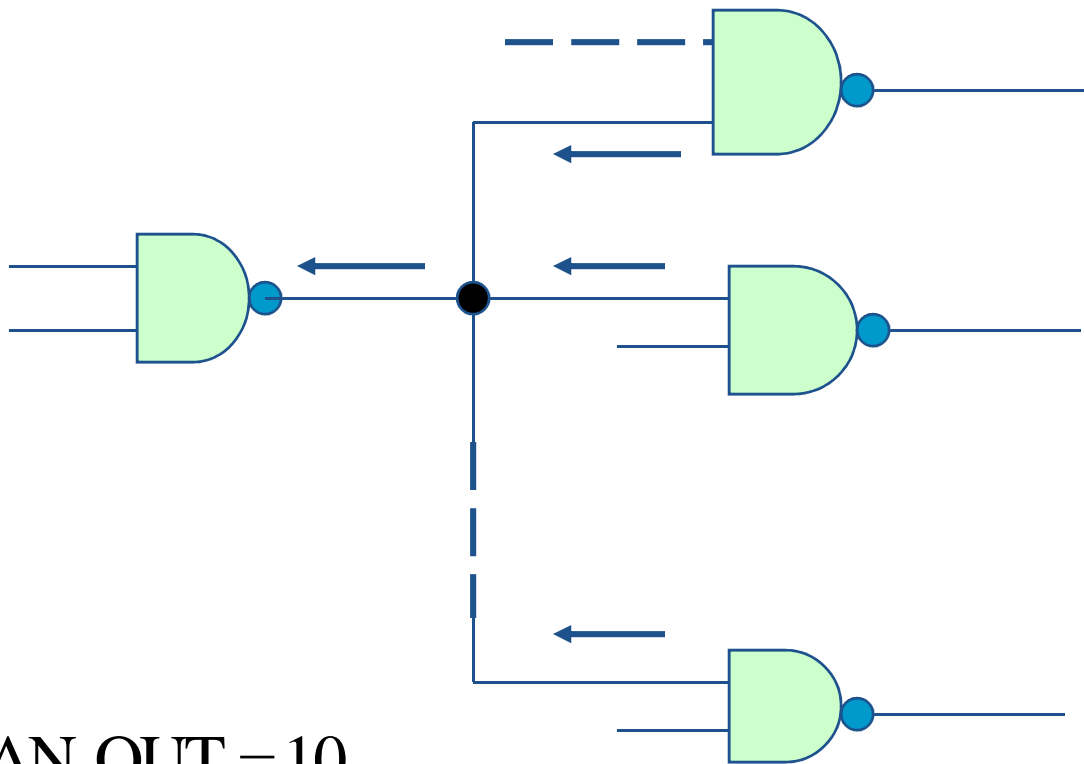
$$I_{OL} = 16mA$$



$$FAN\ OUT = 16mA / 1,6\ mA = 400\mu A / 40\mu A = 10$$



# FAN OUT



FAN OUT = 10

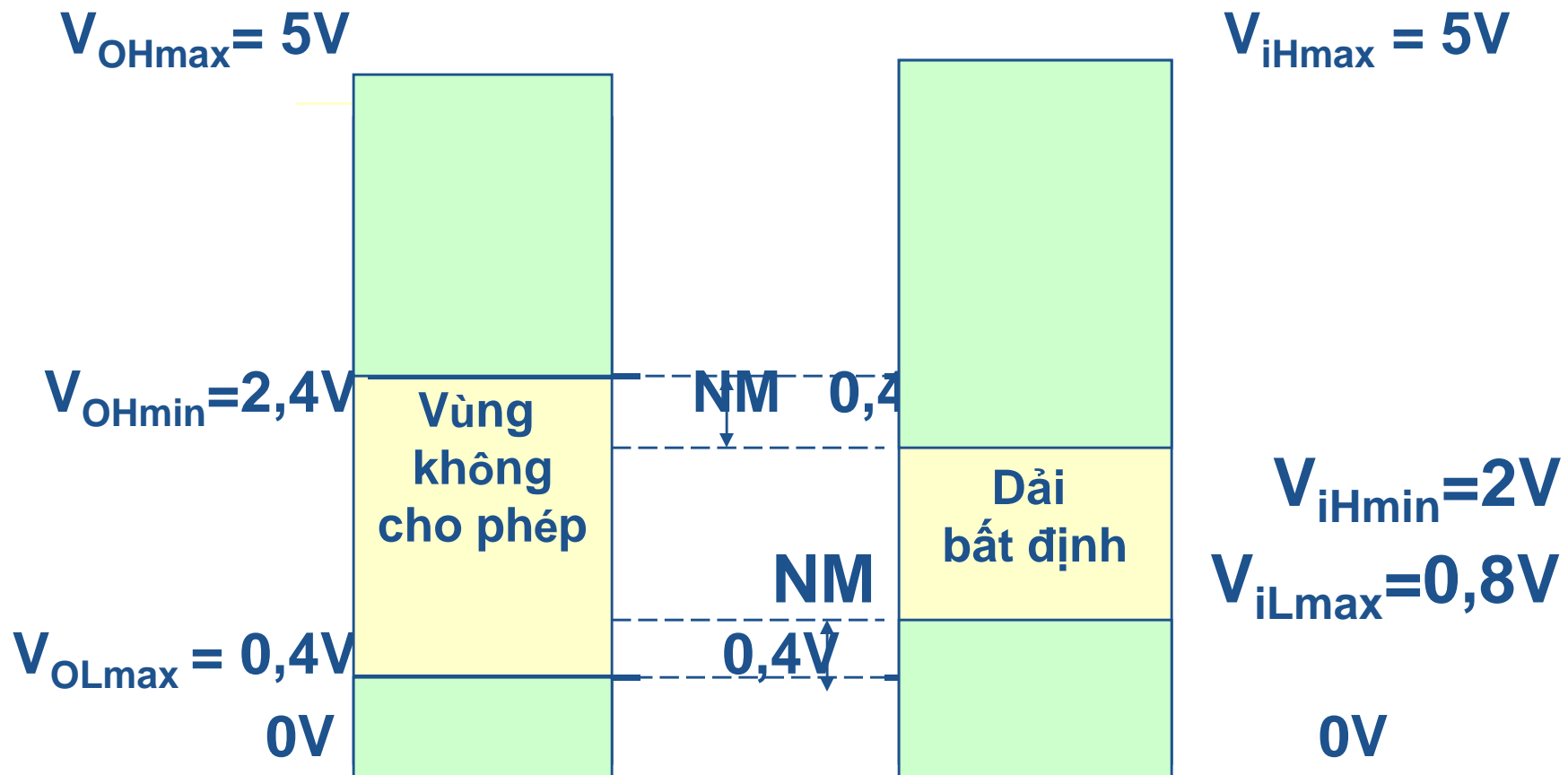




# Độ miễn nhiễu (Noise Immunity)- Lề nhiễu

**OUT**

**IN**



$$V_{NH} = V_{OHmin} - V_{IHmin} = 2,4 - 2 = 0,4V$$

$$V_{NL} = V_{iLmax} - V_{OLmax} = 0,8V - 0,4V = 0,4V$$



# VÍ DỤ



$$V_{NH} = V_{OHmin} - V_{IHmin} = 2,4 - 2 = 0,4V$$

Khi  $V_{OH} = 2,4V$  thúc vào cổng tải ở sau thì, cổng này hiểu là mức cao và hoạt động đúng.

Khi có xung nhiễu âm lớn hơn  $0,4V$  thì  $V_{iH} < 2V$ , nên rơi vào vùng bất định và cổng tải sẽ hoạt động sai.

$$V_{NL} = V_{iLmax} - V_{OLmax} = 0,8V - 0,4V = 0,4V$$

- Tương tự, khi xung nhiễu dương  $> 0,4V$  thì  $V_{iL} > 0,8V$  nên rơi vào vùng bất định và cổng tải hoạt động sai. Xung nhiễu âm không ảnh hưởng.



Logic Family	Propagation Delay $t_{PD}(\text{ns})$	Power Dissipation Per Gate (mW)	Technology
7400	10	10	Standard TTL
74H00	6	22	High-speed TTL
74L00	33	1	Low-power TTL
74LS00	9.5	2	Low-power Schottky TTL
74S00	3	19	Schottky TTL
74ALS00	3.5	1.3	Advanced low-power Schottky TTL
74AS00	3	8	Advanced Schottky TTL
74HC00	8	0.17	High-speed CMOS



# CỔNG TRUYỀN

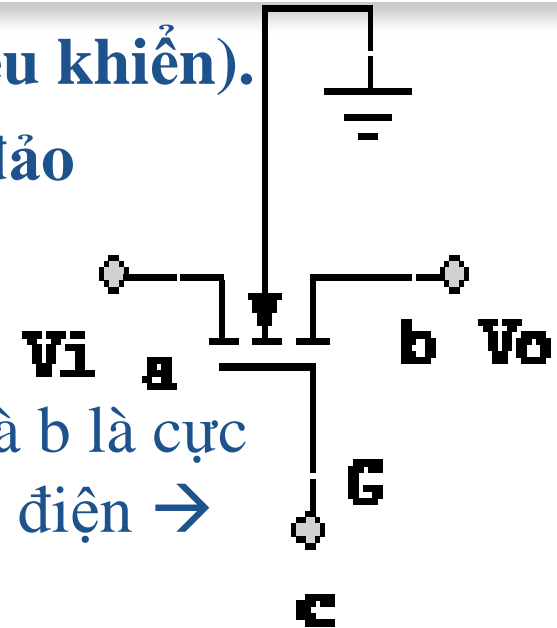
Chỉ cho qua tín hiệu khi được cho phép (điều khiển).

## a. Cổng truyền NMOS- đơn hướng không đảo (Buffer)

Khi  $v_i = V_{DD}$  và  $C = V_{DD} \rightarrow$

cực a hoạt động như cực D (phân cực  $V_{DD}$ ) và b là cực S (vì phân cực 0V), MOSFET dẫn,  $C_L$  nạp điện  $\rightarrow$

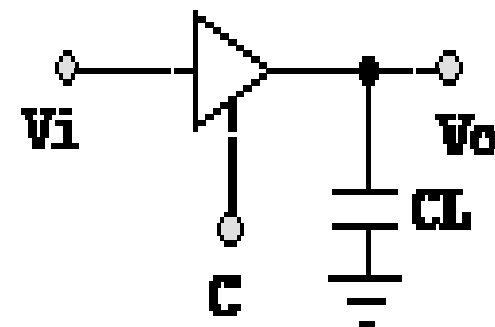
$$V_o = V_{DD} - V_{TH}$$



Khi  $V_i = 0V$  và  $C = V_{DD} \rightarrow$  a là cực S, b là cực D. Tụ  $C_L$  xả qua MOSFET cho đến hết  $\rightarrow$  MOSFET ngưng,  $V_o = 0V$

xem như cổng cho logic 0 truyền qua

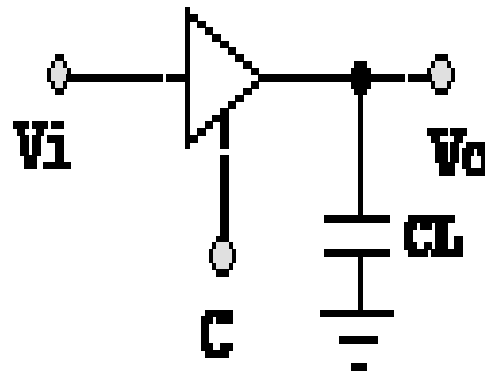
Khi  $C = 0$ , kênh n ngưng, cổng MOSFET không cho tín hiệu truyền qua.



Tóm lại: Cổng truyền không đảo, ta có:

Khi  $C = 1$  (logic 1) cổng cho tín hiệu vào  $V_i$  truyền qua  
 $V_o = V_i$ .

Khi  $C = 0$  (logic 0) cổng bị khoá không cho tín hiệu truyền qua.



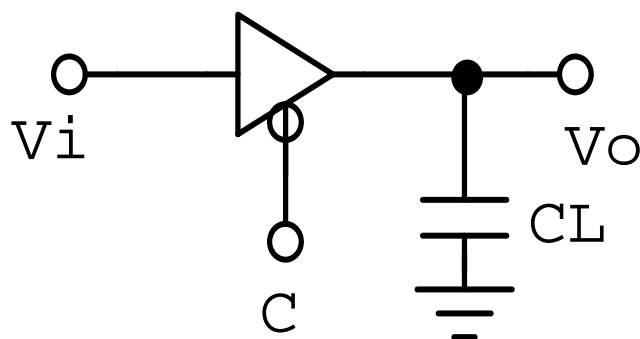


# CÁC CỔNG TRUYỀN KHÁC

**Cổng truyền đơn cực điều khiển đảo**

**Khi  $C = 1$  ,  $/C = 0 \rightarrow$  Cổng bị khoá tín hiệu không truyền qua.**

**Khi  $C = 0$  ,  $/C = 1 \rightarrow$  cổng mở , tín hiệu được truyền qua**



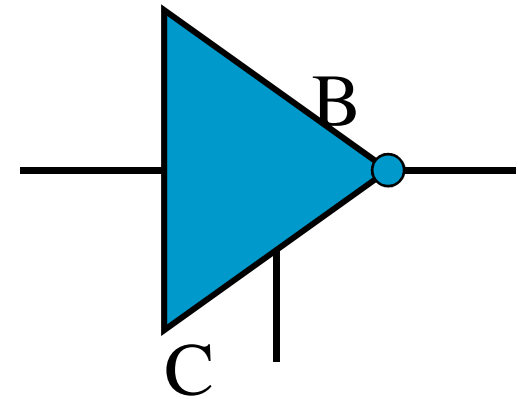


# CỔNG TRUYỀN ĐẢO

(1) Điều khiển bằng C :

$C=0 \rightarrow$  A không truyền qua B

A



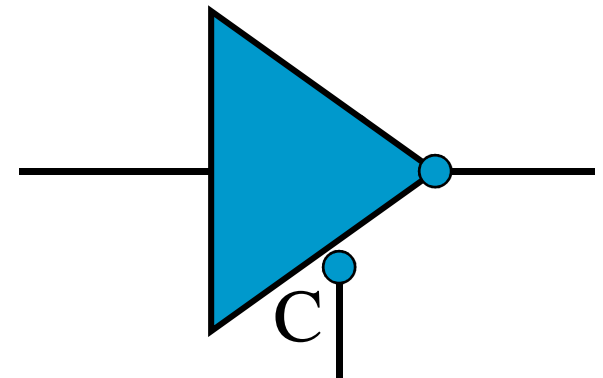
$C=1 \rightarrow$  A được truyền qua B

(2) Điều khiển bằng  $\neg C$

$C=0$  :  $\neg A$  được truyền qua B

$C=1$  : A không truyền qua B

A



# CỔNG TRUYỀN CMOS – TRUYỀN LƯỠNG CỰC

- Khi  $C = 0$ ,  $/C = 1$  và

$V_i = V_{DD} \rightarrow$  NMOS ngưng ( $V_{GSN} = 0$ ) và PMOS dẫn ( $V_{GSP} = -V_{DD}$ )

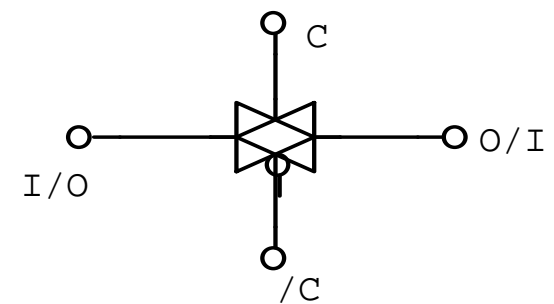
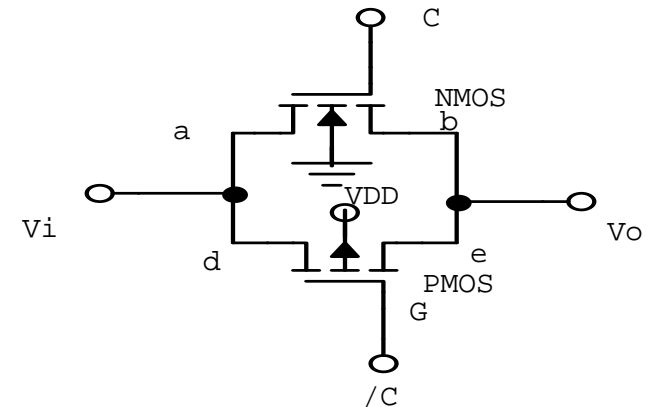
$$V_o = V_{DD}$$

- $V_i = 0V \rightarrow$  NMOS dẫn ( $V_{GS} = V_{DD}$ ), PMOS ngưng ( $V_{GSP} = 0V$ )  $\rightarrow V_o = 0V$   
 $\rightarrow$  Cổng đóng cho truyền qua  $V_i = V_o$

Khi  $C = 0$ ,  $/C = 1$  và

- $V_i = 0V \rightarrow$  NMOS ngưng ( $V_{GSN} = 0V$ )  
 PMOS ngưng ( $V_{GSP} = V_{DD}$ )
- $V_i = V_{DD} \rightarrow$  NMOS ngưng ( $V_{GSN} = -V_{DD}$ )  
 PMOS ngưng ( $V_{GSP} = 0V$ )

$\rightarrow$  cổng bị hở không cho tín hiệu truyền qua

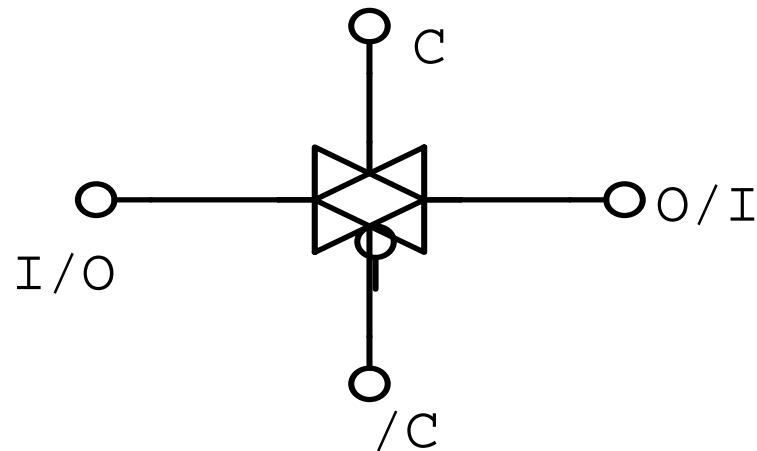






**Tóm lại:** Cổng truyền lưỡng cực ta có:

- Khi  $C = 1$  cổng cho tín hiệu truyền qua
- Khi  $C = 0$  cổng không cho tín hiệu qua





- Do cấu trúc MOSFET có tính đối xứng , các cực S và D có thể hoán đổi vị trí nhau, nên khi cho tín hiệu vào từ B tín hiệu sẽ ra bên A và theo cùng cách điều khiển trên : nên cổng có thể truyền theo cả 2 chiều  $A \rightarrow$  và đổi lại  $B \rightarrow A$ : **Cổng truyền lưỡng cực.**
- Cổng truyền lưỡng cực được thông dụng trong kỹ thuật số, truyền số liệu cả 2 chiều ( hướng).

