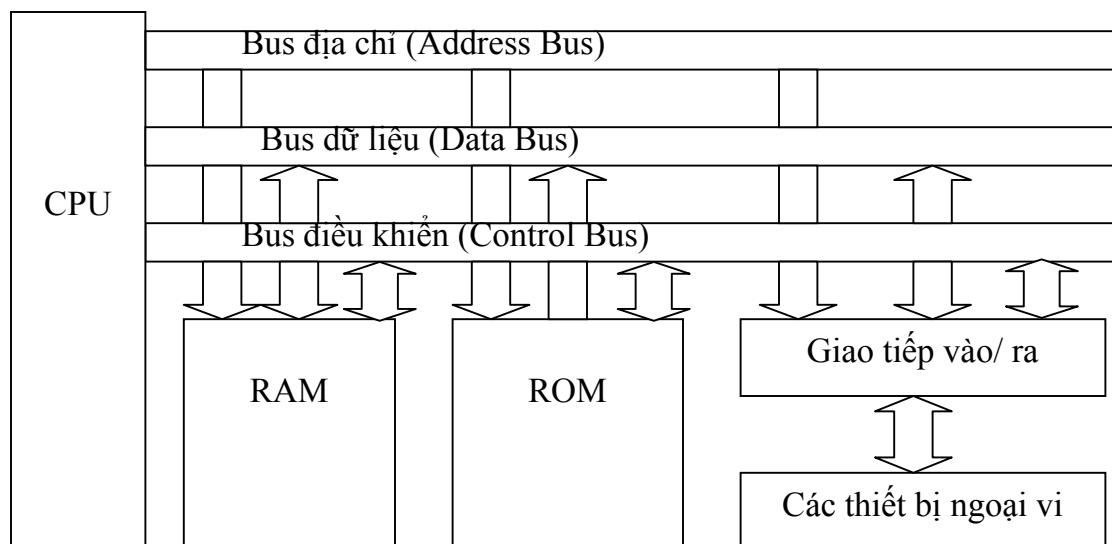


## 1. Sơ đồ khối của một hệ thống máy tính:

Sơ đồ khối cơ bản của một hệ thống máy tính được trình bày ở hình bên dưới:



**Hình 1.1:** Sơ đồ khối của một hệ thống máy tính

Trong sơ đồ này ta thấy rõ các thành phần cơ bản của một hệ thống máy tính bao gồm:

- Bộ xử lý trung tâm (Central Processing Unit - CPU).
- Bộ nhớ bán dẫn (Memory) gồm bộ nhớ chỉ đọc (Read Only Memory – ROM) và bộ nhớ truy xuất ngẫu nhiên (Random Access Memory -RAM).
- Giao tiếp vào/ra dùng để ghép nối với các thiết bị ngoại vi.
- Các Bus truyền thông tin

Các khối chức năng liên hệ với nhau thông qua các tín hiệu gọi là bus hệ thống gồm 3 thành phần: bus dữ liệu, bus địa chỉ và bus điều khiển.

CPU là một vi mạch điện tử có độ tích hợp rất cao và đóng vai trò chủ đạo trong quá trình điều khiển hoạt động của toàn bộ hệ thống. CPU đọc mã lệnh dưới dạng các chuỗi bit 0 và 1 (tức dạng nhị phân) từ bộ nhớ, sau đó giải mã lệnh và thực hiện lệnh bằng cách phát ra các tín hiệu điều khiển các bộ phận khác. Bên trong CPU có thanh ghi IP (Instruction Pointer) hoặc PC (Program Counter) chứa địa chỉ của lệnh tiếp theo mà CPU phải thực hiện, thanh ghi lệnh IR (Instruction Register) chứa lệnh đọc được từ bộ nhớ, một số thanh ghi khác dùng làm toán hạng để tính toán, tạo ra địa chỉ trỏ đến dữ liệu... Bên trong CPU còn có ALU (Arithmetic and Logic Unit) chịu trách nhiệm thực hiện các phép toán logic và số học.

Bộ nhớ bán dẫn còn được gọi là bộ nhớ trong gồm ROM và RAM. ROM thường dùng để lưu trữ chương trình khởi tạo hệ thống mỗi khi khởi động (ví dụ như ROM BIOS)

và CPU sẽ đọc mã lệnh từ đây để khởi tạo hệ thống. RAM thường được dùng để chứa chương trình ứng dụng, dữ liệu, các kết quả tính toán trung gian và cả một phần của chương trình điều khiển hệ thống.

Bộ ghép nối vào ra cho phép ghép nối hệ thống với các thiết bị vào/ ra (I/O) như màn hình, bàn phím, chuột, ổ đĩa... thông qua các địa chỉ cổng vào/ ra (Port).

Bus địa chỉ bao gồm các tín hiệu dùng để chuyển tải địa chỉ (thường được ký hiệu là A ví dụ CPU có 20 tín hiệu địa chỉ thì được ký hiệu từ  $A_0$  đến  $A_{19}$ ). Khi đọc/ghi bộ nhớ (hoặc I/O), CPU đưa ra trên Bus này địa chỉ của bộ nhớ (hoặc I/O) cần đọc/ ghi. Như vậy, số lượng tín hiệu địa chỉ sẽ quyết định không gian bộ nhớ (tức là số lượng ô nhớ) mà CPU có thể định vị được. Thí dụ: CPU 8088/8086 có 20 bit tín hiệu địa chỉ thì không gian bộ nhớ của CPU này là  $2^{20} = 1\text{M}$  ô nhớ, lưu ý rằng các CPU của họ 80x86 định vị theo byte nên không gian bộ nhớ của CPU này là 1Mbytes, tương tự CPU Pentium II có 36 tín hiệu địa chỉ thì không gian bộ nhớ của nó là 64Gbytes.

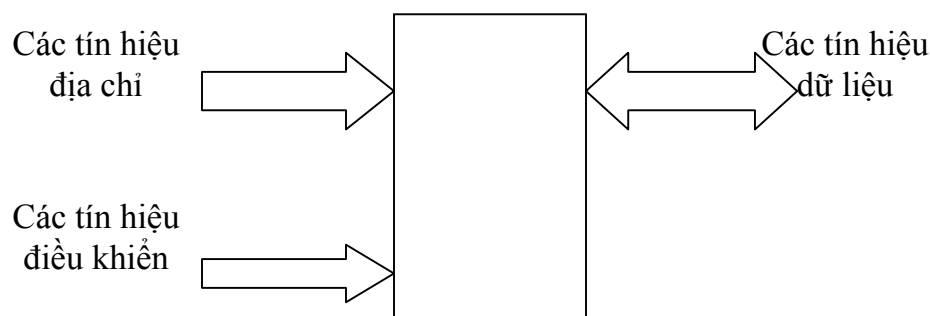
Bus dữ liệu gồm các tín hiệu dùng để chuyển tải dữ liệu (thường được ký hiệu là D). Số tín hiệu dữ liệu quyết định số bit dữ liệu mà CPU có thể xử lý cùng một lúc. Lưu ý rằng các tín hiệu dữ liệu là hai chiều vì CPU có thể đọc/ghi dữ liệu từ bộ nhớ hoặc I/O.

Bus điều khiển dùng để điều khiển hoạt động của hệ thống như các tín hiệu /WR (Write) để báo hiệu CPU đọc dữ liệu, /RD (Read) để báo hiệu CPU ghi dữ liệu, Ready cho ứng để báo cho CPU biết bộ nhớ (hoặc I/O) sẵn sàng quá trình trao đổi dữ liệu...Do đó, Bus điều khiển cũng phải là hai chiều.

## 2. Bộ nhớ bán dẫn:

### 2.1 Khái niệm:

Bộ nhớ thường được cấu tạo từ các vi mạch nhớ, một vi mạch nhớ thường có cấu trúc như sau:



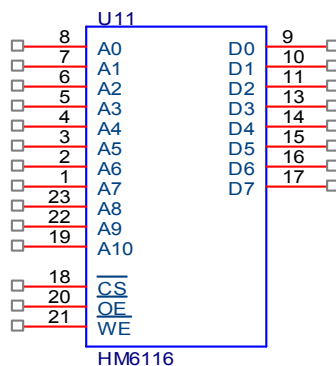
**Hình 2.1:** cấu trúc cơ bản của một vi mạch nhớ.

Các tín hiệu địa chỉ dùng để xác định vị trí cụ thể của một ô nhớ cần đọc/ ghi. Mỗi ô nhớ có số bit ( độ dài) 1, 2 ,4, 8 ...tùy thuộc vào nhà sản xuất. Số lượng tín hiệu địa chỉ quyết định dung lượng bộ nhớ (số lượng ô nhớ có trong vi mạch nhớ). Ví dụ vi mạch nhớ có 11 tín hiệu địa chỉ thì số lượng ô nhớ tối đa là  $2^{11} = 2\text{ K}$  ô nhớ.

Các tín hiệu dữ liệu dùng để trao đổi dữ liệu với nội dung của ô nhớ đã được chọn bởi các tín hiệu địa chỉ. Do đó, số tín hiệu dữ liệu xác định kích thước của ô nhớ trong vi mạch nhớ. Ví dụ: vi mạch nhớ có số tín hiệu dữ liệu là 8 (thường được ký hiệu là  $D_0$  đến  $D_7$ ) thì mỗi ô nhớ của vi mạch nhớ này có kích thước là 8 bit.

Các tín hiệu điều khiển dùng để xác định trạng thái hoạt động của vi mạch nhớ như tín hiệu /CS (Chip Select) hoặc /CE (Chip Enable) dùng để cho phép bộ nhớ hoạt động, /WR (Write) hoặc /WE (Write Enable) xác định trạng thái ghi dữ liệu lên vi mạch nhớ...

Thí dụ vi mạch nhớ HM6116 là vi mạch nhớ loại SRAM 2K x 8: Có nghĩa là vi mạch nhớ này có 2K ô nhớ nên có 11 tín hiệu địa chỉ ( $A_0$  đến  $A_{10}$ ), 1 ô nhớ có độ dài là 8 bit nên có 8 tín hiệu dữ liệu ( $D_0$  đến  $D_7$ ), các tín hiệu /CS = 0 thì cho phép bộ nhớ hoạt động không thì nó ở ba trạng thái, tín hiệu /WE = 0 xác định trạng thái ghi lên bộ nhớ, /RD = 0 xác định trạng thái đọc bộ nhớ.



Hình 2.2 Vi mạch nhớ SRAM 6116

Phân loại:

Có nhiều cách phân loại bộ nhớ, cách phổ biến nhất là phân thành hai loại: Bộ nhớ chỉ đọc (ROM – Read Only Memory) và bộ nhớ truy cập ngẫu nhiên (RAM – Random Access Memory). Tùy theo cấu trúc của ROM mà ta lại chia ra thành các loại PROM (Programmable ROM), EPROM (Erasable Programmable ROM), EAROM (Electrically Alterable ROM), EEPROM (Electrically EPROM) hay Flash ROM.

PROM là loại ROM có thể ghi (lập trình) bằng thiết bị đặc biệt gọi là bộ lập trình PROM (PROM Programmer). Hoạt động ghi thường là sự phá hủy các liên kết nội tại, điều này dẫn đến kết quả là PROM chỉ có thể lập trình một lần mà thôi.

EPROM là loại ROM có thể xóa được bằng tia cực tím và lập trình được bằng bộ lập trình EPROM (EPROM Programmer). Quá trình xóa bằng tia cực tím nhiều lần sẽ làm hỏng EPROM.

EAROM có thể thay đổi nội dung một bit tại một thời điểm và được dùng để chứa các thông tin khởi tạo hệ thống và các hệ thống này ít khi thay đổi nội dung của EAROM.

Flash memory hay EEPROM là loại ROM cho phép xóa toàn bộ nội dung (hoặc các bank được chọn) bằng điện và lập trình mà không cần lấy chúng ra khỏi hệ thống.

RAM thường được chia ra làm 3 loại SRAM (Static RAM), NV RAM (Non – Volatile RAM) và DRAM (Dynamic RAM).

SRAM duy trì nội dung của nó miễn là có nguồn điện áp vào, khác với DRAM là phải được làm tươi (refresh) theo chu kỳ. Dữ liệu trong SRAM sẽ bị mất khi mất nguồn nuôi. Các vị trí trong bộ nhớ có thể được truy xuất (đọc/ ghi) theo trình tự bất kỳ không liên quan đến vị trí truy xuất trước đó.

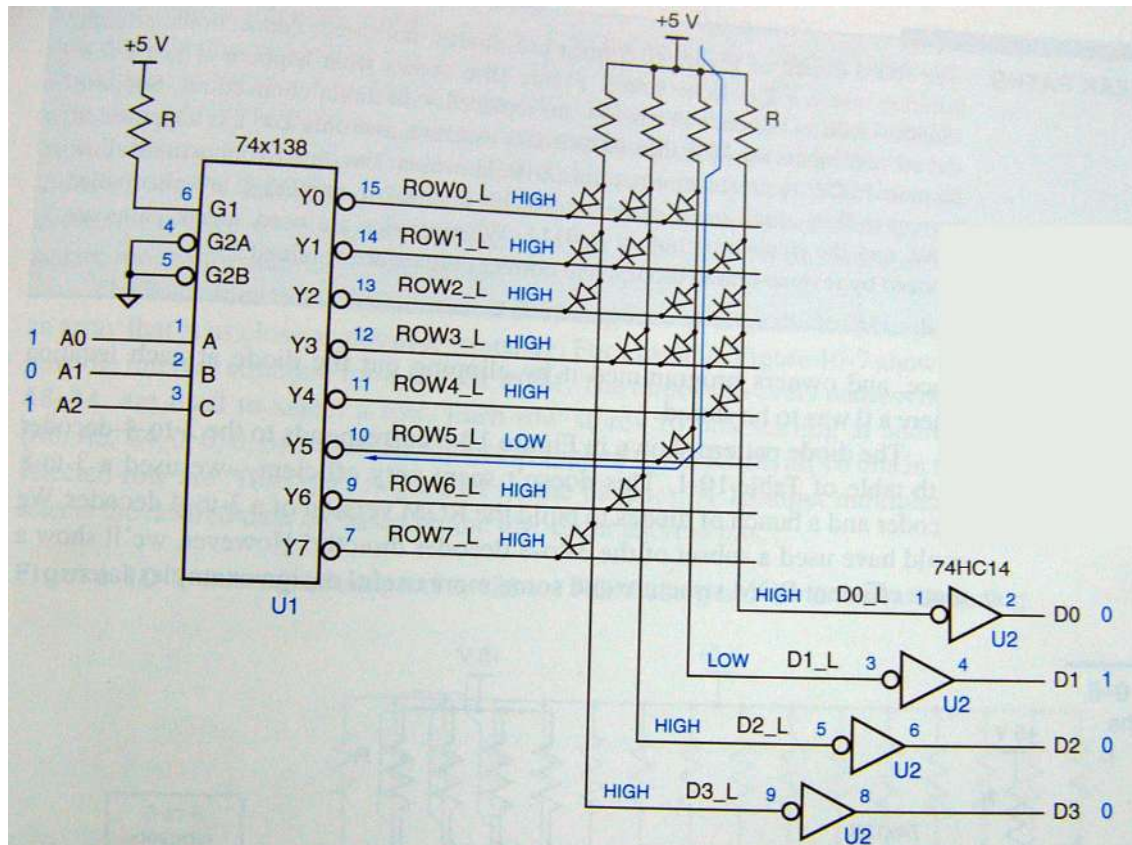
NVRAM là loại RAM không bị mất thông tin khi mất nguồn điện nuôi. Hiện nay, loại bộ nhớ gần giống với NVRAM là Flash memory. NVRAM có thể được dùng trong máy in, Router để lưu trữ file cấu hình khi khởi động hệ thống.

DRAM lưu trữ các bit dữ liệu trong các tụ điện riêng lẻ. Số electron được lưu trữ trong tụ điện xác định bit lưu trữ là 0 hay 1. Vì các bit được lưu trữ bằng các tụ điện nên quá trình tích điện phải được thực hiện lại theo chu kỳ. Các tế bào DRAM nhỏ hơn và rẻ tiền hơn so với SRAM. Một số loại DRAM thường gặp: Fast Page Mode DRAM (FPM DRAM), Extended Data Out DRAM (EDO DRAM), Burst EDO RAM (BEDO DRAM), Synchronous DRAM (RDRAM), Double Data Rate SDRAM (DDR SDRAM), Rambus DRAM (RDRAM), Video DRAM (VRAM), Synchronous graphics RAM (SGRAM), Pseudostatic RAM (PSRAM)...

Sau đây, chúng tôi sẽ trình bày một số cấu trúc và tính chất của ROM và RAM.

## 2.2 Cấu trúc và hoạt động của ROM

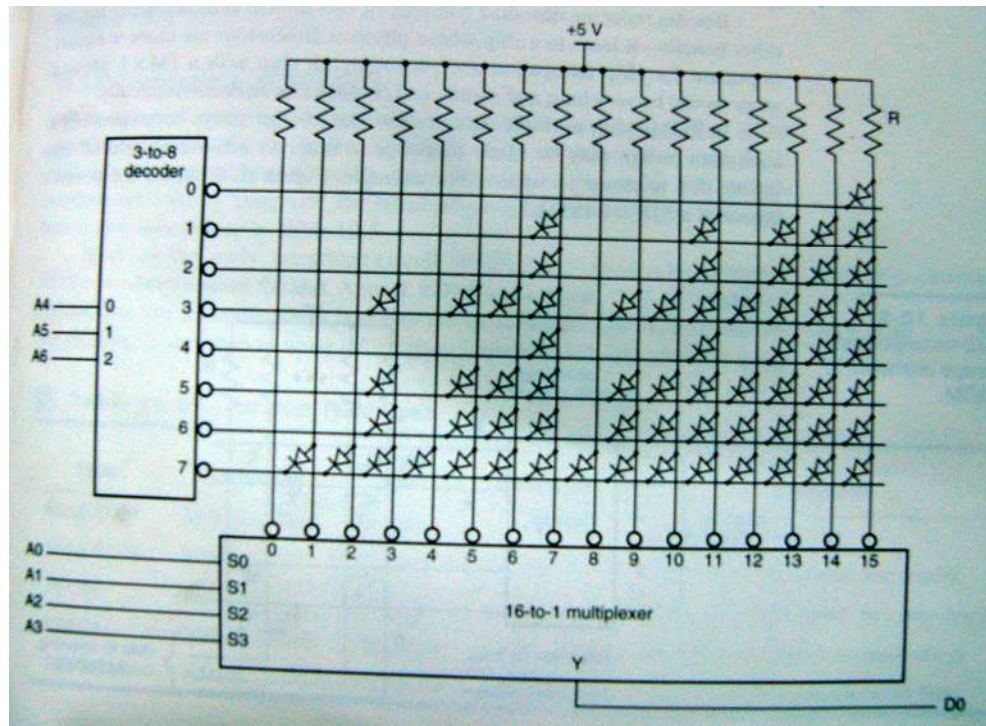
*Cấu trúc bên trong của ROM:* Cơ chế dùng để lưu trữ thông tin bên trong ROM thay đổi tùy theo công nghệ ROM khác nhau, trong hầu hết các ROM sự hiện diện của Diode (hay Transistor) sẽ quyết định trị giá lưu trữ 1 hay 0. Sơ đồ của một ROM 8x4 mà ta có thể thiết kế từ bộ giải mã và một số Diode:



**Hình 2.3:** Sơ đồ ROM 8 x 4

Các tín hiệu địa chỉ được đưa vào bộ giải mã để chọn ngõ ra tương ứng, mỗi ngõ ra của bộ giải mã được gọi là đường Word (Word line) vì nó chọn một hàng (tức một Word) của bảng dữ liệu lưu trữ trong ROM. Ví dụ như trong trường hợp  $A_2A_1A_0 = 101$  thì /ROW5 được chọn. Mỗi đường thẳng trong hình được gọi là đường bit (bit line) vì nó tương ứng với một bit ngõ ra của ROM. Như ở hình trên, mỗi khi đường Word được chọn thì đường bit bằng 0 khi có một Diode nối giữa đường Word và đường bit. Như trong trường hợp hàng 5 thì trị giá dữ liệu ngõ ra của ROM ( $D_3 - D_0$ ) là 0010, lưu ý là các đường bit được đếm thông qua các cổng đảo.

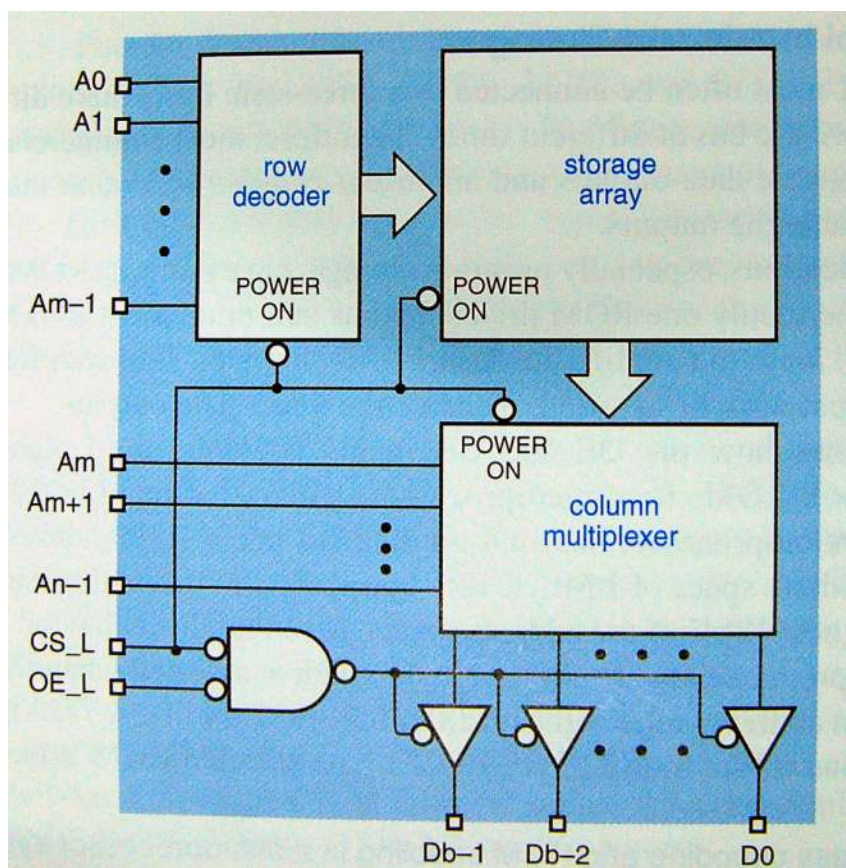
Để làm giảm độ phức tạp trong các mạch giải mã, trên thực tế người ta thường dùng cấu trúc hai chiều trong việc thiết kế ROM. Hình bên dưới trình bày cấu trúc bên trong của ROM 128 x 1



**Hình 2.4:** Sơ đồ ROM 8x1 dùng cấu trúc hai chiều.

Kiến trúc tổng quát của ROM đặc trưng được trình bày ở hình bên dưới. Lưu ý vai trò của các tín hiệu CS và OE.

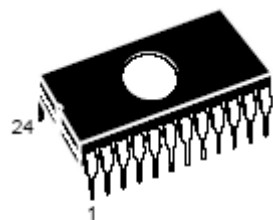




**Hình 2.5:** Kiến trúc tổng quát của ROM

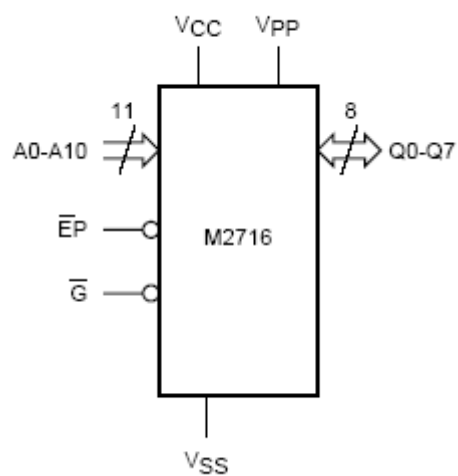
Ví dụ về EPROM 2716

Hình dạng:



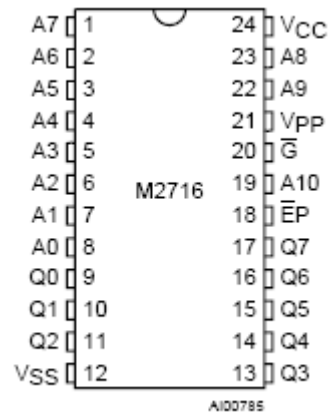
FDIP24W (F)

Sơ đồ Logic



A100764B

Sơ đồ chân



**Hình 2.6:** Sơ đồ chân của EPROM 2716

Nguyên lý hoạt động:

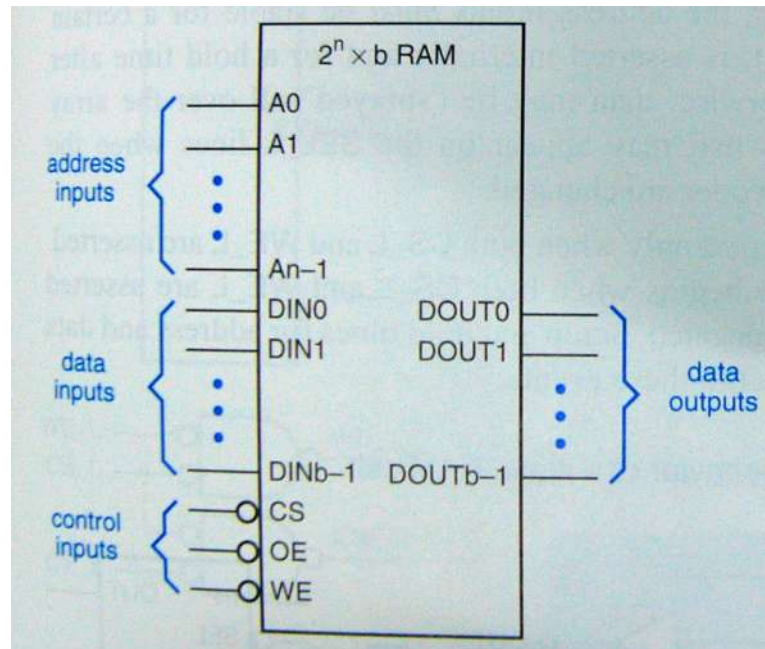
Chế độ hoạt động	EP	G	V <sub>pp</sub>	Q <sub>0</sub> – Q <sub>7</sub>
Đọc	0	0	+5V	Data out
Lập trình	Xung vuông rộng 45 - 55 ms	1	+ 25 V	Data in
Kiểm tra	0	0	+ 25 V	Data out
Duy trì	1	X	+ 5 V	Hi-Z

Lưu ý là hoạt động ghi phải diễn ra sau khi xóa nội dung của ROM bằng tia cực tím.

### 2.3 Cấu trúc và hoạt động của RAM

Cấu trúc cơ bản của SRAM được trình bày ở hình bên dưới và SRAM thường chỉ có hai hoạt động truy xuất được định nghĩa:



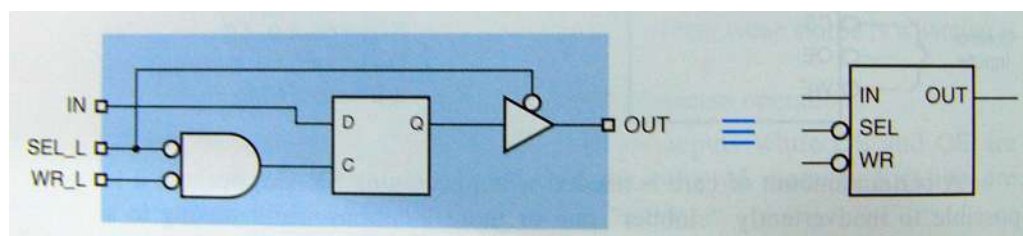


**Hình 2.7:** Cấu trúc cơ bản của SRAM

**Hoạt động đọc:** Khi một địa chỉ được áp vào các ngõ vào địa chỉ ( $A_0$  đến  $A_{n-1}$ ) trong lúc các tín hiệu CS và OE tích cực thì các ngõ ra của bộ chốt của vị trí nhớ được chọn sẽ đưa ra trên DOUT.

**Hoạt động ghi:** Khi một địa chỉ được áp vào các ngõ vào địa chỉ ( $A_0$  đến  $A_{n-1}$ ) và một từ dữ liệu được áp vào DIN, sau đó CS và WE có hiệu lực. Các bộ chốt trong vị trí nhớ được chọn sẽ mở và từ nhớ áp vào sẽ được lưu trữ.

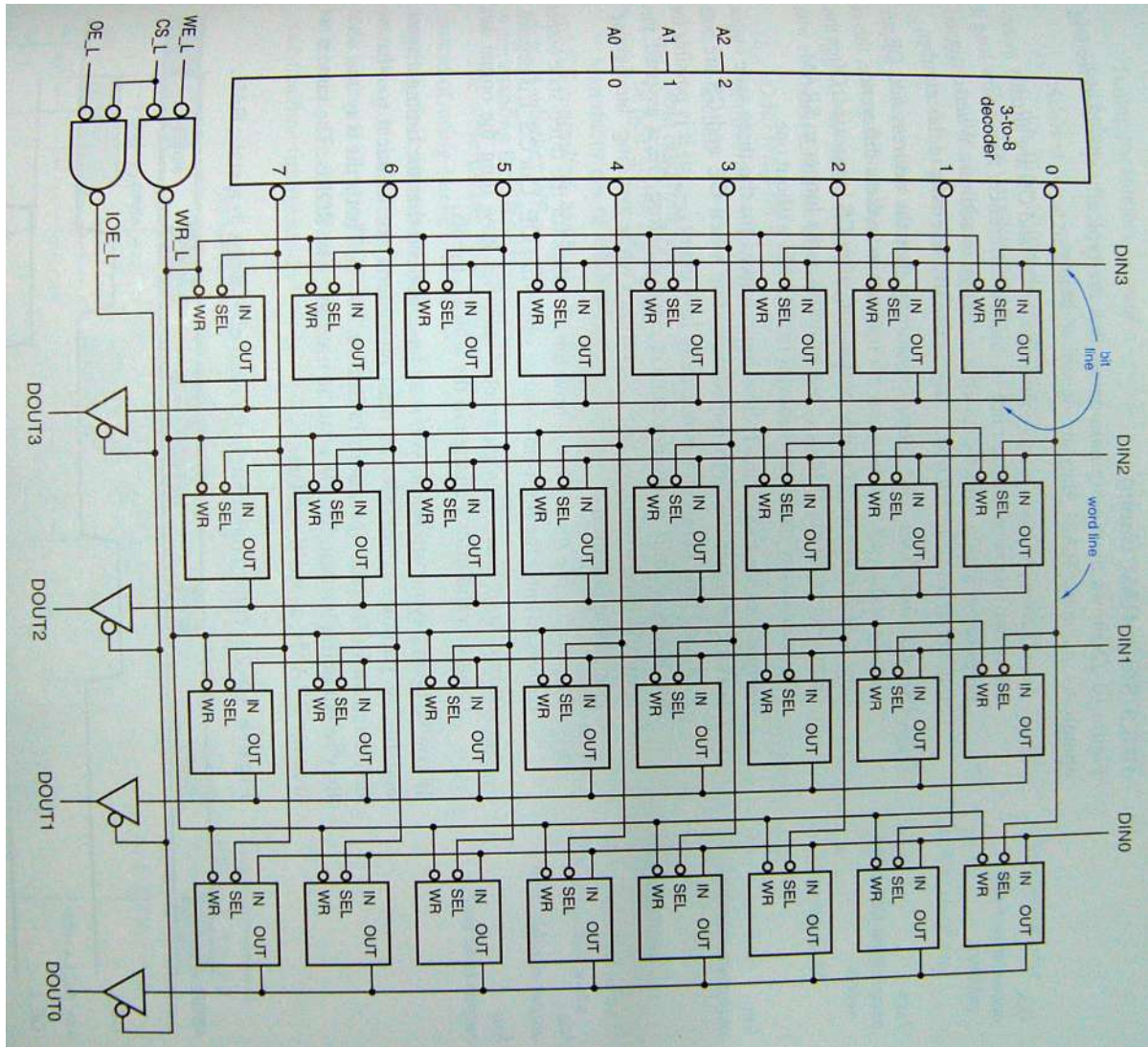
Các vị trí nhớ trong SRAM có đặc trưng giống như các bộ chốt D như được trình bày ở hình bên dưới:



**Hình 2.8:** cấu trúc của một vị trí nhớ trong SRAM

Bộ phận lưu trữ trong mỗi tế bào (Cell) là một bộ chốt D. Khi tín hiệu ngõ vào SEL\_L có hiệu lực thì dữ liệu lưu trữ được đưa ra ngõ ra của tế bào (được nối với đường bit – bit line). Khi cả hai tín hiệu SEL\_L và WR\_L tích cực thì bộ chốt mở và bit dữ liệu mới được lưu trữ.

Hình bên dưới trình bày sự kết hợp của các tế bào SRAM 8x4 trong một mảng để tạo thành một SRAM hoàn chỉnh.



**Hình 2.9:** Sự kết hợp các tế bào SRAM 8 x4

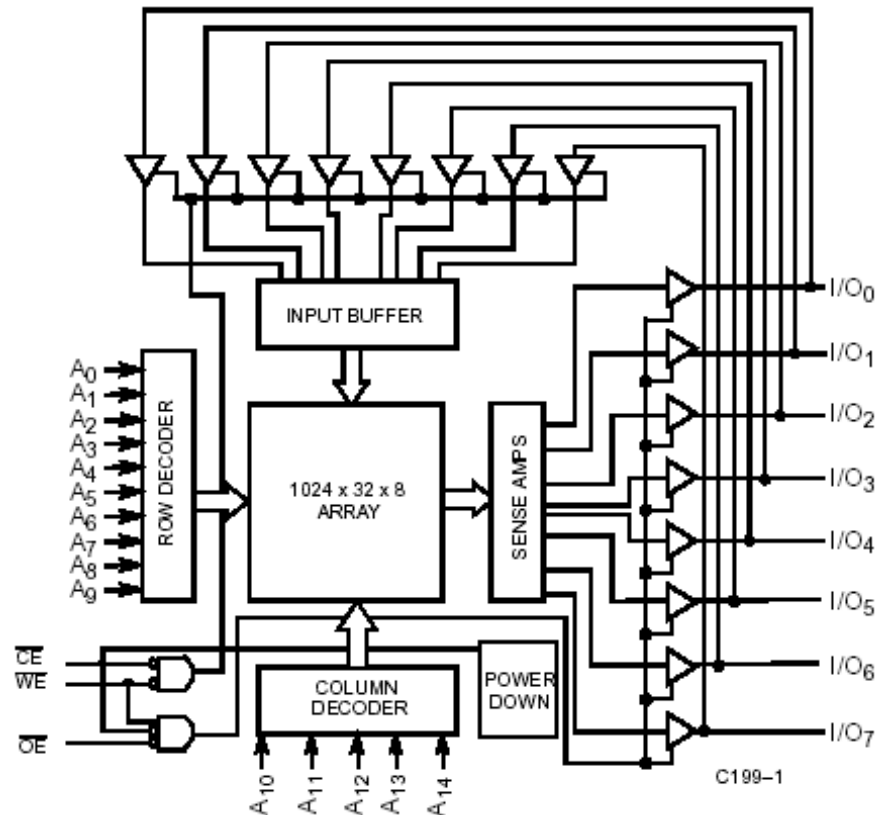
Mặc dù sơ đồ này khá đơn giản nhưng nó minh họa được một số tính khía cạnh quan trọng trong đặc trưng của SRAM:

- Trong các hoạt động đọc, dữ liệu ngõ ra là một hàm tổ hợp của các ngõ vào địa chỉ. Thời gian truy xuất cho các hoạt động ghi được xác định từ thời gian mà ngõ vào địa chỉ cuối cùng trở nên ổn định.
- Trong các hoạt động ghi, dữ liệu ngõ vào được lưu trữ trong các bộ chốt D. Điều này có nghĩa là dữ liệu phải thỏa mãn thời gian thiết lập và lưu trữ theo tín hiệu cho phép chốt.

- Ở bên trong, tín hiệu WR\_L có hiệu lực chỉ khi cả hai tín hiệu CS\_L và WE\_L có hiệu lực. Do đó, chu kỳ ghi bắt đầu khi cả hai tín hiệu CS\_L và WE\_L có hiệu lực và kết thúc khi cả hai tín hiệu này không còn hiệu lực.

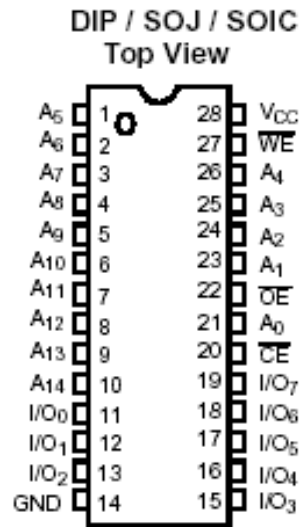
Thí dụ SRAM 32K x 8: CY7C199

Sơ đồ khối



**Hình 2.10:** Sơ đồ khối của SRAM CY7C199

Sơ đồ chân:



**Hình 2.11:** Sơ đồ chân của SRAM CY7C199

Quá trình ghi dữ liệu lên SRAM được thực hiện khi các tín hiệu /WE và /CE ở mức thấp thì dữ liệu ở I/O<sub>0</sub> đến I/O<sub>7</sub> được ghi vào ô nhớ có địa chỉ được xác định bởi các tín hiệu địa chỉ A<sub>0</sub> đến A<sub>14</sub>.

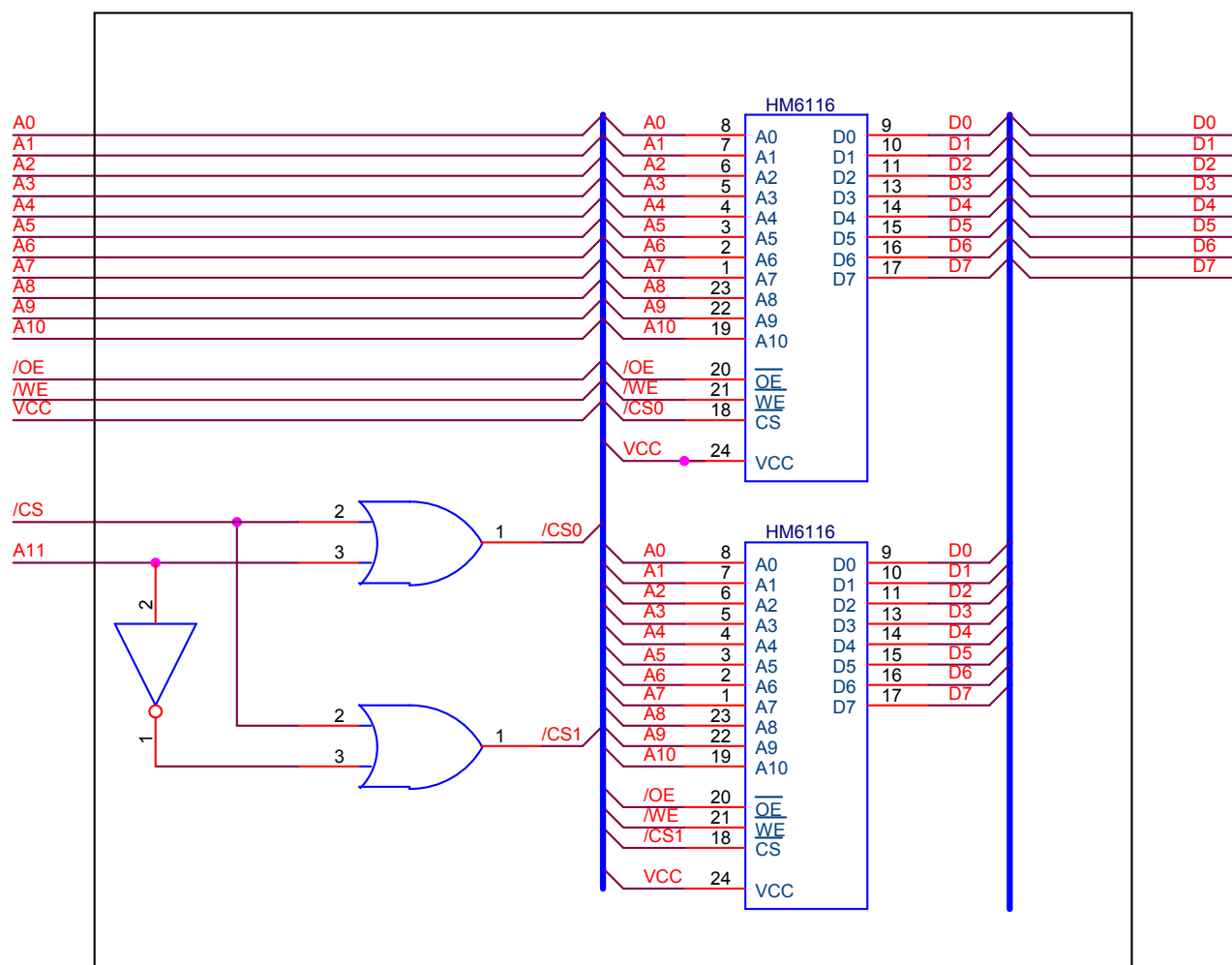
Quá trình đọc dữ liệu ra từ SRAM diễn ra khi các tín hiệu /CE và /OE ở mức thấp, /WE ở mức cao, lúc này nội dung của ô nhớ có địa chỉ xác định bởi A<sub>0</sub> đến A<sub>14</sub> được đưa ra trên I/O<sub>0</sub> đến I/O<sub>7</sub>. Ở các trạng thái khác thì I/O<sub>0</sub> đến I/O<sub>7</sub> sẽ có tổng trở cao (HiZ).

#### 2.4 Ghép ROM và RAM để có dung lượng lớn hơn.

Trong trường hợp để có dung lượng RAM, ROM lớn hơn, ta có thể thực hiện cách ghép dựa trên nguyên lý của mạch giải mã địa chỉ.

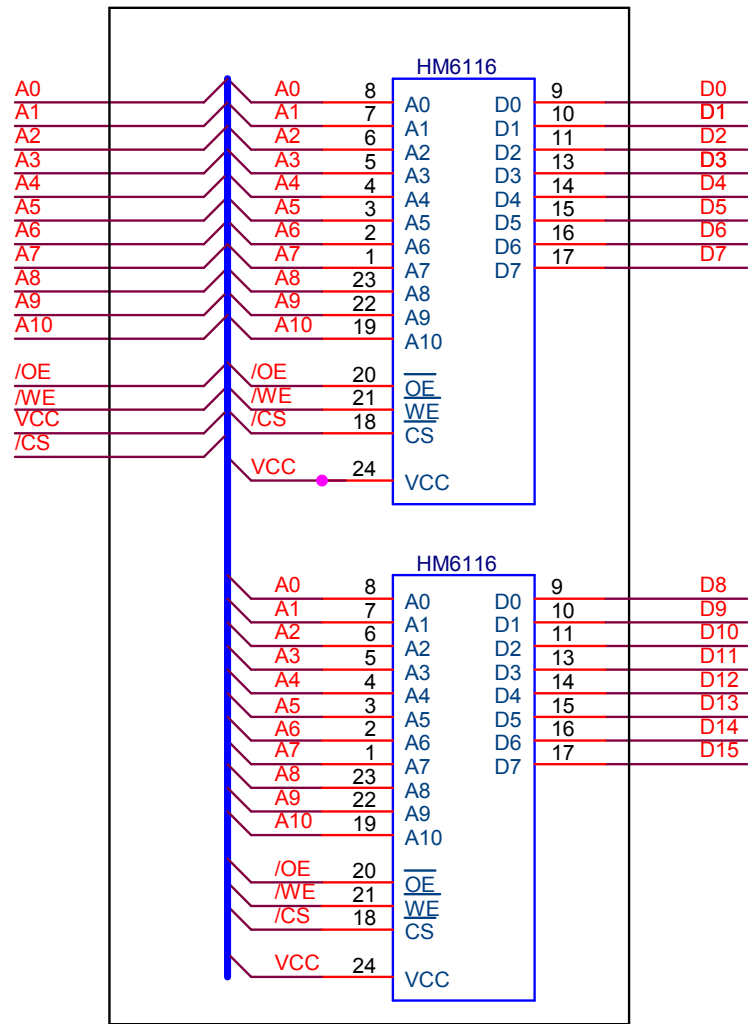
Ví dụ hai SRAM 6116 (2K X 8) có thể ghép thành 1 SRAM 4 K x 8 hoặc 2K x 16. Sơ đồ bên dưới trình bày cách ghép này.

## SRAM 4K X 8



**Hình 2.12:** Ghép 2 SRAM 2K x 8 thành 1 SRAM 4K x 8

SRAM 2K X 16



**Hình 2.13:** Ghép 2 SRAM 2K x 8 thành 1 SRAM 2K x16