

GIÁO TRÌNH ĐIỆN TỬ CƠ BẢN

cuu duong than cong. com

Ch 7. Mạch transistor trường

cuu duong than cong. com

Ch.7 Mạch transistor trường

- **Đại cương**

Transistor trường có nhiều ứng dụng :

- **Khuếch đại tín hiệu nhỏ (hạ tần, cao tần).**
- **Khuếch đại tín hiệu lớn(KĐ công suất).**
- **Mạch dao động.**
- **Mạch điện trở thay đổi theo điện thế.**
- **Mạch giao hoán (mạch logic, mạch digital)**

Trong chương này chỉ xét mạch khuếch đại tín hiệu nhỏ và mạch giao hoán.

A. Mạch khuếch đại tín hiệu nhỏ

I. Mạch khuếch đại tín hiệu nhỏ

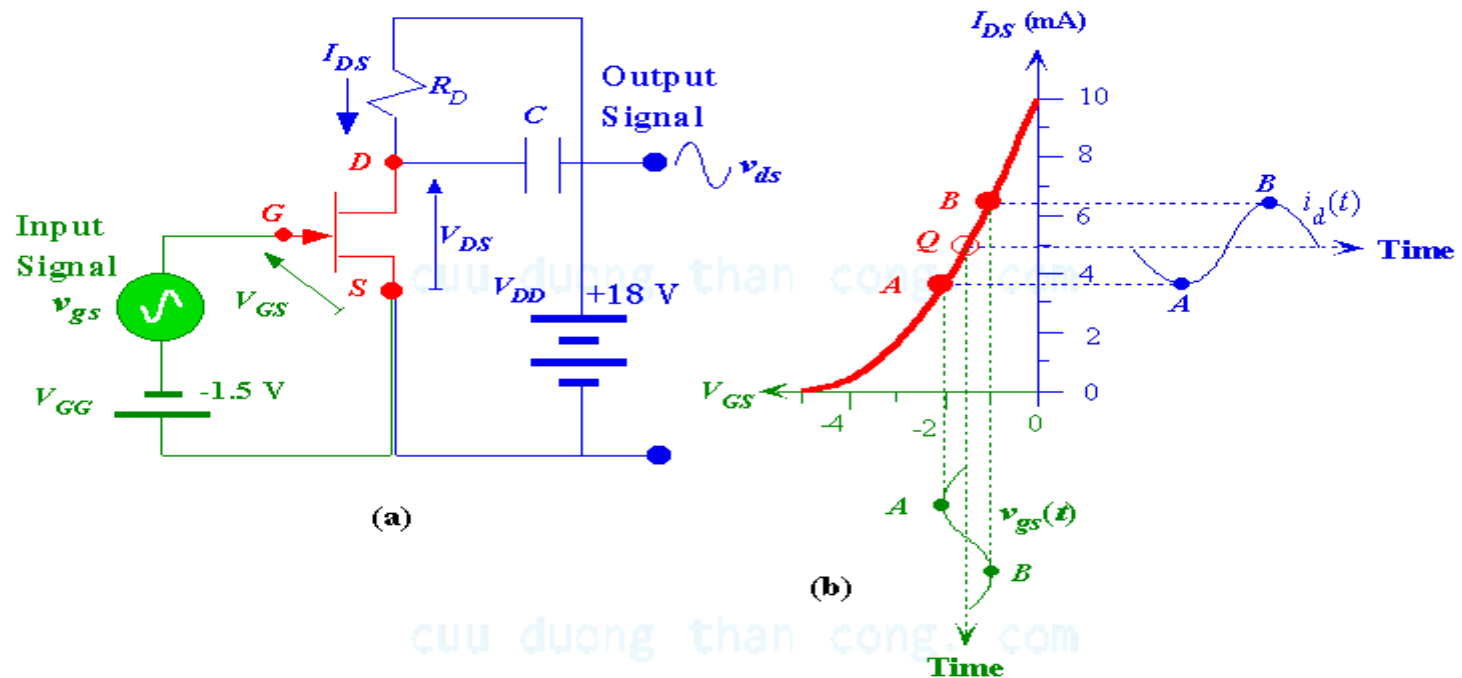
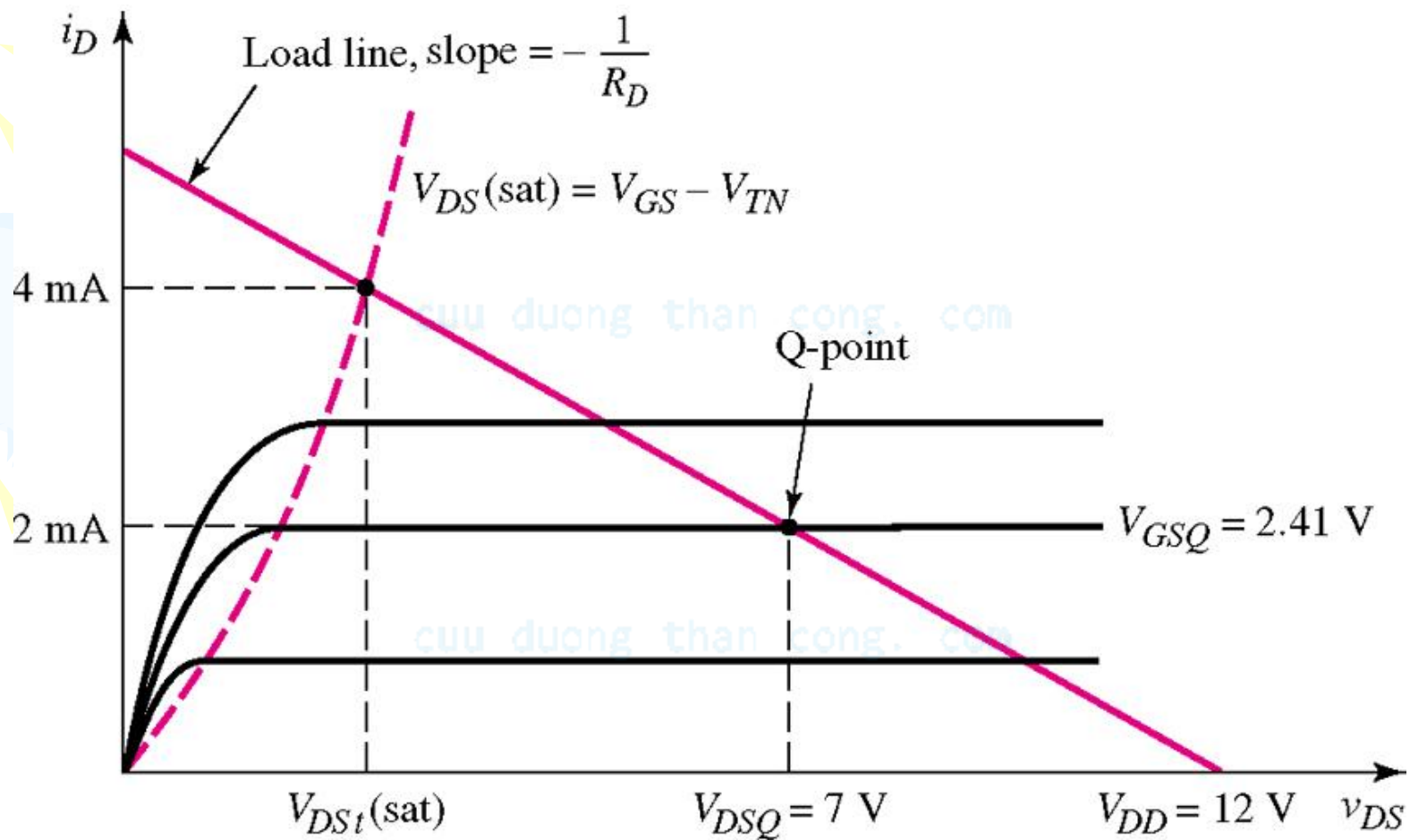


Fig. 6.34: (a) Common source (CS) ac amplifier using a JFET. (b) Explanation of how I_D is modulated by the signal v_{gs} in series with the dc bias voltage V_{GG} .

From *Principles of Electronic Materials and Devices, Second Edition*, S.O. Kasap (© McGraw-Hill, 2002)
<http://Materials.USask.ca>

Đường thẳng tải tĩnh



Cách phân giải mạch

- Tương tự như trong mạch khuếch đại tín hiệu nhỏ dùng transistor ta có thể phân giải dựa theo đặc tuyến hoặc phân giải theo mô hình toán học bằng cách lần lượt:
- **Phân giải DC (xác định điểm tĩnh điều hành Q và đường tải tĩnh).**
- **Phân giải AC: vẽ mạch điện tương đương trong chế độ động với mô hình thông số của FET và tính các đại lượng đặc trưng Z_i , A_v , A_i , Z_o .**

Lưu ý:

Do mô hình thông số FET dẫn xuất từ toán học và thuyết tứ cực nên mô hình này đều được sử dụng chung cho các loại FET (JFET, MOSFET)

II. Mô hình thông số của FET

- Do dòng thoát I_D là hàm số :

$$I_D = f(V_{GS}, V_{DS})$$

nên đạo hàm riêng phần :

$$dI_D = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}=h.s.} dV_{GS} + \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{GS}=h.s.} dV_{DS} \quad (1)$$

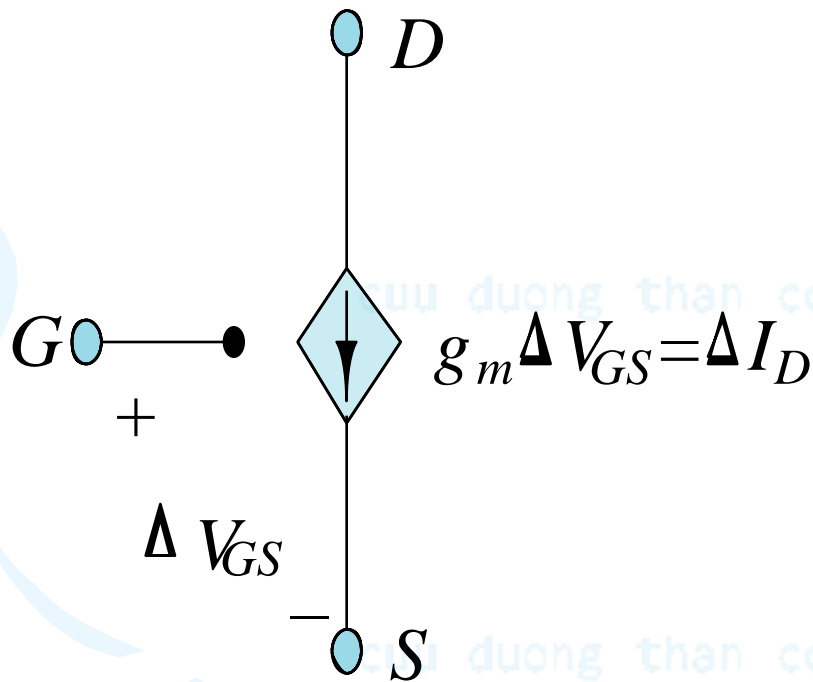
Gọi:

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}=h.s.} = \left. \frac{i_d}{v_{gs}} \right|_{v_{ds}=0} = \text{hệ số truyền dẫn}$$

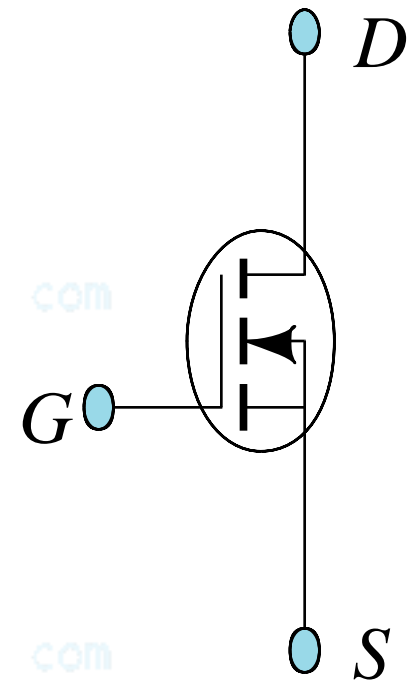
$$r_d = \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{GS}=h.s.} = \left. \frac{i_d}{v_{ds}} \right|_{v_{gs}=0} = \text{điện trở cực thoát}$$

$$\mu = - \left. \frac{\partial V_{DS}}{\partial V_{GS}} \right|_{I_D=h.s.} = - \left. \frac{v_{ds}}{v_{gs}} \right|_{i_d=0} = \text{hệ số khuếch đại}$$

Mô hình gần đúng của FET



Mô hình MOSFET



Ký hiệu MOSFET

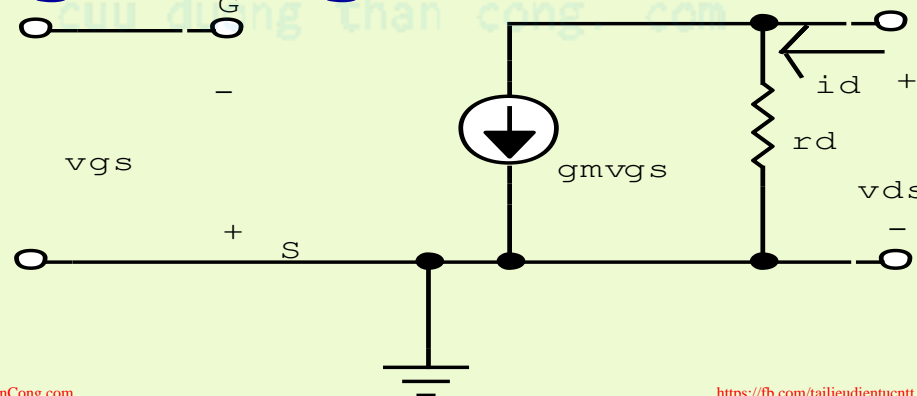
- Ta có biểu thức liên hệ giữa 3 thông số:

$$-\left. \frac{\partial V_{DS}}{\partial V_{GS}} \right| = \left(\frac{\partial V_{DS}}{\partial I_D} \right) \left(\frac{\partial I_D}{\partial V_{GS}} \right) \Rightarrow -\mu = r_d g_m \quad (2)$$

- Thay các định nghĩa trên vào lại (1) ta được:

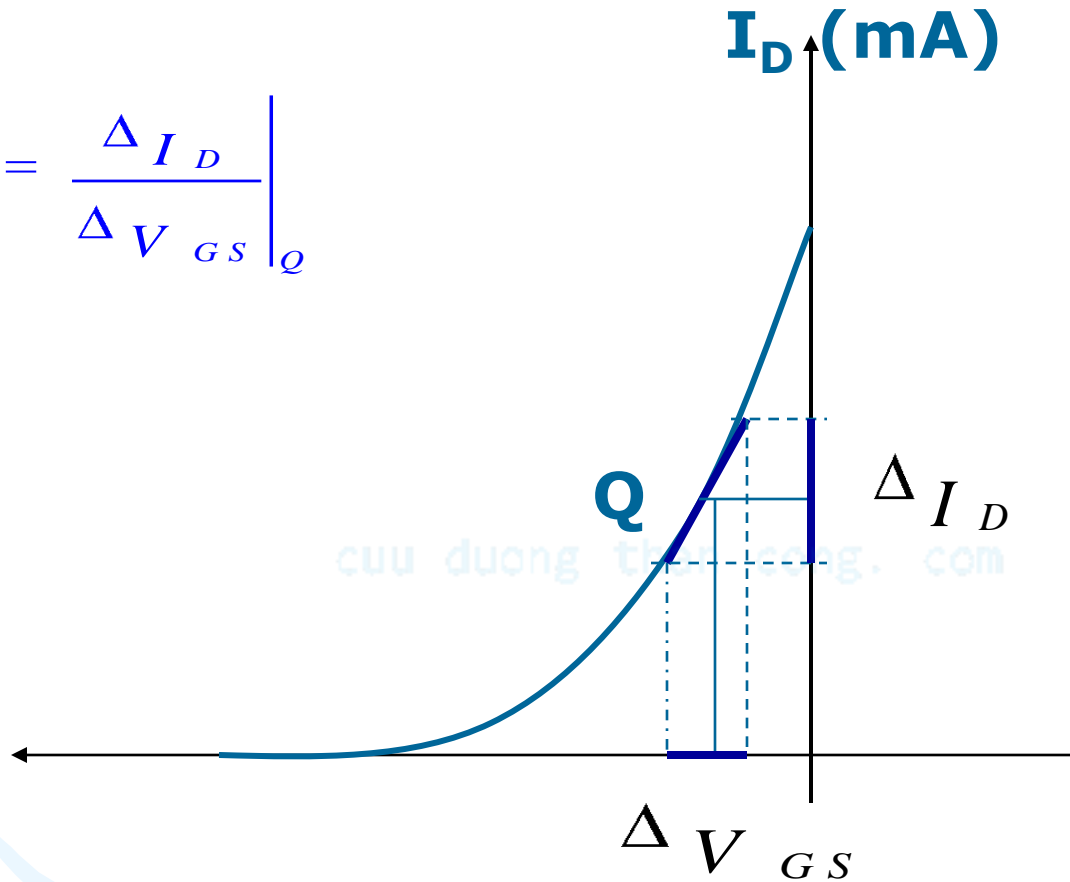
$$i_d = g_m v_{gs} + \frac{v_{ds}}{r_d} \quad (3)$$

Do mạch G-S có tổng trở lớn , nên ta có mạch tương đương của FET như sau:



- Tính g_m trên đặc tuyến truyền

$$g_m = \left. \frac{\Delta I_D}{\Delta V_{GS}} \right|_Q$$



Đường biểu diễn g_m theo V_{GS} là 1 đường thẳng

Cách tính thông số g_m

- Với JFET:

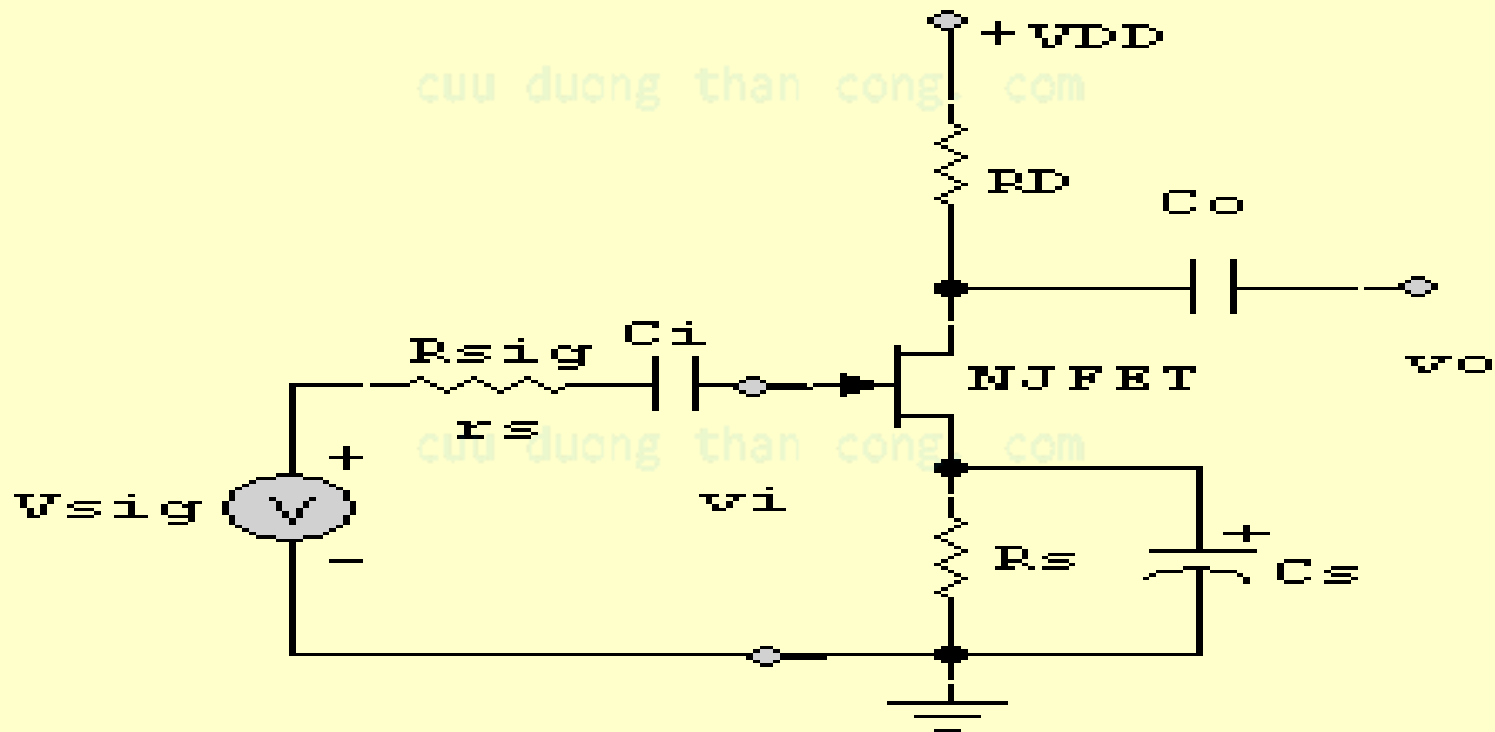
$$g_m = \frac{dI_D}{dV_{GS}} = \frac{d}{dV_{GS}} \left[I_{DSS} \left(1 - \frac{V_{GS}}{V_{GSOFF}} \right)^2 \right] = \left| \frac{2I_{DSS}}{V_{GSOFF}} \right| \left(1 - \frac{V_{GS}}{V_{GSOFF}} \right)$$
$$= \left| \frac{2I_{DSS}}{V_{GSOFF}} \right| \sqrt{\frac{I_D}{I_{DSS}}} = \left| \frac{2}{V_{GSOFF}} \right| \sqrt{I_D I_{DSS}}$$

- Với EMOSFET

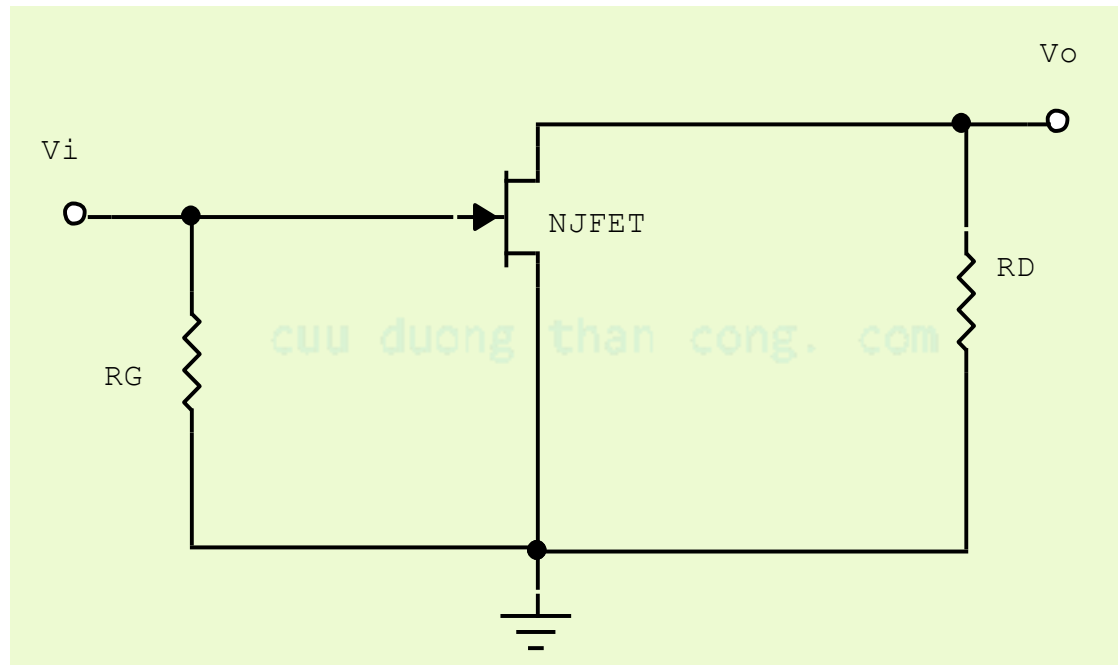
$$g_m = \frac{d}{dV_{GS}} \left[k (V_{GS} - V_{TH})^2 \right] = 2k (V_{GS} - V_{TH})$$

III. Phân giải mạch khuếch đại FET ráp cực nguồn chung (CS)

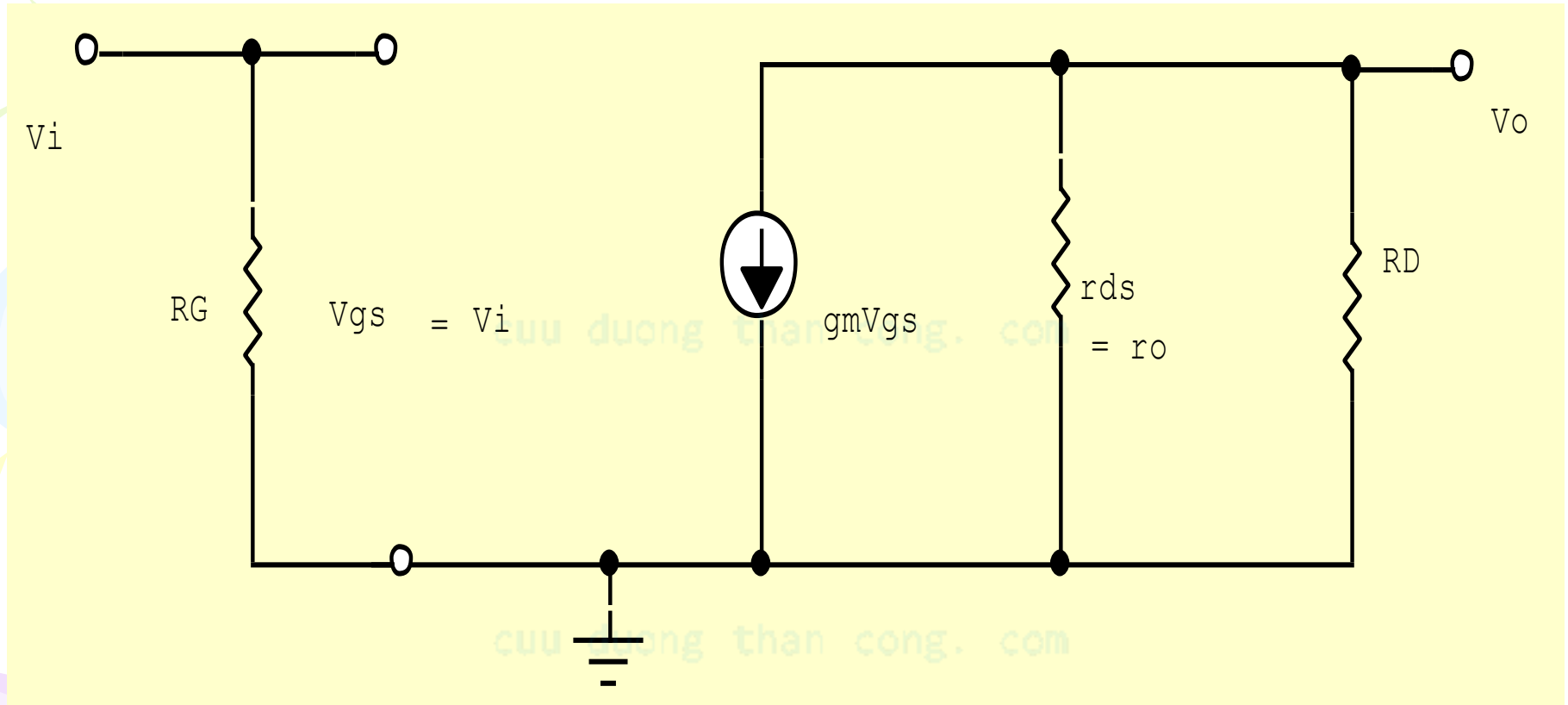
1. Mạch khuếch đại JFET
Mạch có dạng



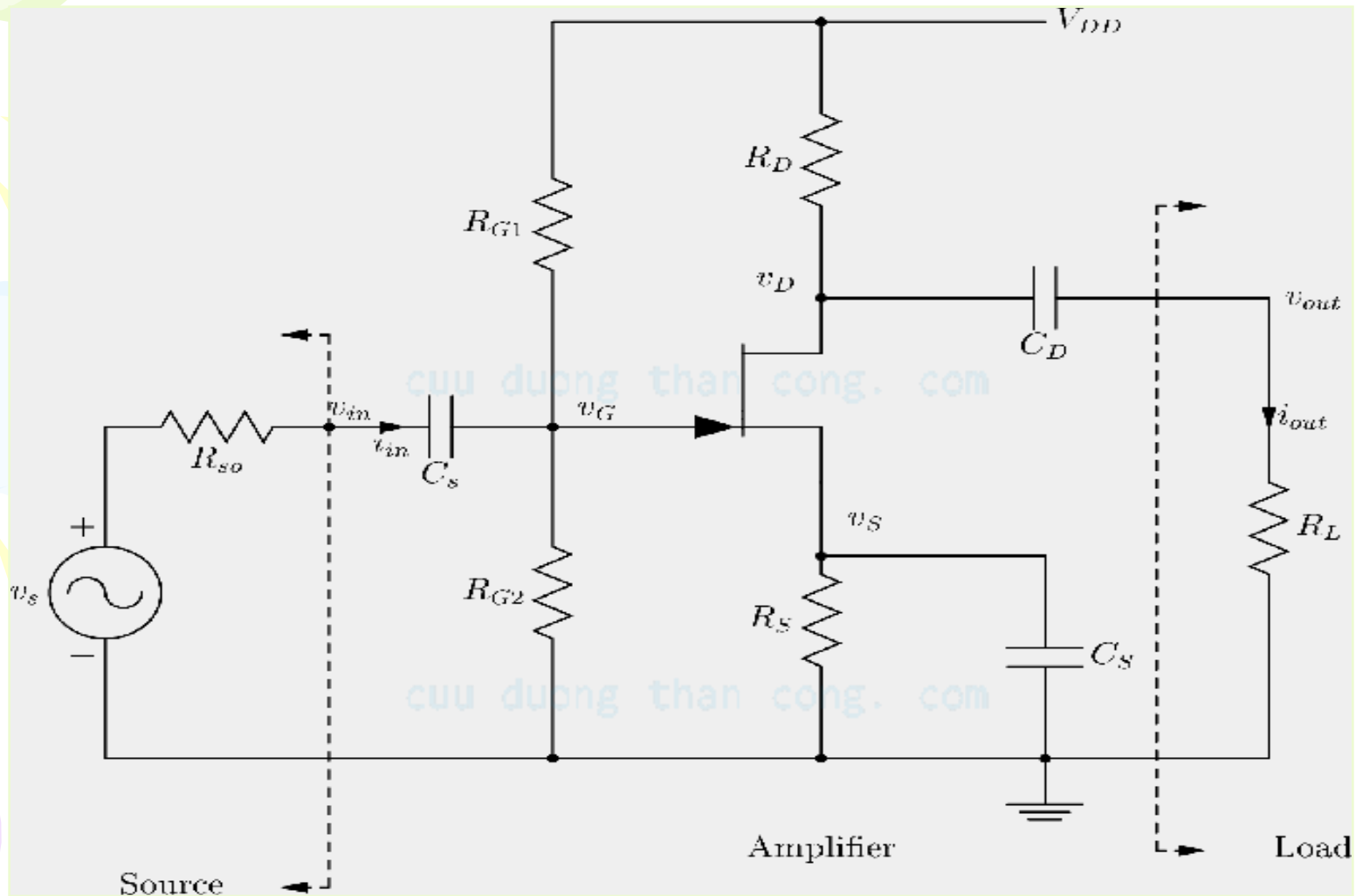
Mạch điện tương đương (AC)



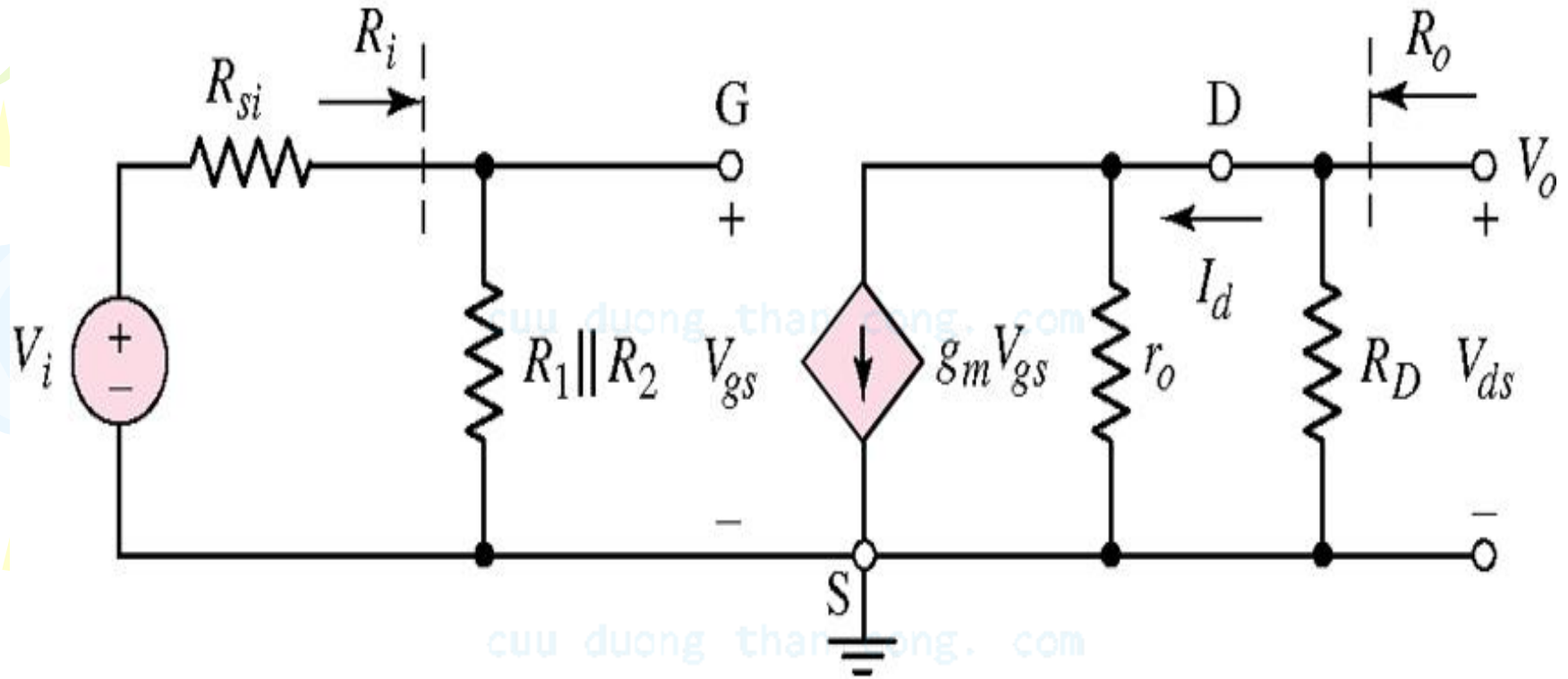
Thay mô hình của JFET vào :



Hoặc mạch khuếch đại phân cực cầu chia thế



Mạch điện tương đương(ac)



- Phân giải mạch:

- Tổng trở vào:

$$Z_i = R_G \quad (1)$$

- Độ lợi thế:

$$V_o = Z_L I_o = -Z_L I_d = -Z_L (g_m V_{gs})$$

$$A_V = V_o / V_i = V_o / V_{gs} = -g_m Z_L \quad (2)$$

- Tổng trở ra:

$$Z_o = r_d \text{ và } Z_o' = r_d // R_D \quad (3)$$

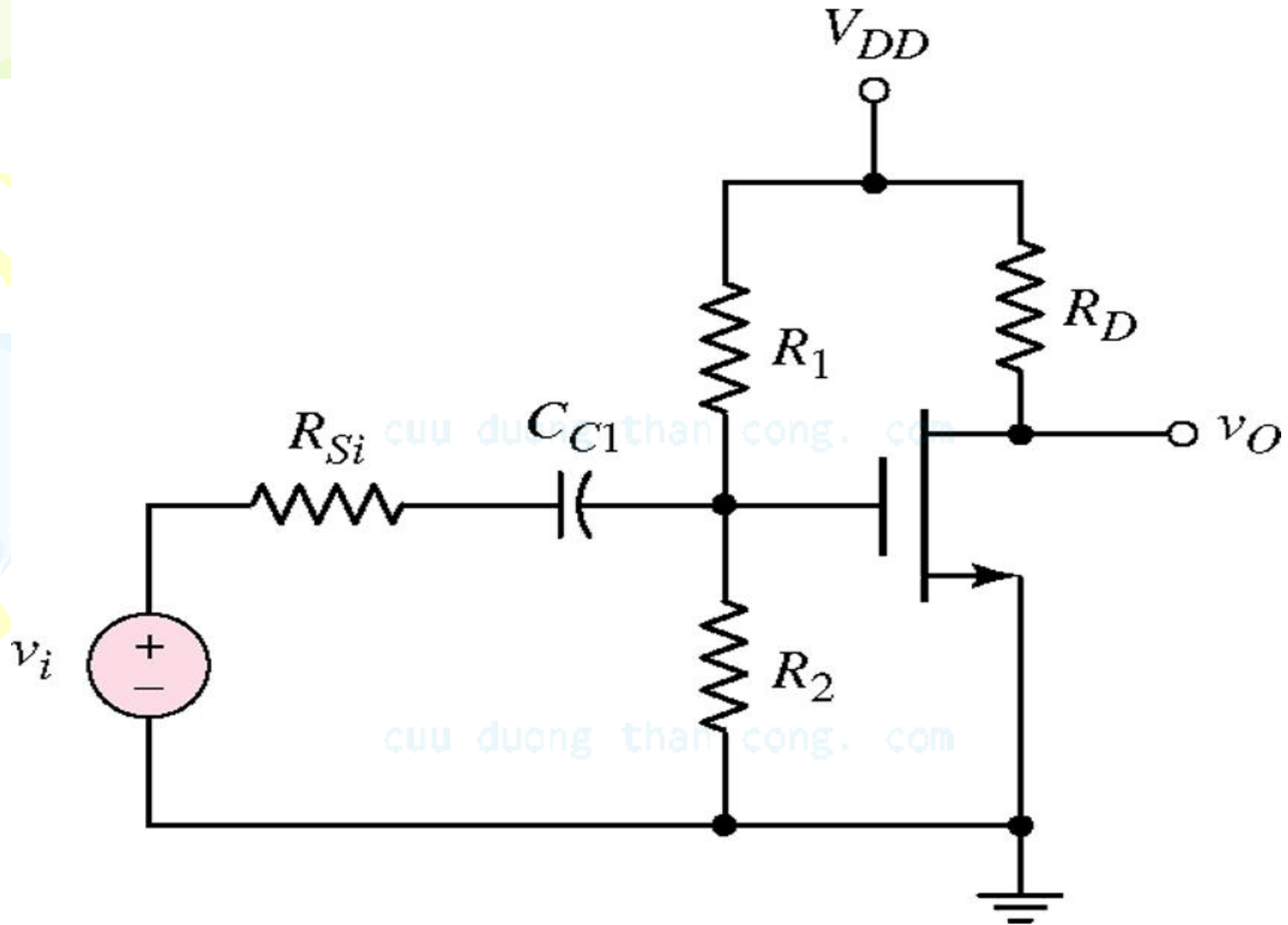
Chú ý: Tùy theo mạch có thể có trị :

$$Z_L = r_d // R_D // R_L$$

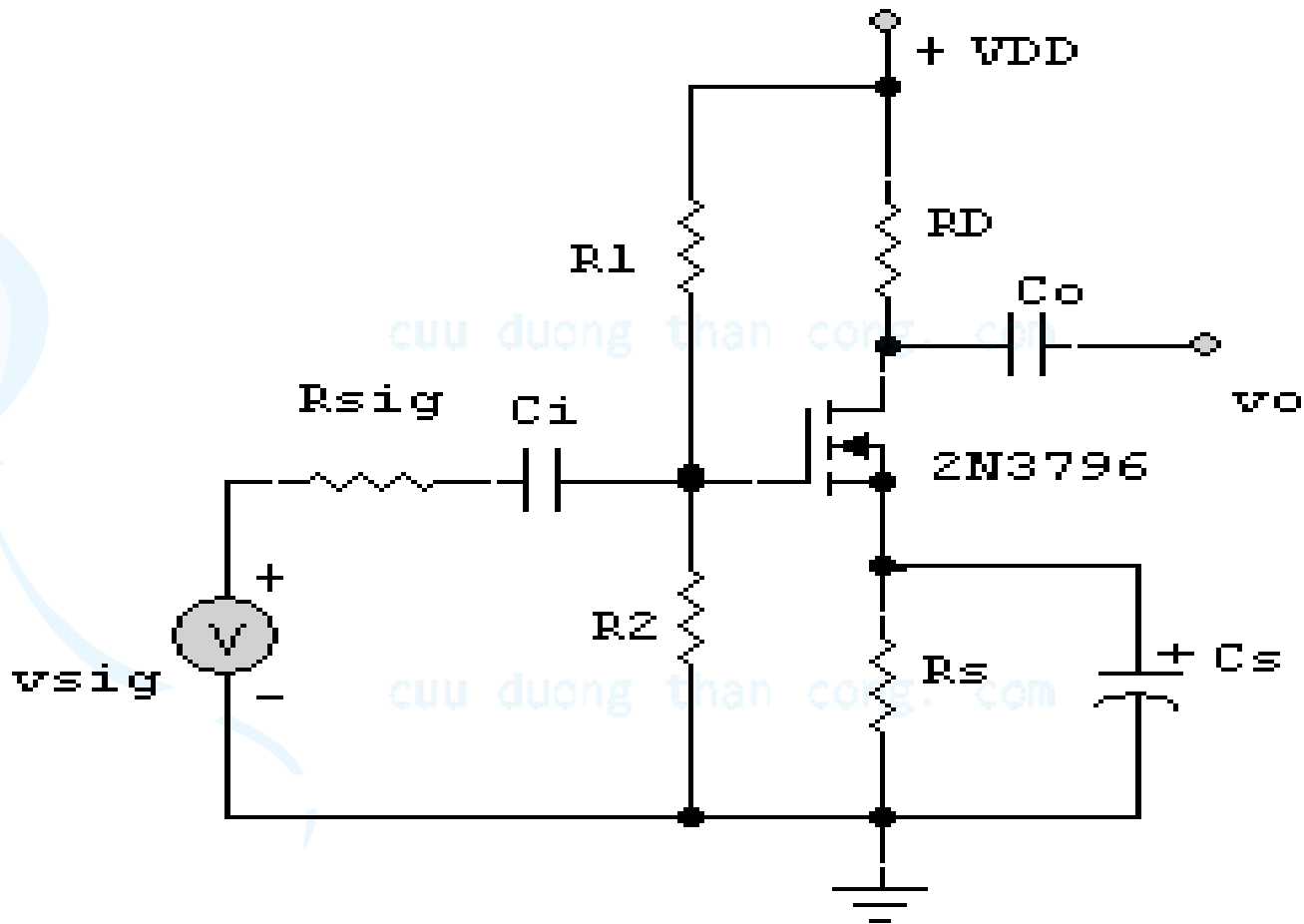
$$Z_i = R_G = R_1 // R_2$$

$$A_{VS} = A_V [Z_i / (Z_i + R_{sig})]$$

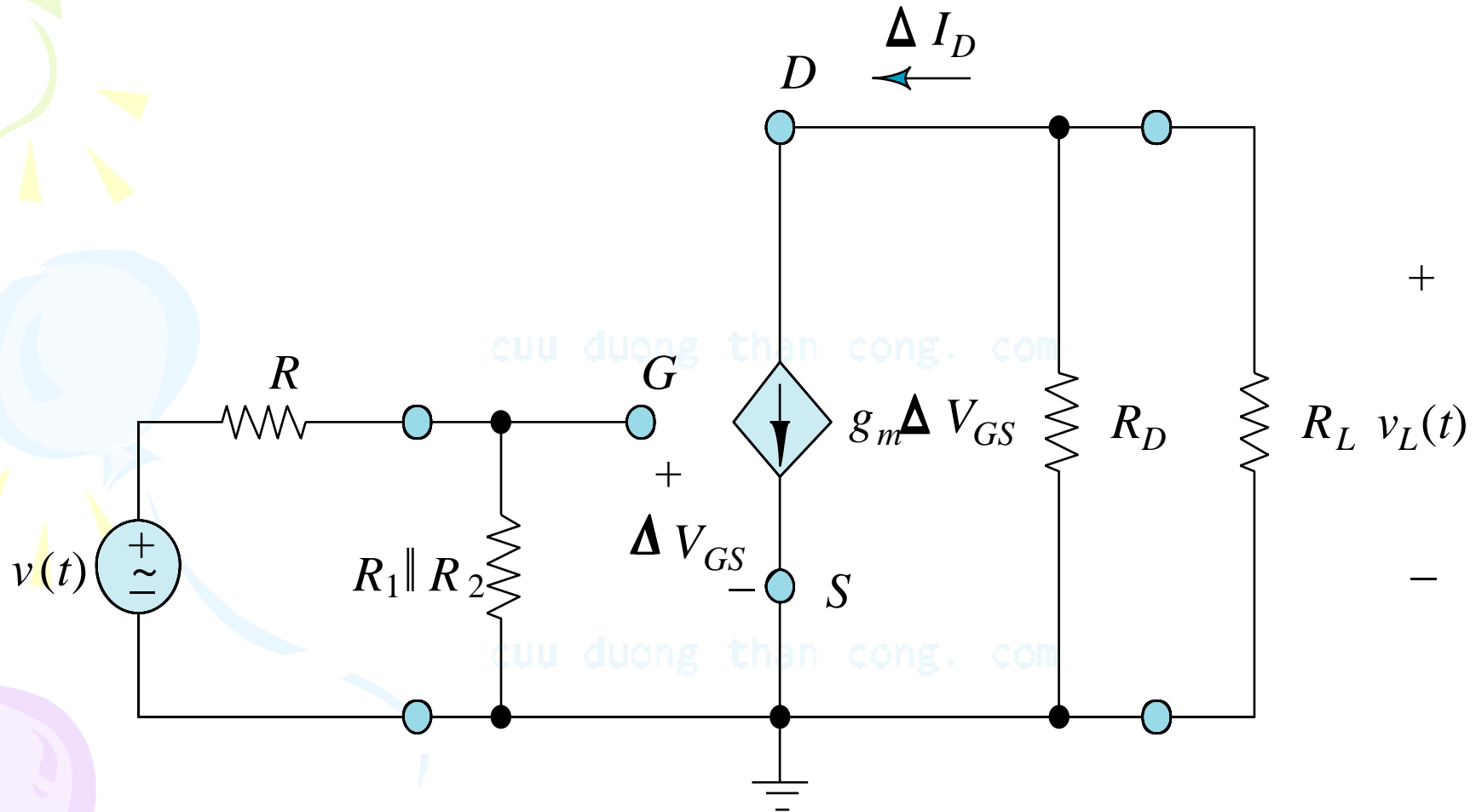
2. Mạch khuếch đại N-EMOST ráp CS



- Hoặc mạch có dạng:



Mạch tương đương N- EMOSFET ráp CS



- Phân giải trong chế độ động:

Ta có kết quả như ở cách phân giải mạch khuếch đại dùng JFET.

$$Z_i = R_G \quad (1)$$

$$A_V = V_o / V_i = V_o / V_{gs} = -g_m Z_L$$

(2)

$$Z_o = r_d$$

$$\text{và } Z_o' = r_d // R_D \quad (3)$$

Chú ý:

Tùy theo mạch có thể có trị :

$$Z_L = r_d // R_D // R_L$$

$$Z_i = R_G = R_1 // R_2$$

$$A_{VS} = A_V [Z_i / (Z_i + R_{sig})]$$

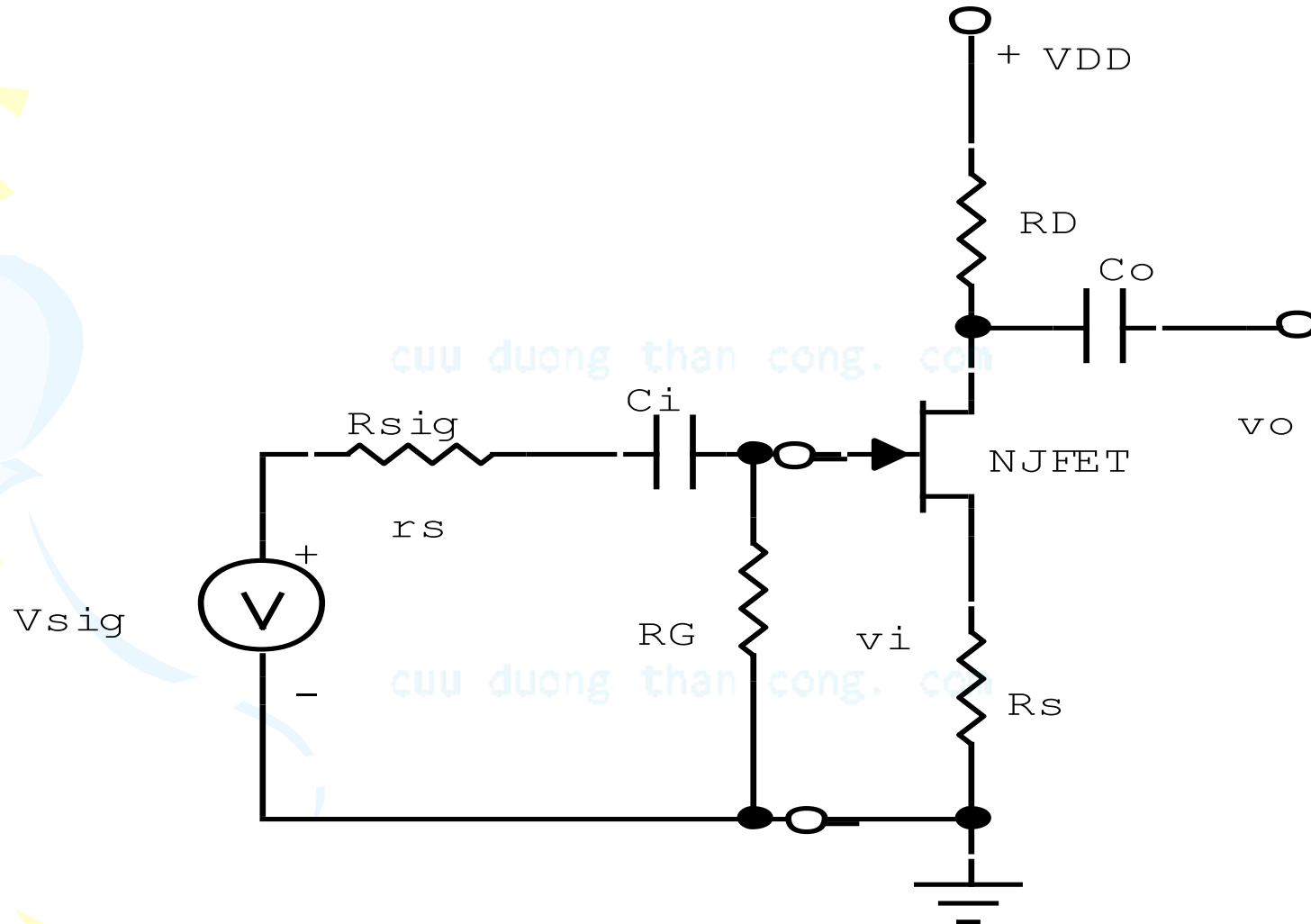
3. Mạch khuếch đại N-DMOSFET ráp CS

- Do DMOSFET có thể hoạt động theo kiểu hiểm hoặc kiểu tăng nên :
- Với kiểu hiểm : phân giải như JFET.
- Với kiểu tăng: phân giải như MOSFET.

tuy nhiên DMOS ít được dùng theo kiểu tăng vì dễ làm hư linh kiện khi có dòng I_D quá lớn.

cuu duong than cong. com

- Mạch khuếch đại ráp CS không có tụ Cs áp dụng chung cho JFET và MOSFET.



- **Mạch tương đương**

Tổng trở vào:

$$Z_i = R_G \quad (1)$$

Độ lợi thế:

$$I_o = g_m V_{gs} Z_L$$

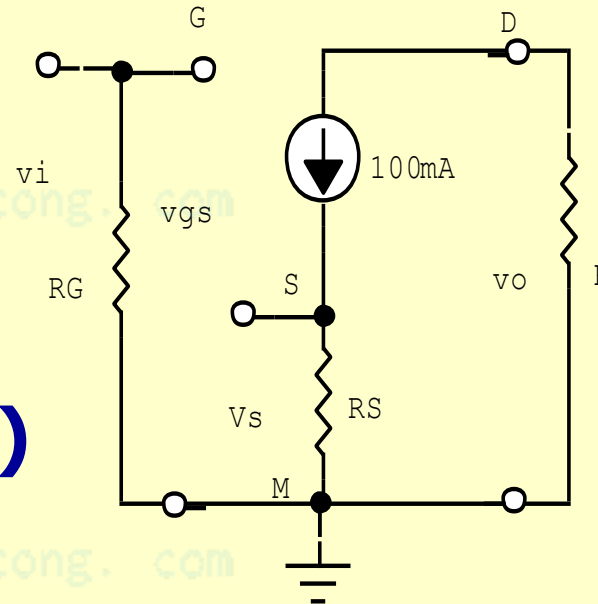
$$V_i = V_{gs}(1 + g_m R_S)$$

$$V_o = -Z_L I_o =$$

$$= -g_m V_{gs} R_D$$

$$A_v = \frac{V_o}{V_i} = \frac{g_m R_D}{1 + g_m R_S}$$

(2)

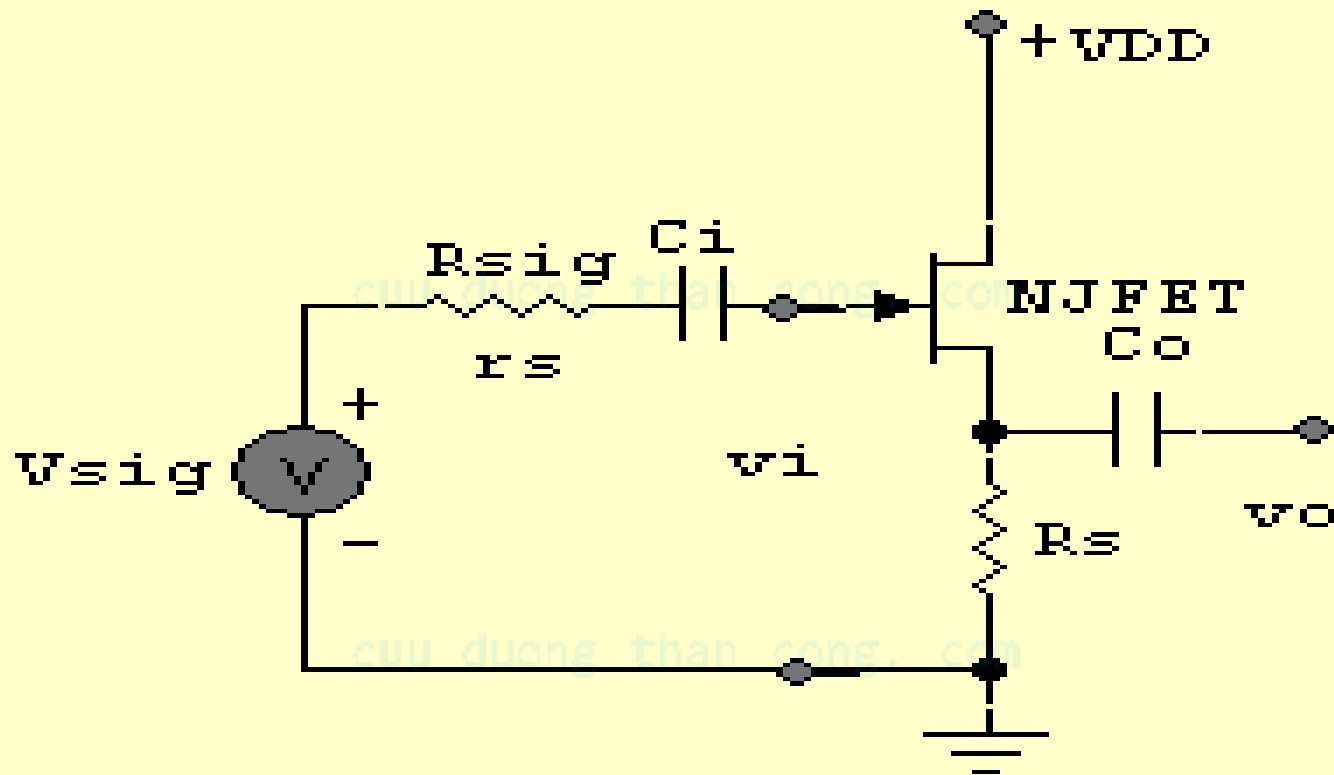


Tổng trở ra :

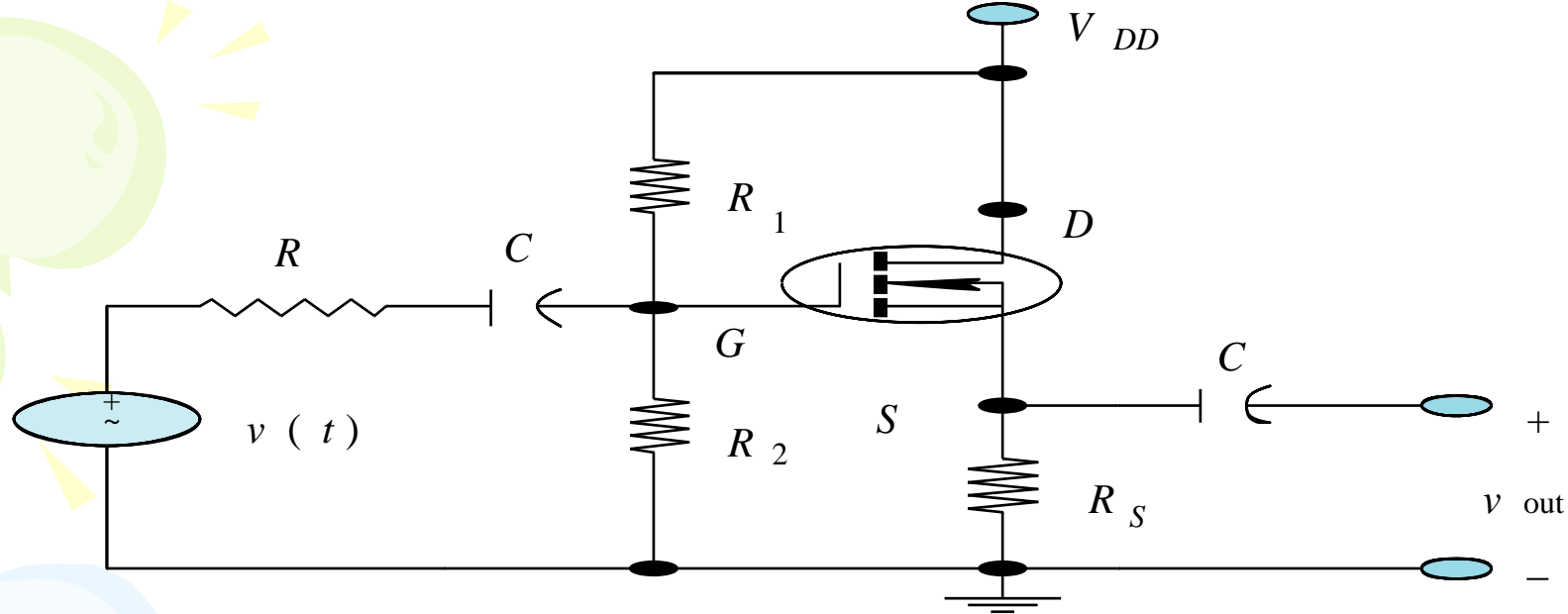
$$Z_o = r_d // R_D = R_D \quad (3)$$

4. Mạch khuếch đại theo nguồn(SF hay CD)

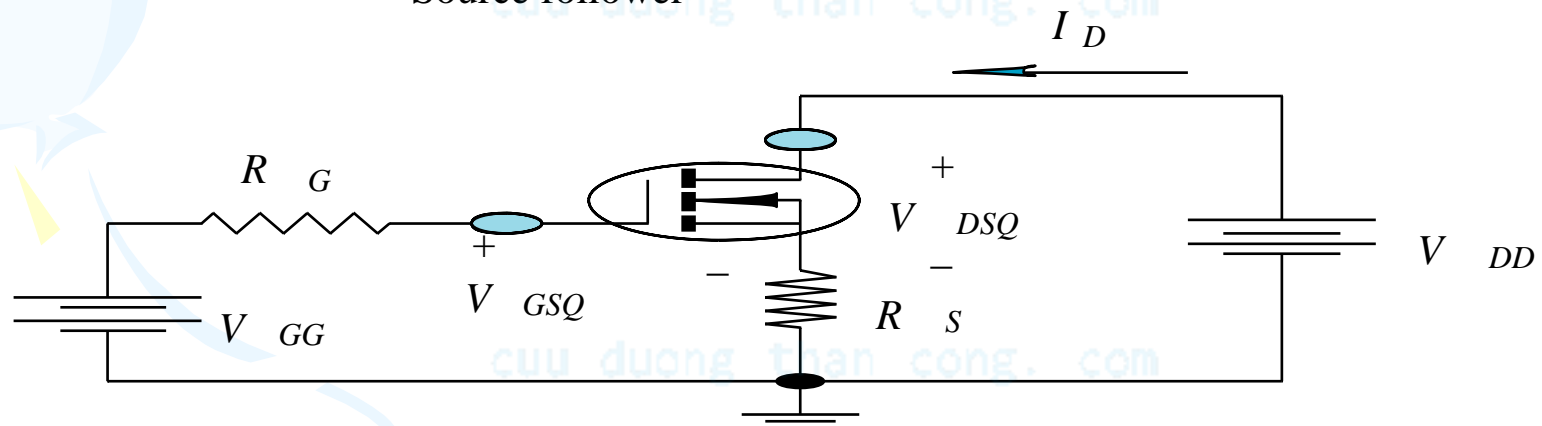
a. Mạch JFET khuếch đại theo nguồn



Hoặc mạch dùng N-EMOSFET hình sau:



Source follower

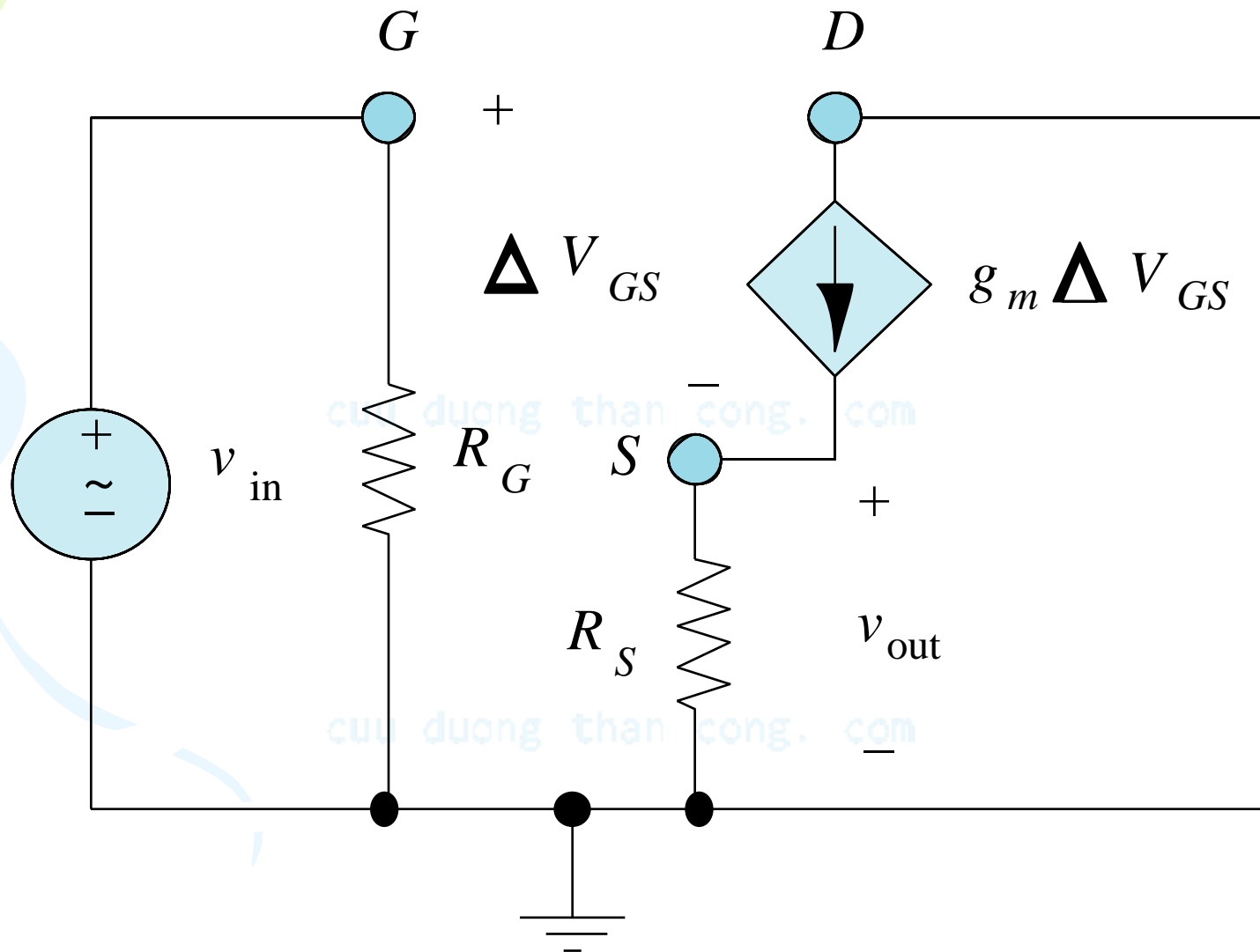


$$R_G = R_1 \parallel R_2$$

$$V_{GG} = \frac{R_2}{R_1 + R_2} V_{DD}$$

DC circuit

Mạch tương đương (ac) của mạch SF



• Phân giải ac

Tổng trở vào:

$$Z_i = R_G \quad (1)$$

Độ lợi thế:

$$v_o = g_m v_{gs} Z_L$$

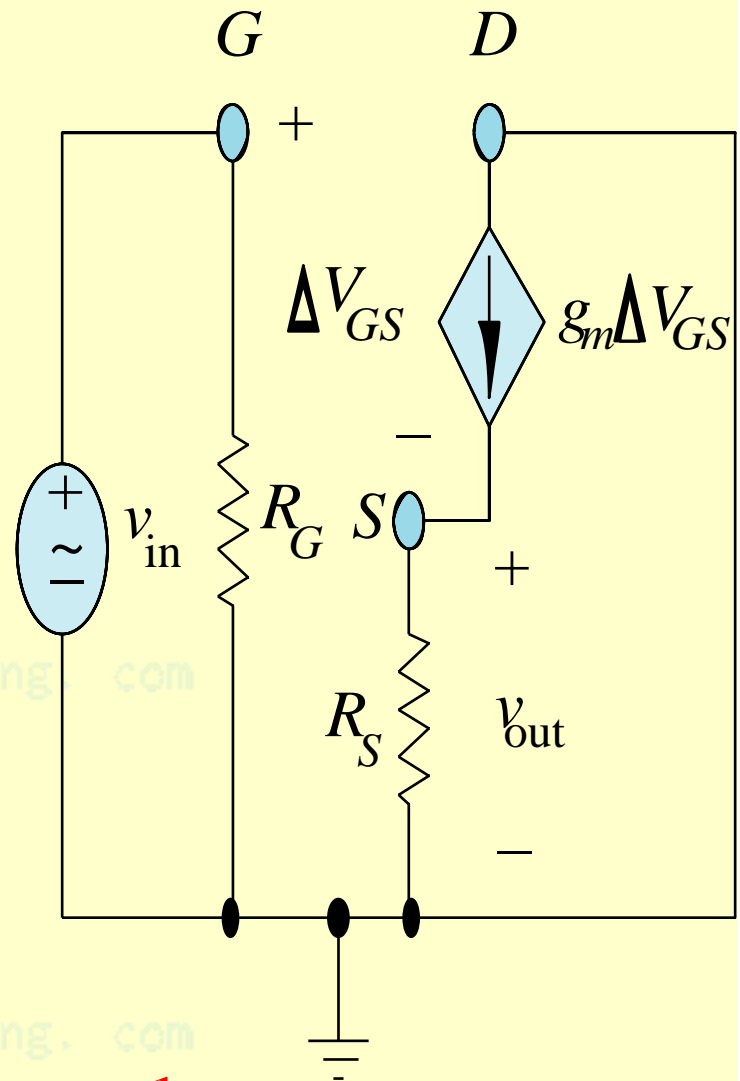
$$V_i = V_{gs} + R_S g_m V_{gs} = V_{gs} (1 + g_m R_S)$$

$$A_v = \frac{V_o}{V_i} = \frac{g_m R_S}{1 + g_m R_S} < 1 \quad (2)$$

Tổng trở ra:

$$Z_o = \left. \frac{V_o}{I_o} \right|_{V_i=0; R_S \rightarrow \infty} = \frac{V_{gs}}{g_m V_{gs}} = \frac{1}{g_m}$$

$$Z_o' = R_S \parallel g_m$$



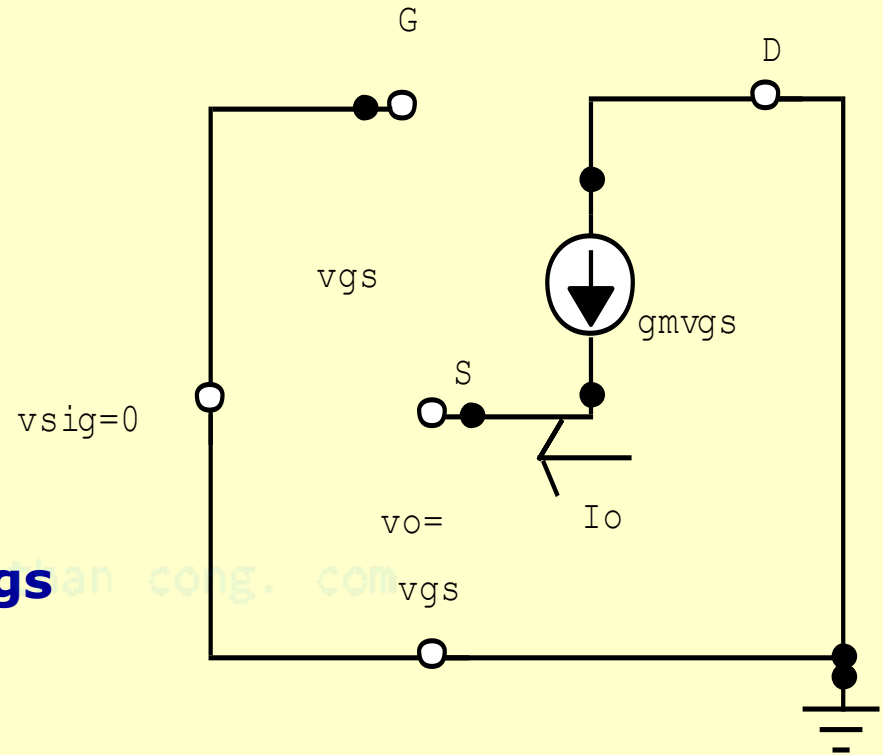
(3)

• Tổng trở ra:

$$Z_o = \left. \frac{V_o}{I_o} \right|_{V_i=0; R_S \rightarrow \infty}$$

$$V_{sig} = 0 \rightarrow V_o = V_{gs}$$

$$I_o = g_m V_{gs}$$



$$Z_o = \left. \frac{V_o}{I_o} \right|_{V_i=0; R_S \rightarrow \infty} = \frac{V_{gs}}{g_m V_{gs}} = \frac{1}{g_m}$$

$$Z_o' = R_S \parallel g_m$$

5.FET ở tần số cao

Ở tần số cao do có sự hiện diện các điện dung liên cực nên mạch có dạng(H.)

Ta gọi các tổng dẫn:

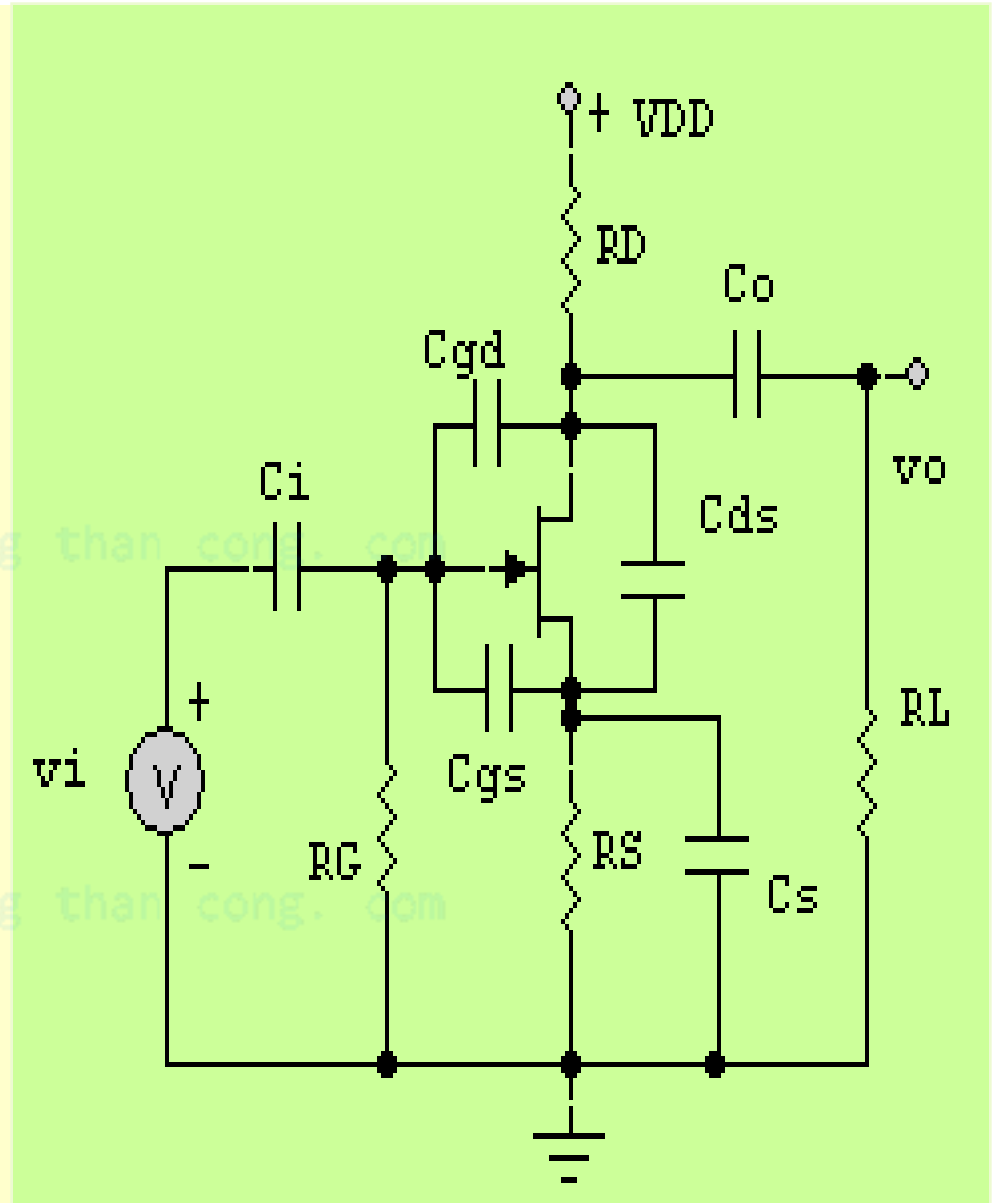
$$Y_{gd} = \omega C_{gd}$$

$$Y_{gs} = \omega C_{gs}$$

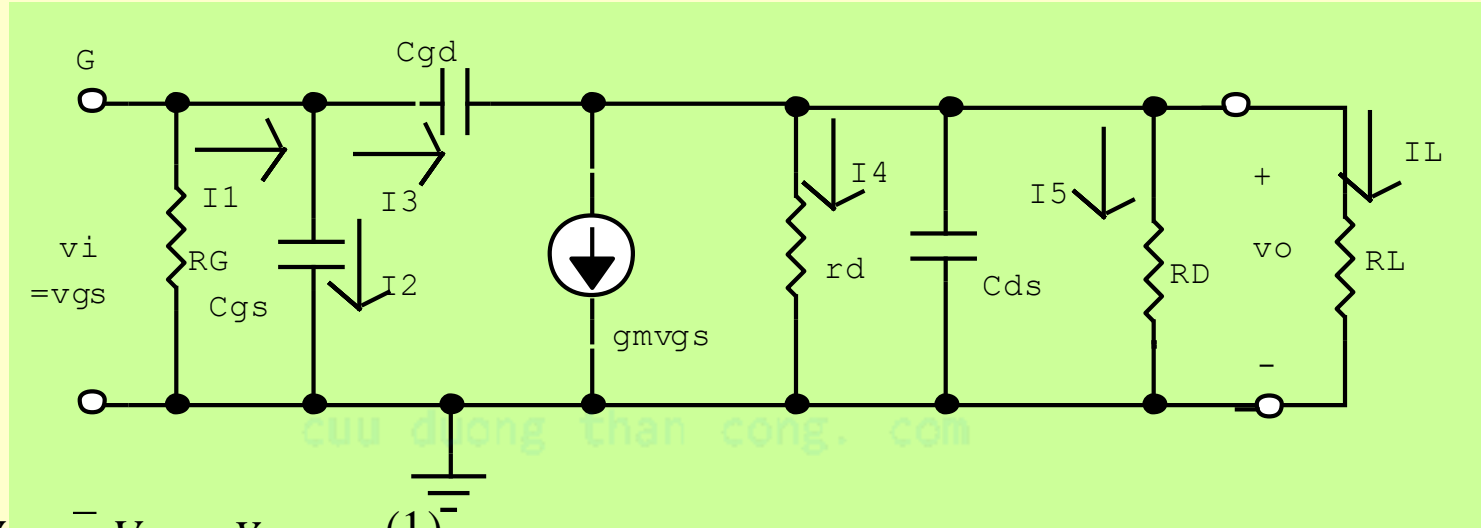
$$Y_{ds} = \omega C_{ds}$$

Và các điện dẫn:

$$g_d = \frac{1}{r_d} \quad ; \quad Y_L = \frac{1}{R_L}$$



- Ta có mạch tương đương ac:



$$I_3 = V_{gs} - V_{dg} Y_{gd} \quad (1)$$

$$I_3 = g_m V_{gs} + g_d V_{ds} + Y_{ds} V_{ds} + Y_L V_{ds} \quad (2)$$

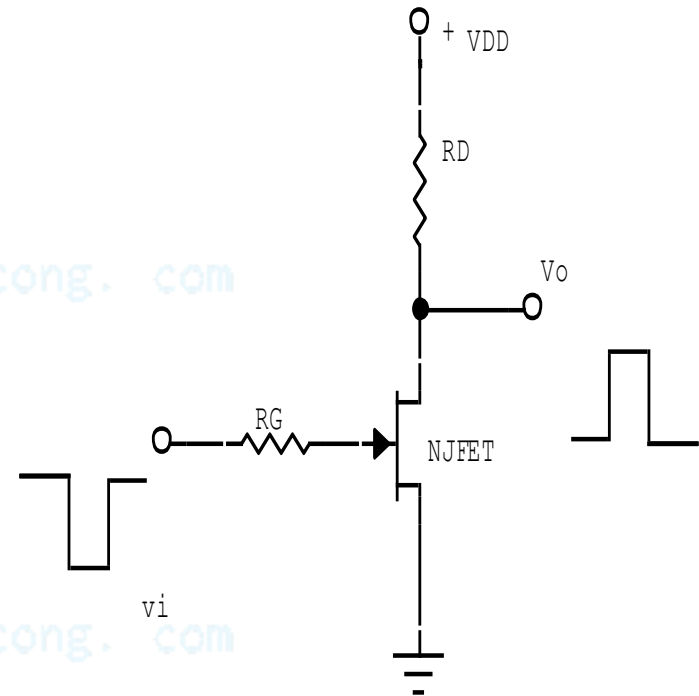
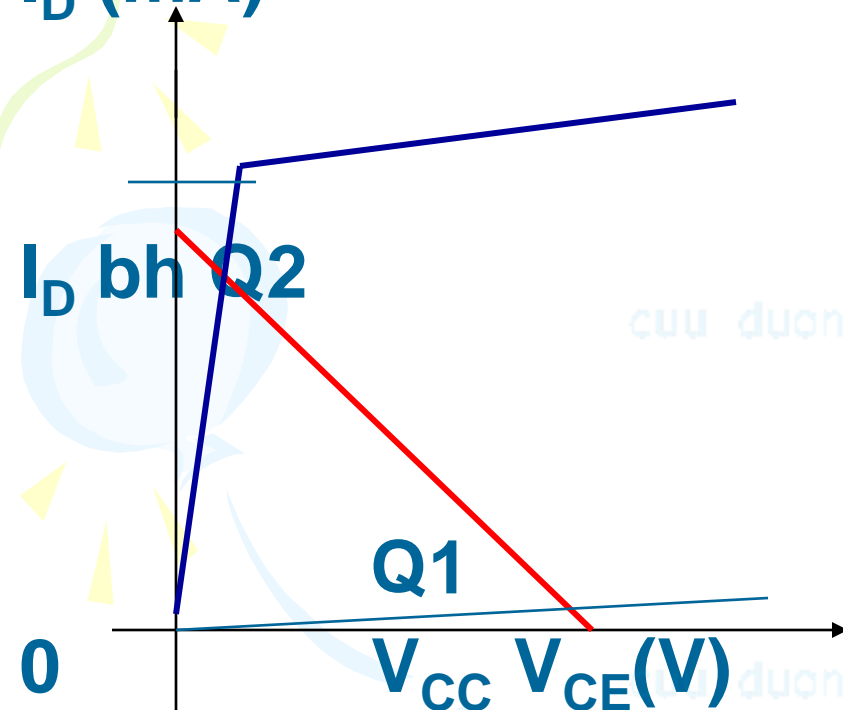
$$(1) = (2) \Rightarrow V_{gs} - g_m + Y_{gd} = V_{ds} g_d + Y_{ds} + Y_{gd} + Y_L \Rightarrow$$

$$A_v = \frac{V_o}{V_i} = \frac{V_o}{V_{gs}} - \frac{-g_m + Y_{gd}}{Y_{ds} + Y_{gd} + g_d + Y_L}$$

B Mạch giao hoán (switch)

I. Cổng NOT dùng JFET

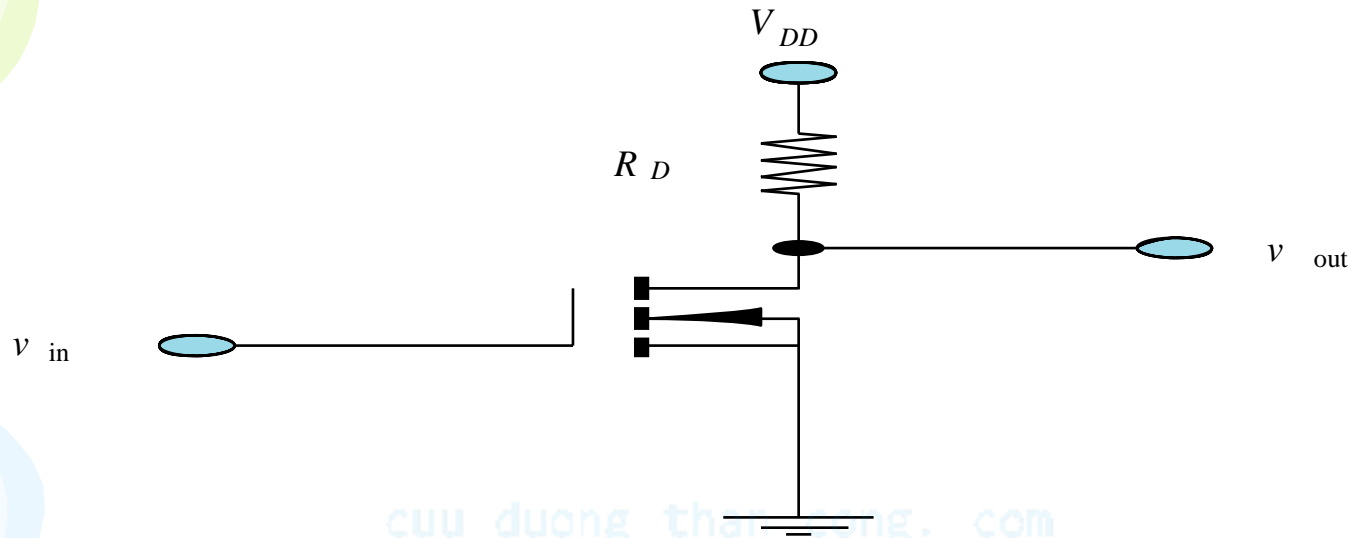
I_D (mA)



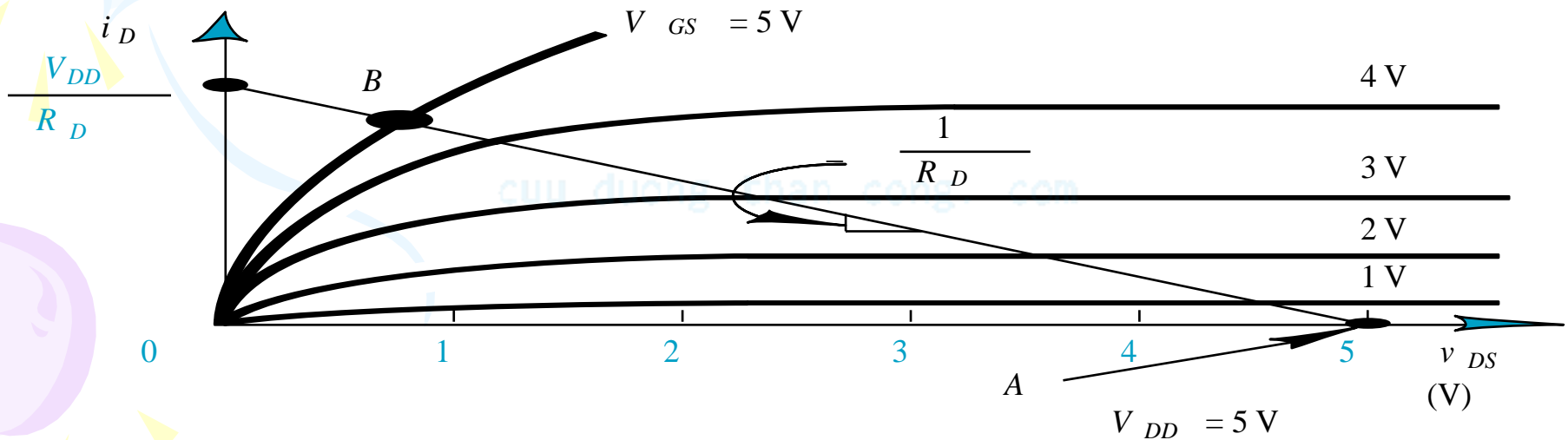
$$V_i < V_{GSOFF} \rightarrow V_o = V_{DD}$$

$$V_i > V_{GSOFF} \rightarrow V_o = R_D I_{D(ON)} = 0V$$

II. Cổng NOT dùng MOSFET



MOSFET inverter



Switching characteristic

• Điều kiện phân cực

EMOSFET có đặc tính sau:

Khi EMOSFET ngưng $\rightarrow R_{D(OFF)}$ rất lớn.

Khi EMOSFET dẫn $\rightarrow R_{D(ON)}$ rất bé .

Nhà sản xuất cho : $R_{D(ON)} = V_{DS(ON)} / I_{D(ON)}$
đo tại Q_{test} .

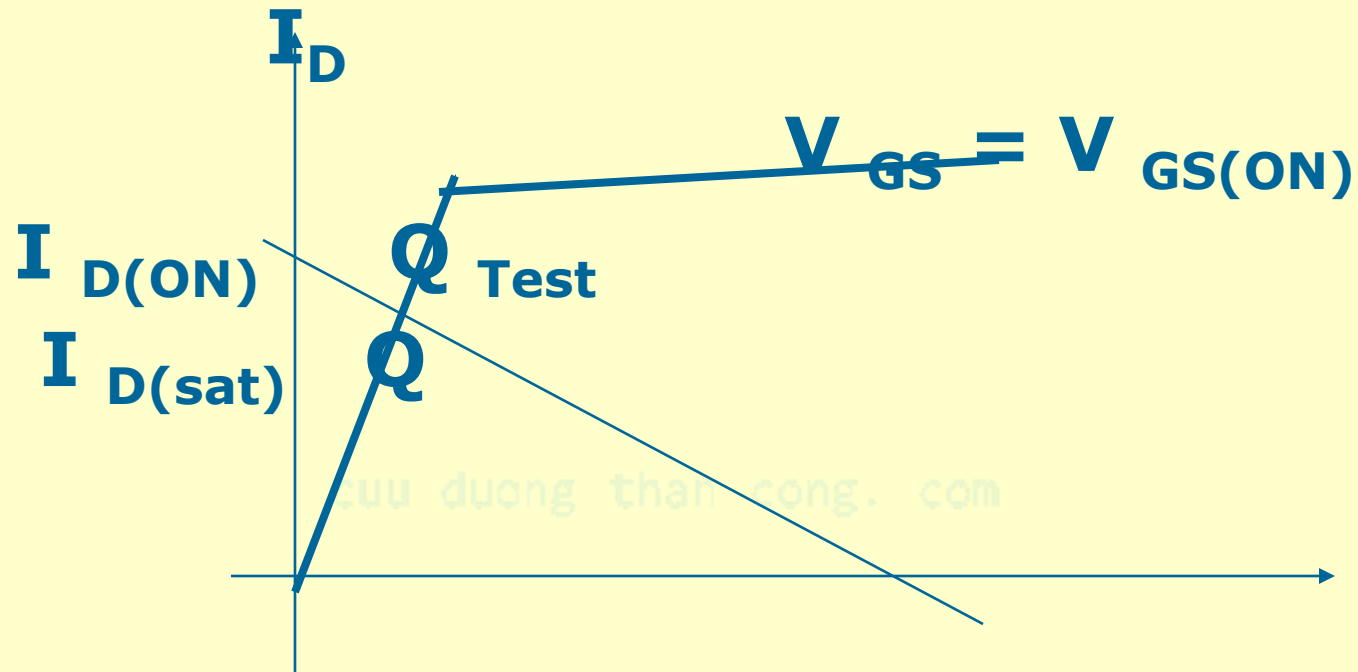
Phân cực trong vùng điện trở thoả điều kiện: $I_{Dbh} < I_{D(ON)}$ khi $V_{GS} = V_{GS(ON)}$

- **Khi $v_i < V_{TH} \rightarrow$ NMOSFET ngưng, $V_o = V_{DD} = V_{OH}$**
Khi $V_i > V_{TH} \rightarrow$ NMOSFET dẫn, $V_o = 0V = V_{OL}$

$$V_o = [R_{DS(ON)} / (R_{DS(ON)} + R_D)] V_{DD} = 0V$$

- **Vùng điện trở**

-



$$R_{DS(ON)} = V_{DS(ON)} / I_{D(ON)}$$

$$I_{D(sat)} = V_{DD} / R_D$$

$$I_{D(sat)} < I_{D(ON)} \quad \text{khi} \quad V_{GS} = V_{GS(ON)}$$

Cách hoạt động chế độ giao hoán

- Khi không có xung vào: **MOSFET không dẫn**.

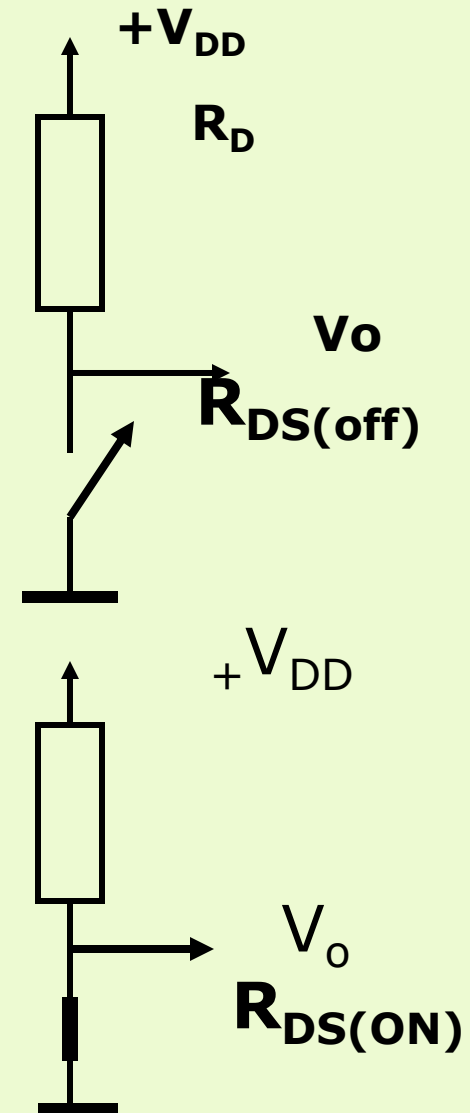
Ta có:

$$\begin{aligned} V_{o(off)} &= \frac{R_{DS(off)}}{R_D + R_{DS(off)}} V_{DD} \cong V_{DD} = V_{OH} \\ &= \frac{\infty \Omega}{1k\Omega + \infty \Omega} 20V = 20V \end{aligned}$$

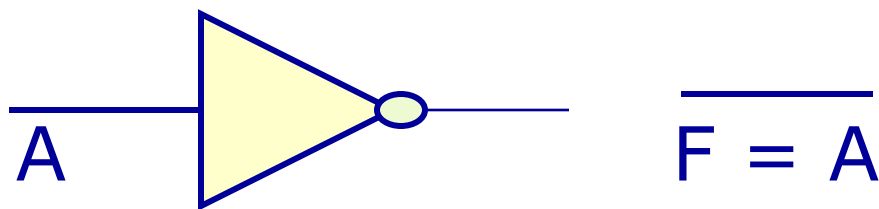
- Khi có xung vào: **MOSFET dẫn**

Ta có:

$$\begin{aligned} V_{o(on)} &= \frac{R_{DS(on)}}{R_D + R_{DS(on)}} V_{DD} \cong 0V = V_{OL} \\ &= \frac{10\Omega}{1k\Omega + 10\Omega} 20V = 0,198V \cong 0,2V \end{aligned}$$



- Cổng NOT – NMOS:
ký hiệu



Bảng sự thật:

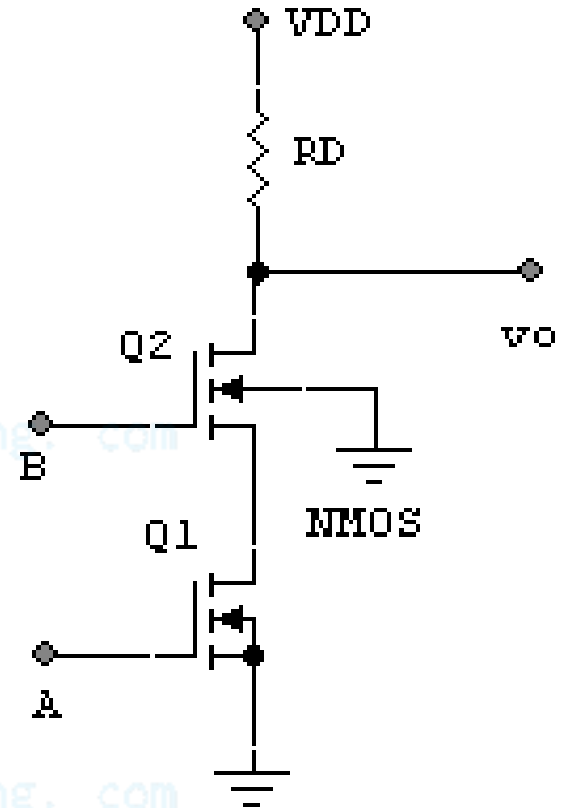
A	F
0	1
1	0

• Cổng NAND – NMOS tải thụ động

0 = logic 1 = 0V– 0,5V

1=logic 1 = V_{DD}

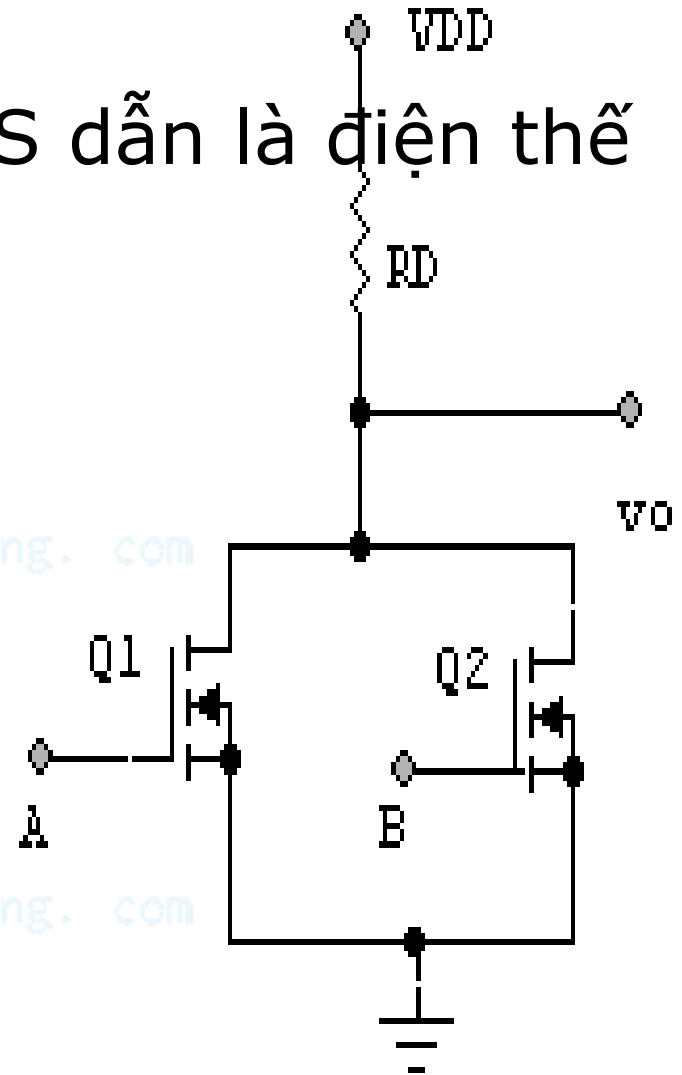
B	A	F=Vo
0	0	1
0	1	1
1	0	1
1	1	0



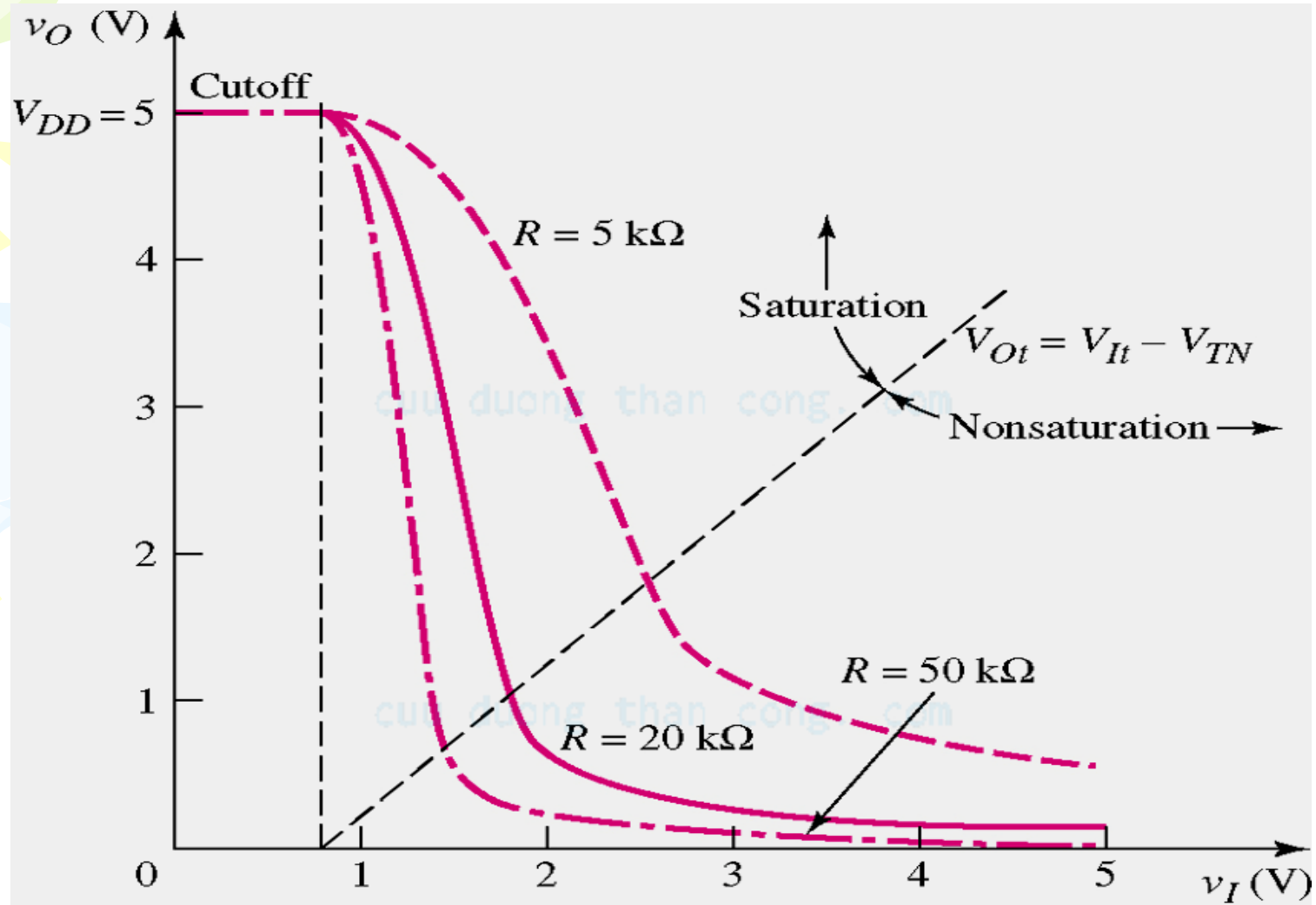
• Cổng NOR-NMOS tải thụ động

Do 2 NMOS ghép song song nên chỉ cần có 1 NMOS dẫn là điện thế ngõ ra xuống mức thấp:

B	A	$F=V_o$
0	0	1
0	1	0
1	0	0
1	1	0



Đặc tuyến chuyển NMOS với tải thụ động



• Cổng NOT – NMOS

Do độ dốc chuyển mạch không được thẳng đứng, nên chọn Q2 có điện trở lớn hơn Q1 hoặc dùng **N-DMOS làm tải động**.

• Cách hoạt động

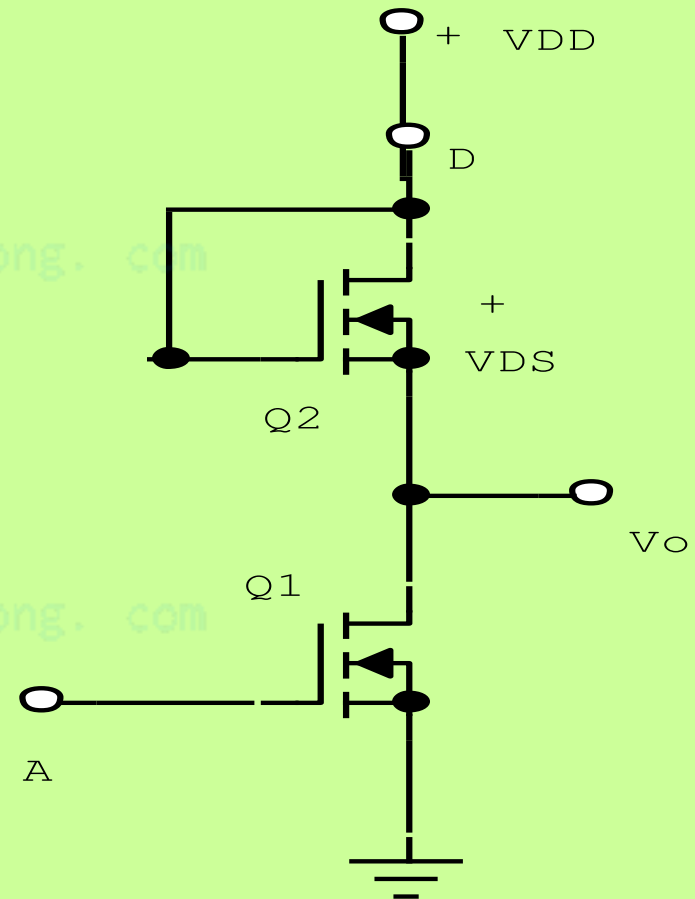
Khi $V_i < V_{TH} \rightarrow V_O = 1$

Khi $V_i = V_{DD} \rightarrow V_O = 0V$

Lưu ý :

$$1 = V_{DD} - V_{TH}$$

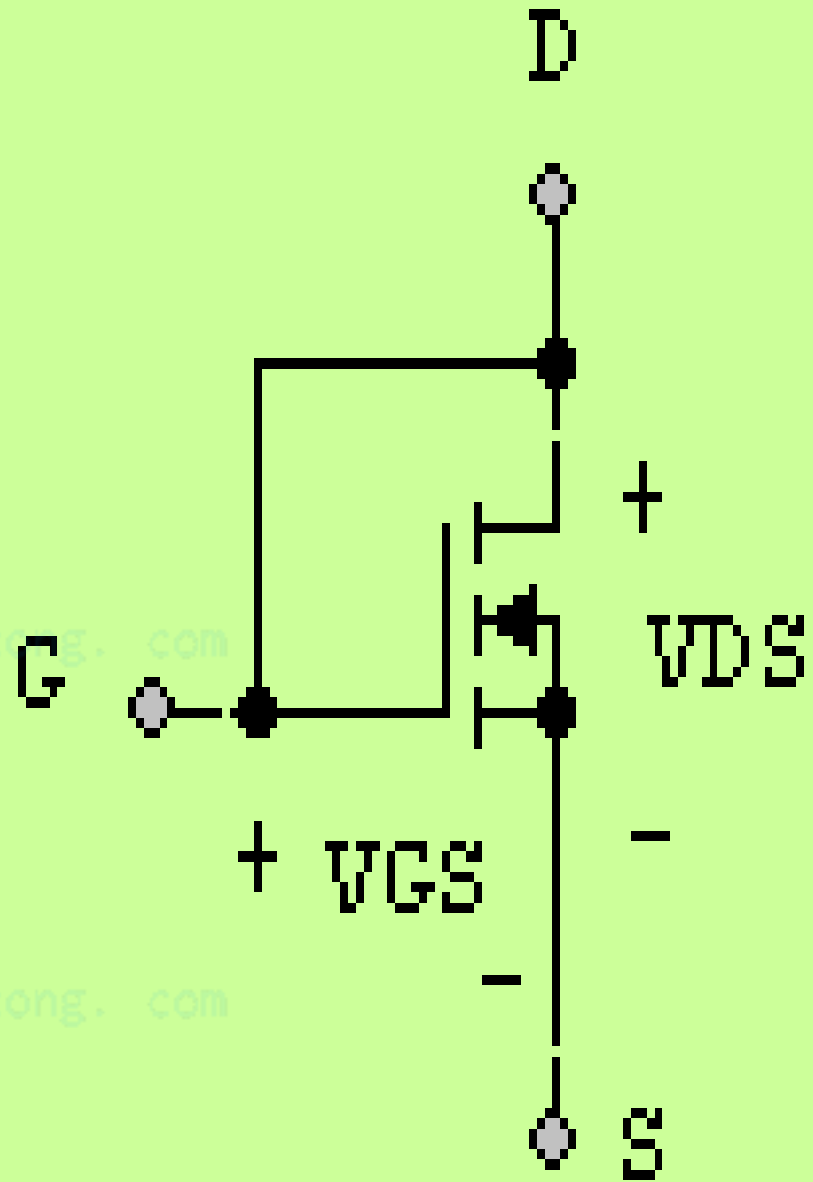
$$0 = V_{DS(ON)}$$

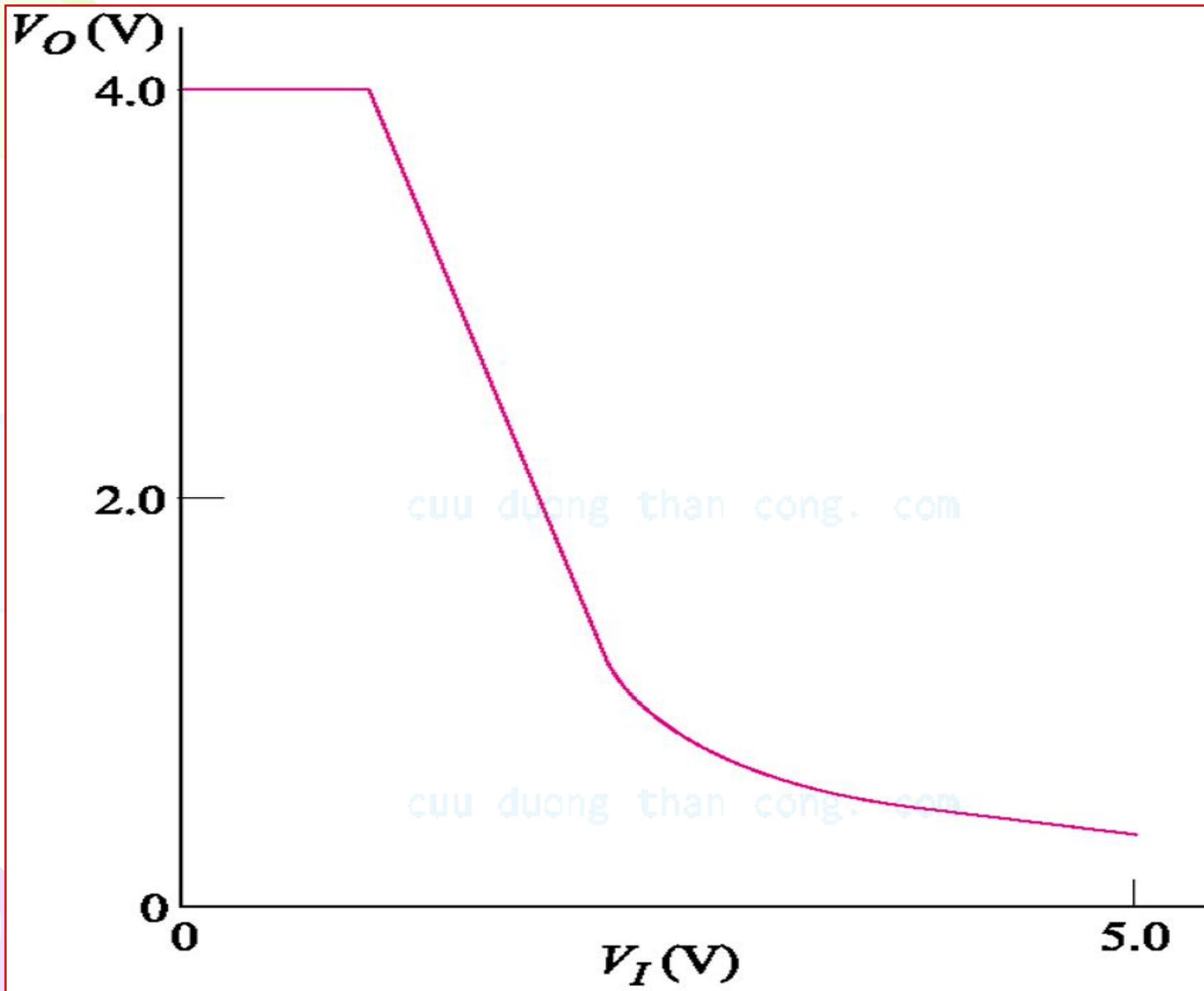


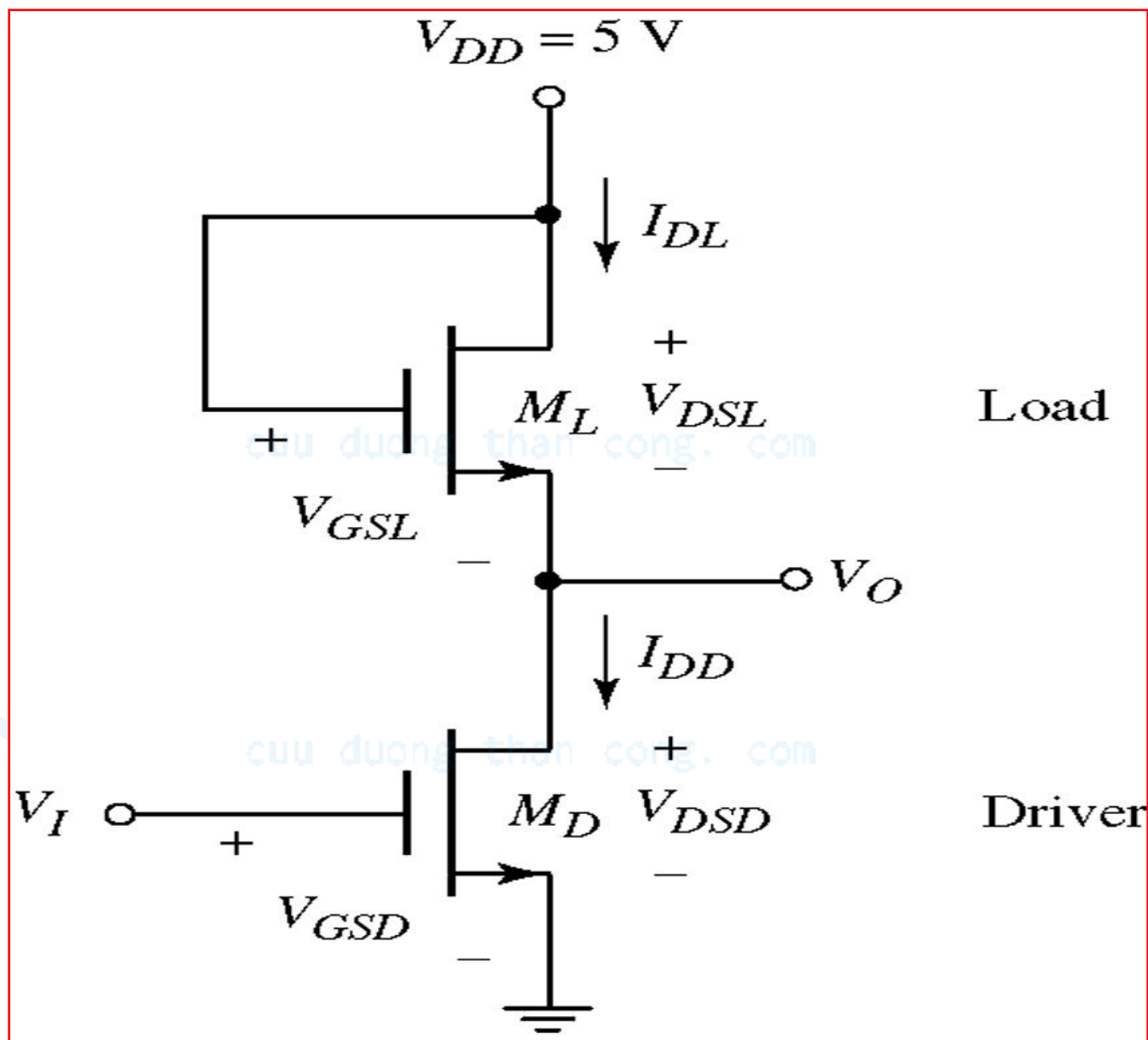
Cổng NOT với tải động

1. EMOS làm tải động

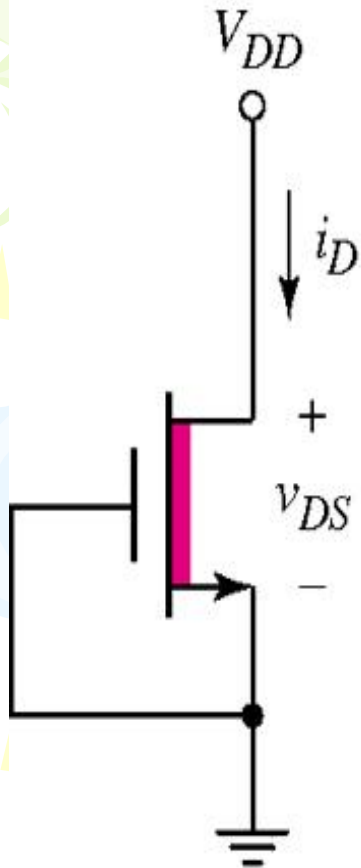
Do $V_{GS} = V_{DS}$, NMOS hoạt động như 1 điện trở không tuyến tính có trị số tương đối lớn nhưng lại chiếm chỗ rất nhỏ so với điện trở thuần trong kỹ thuật chế tạo vi mạch.



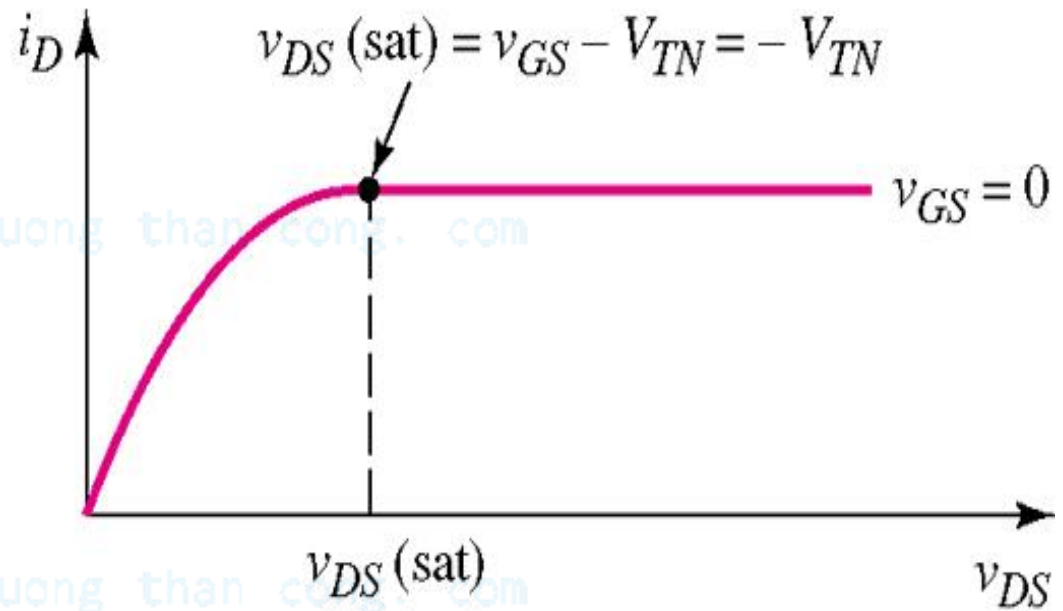




DMOS là tải động

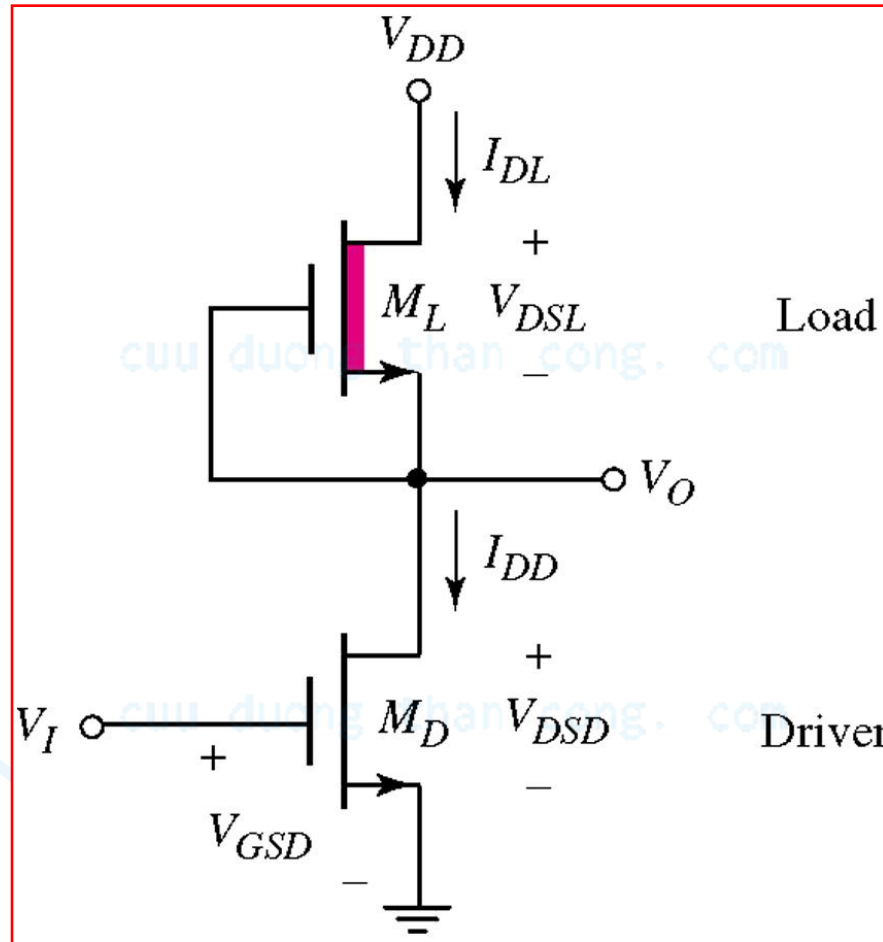


(a)



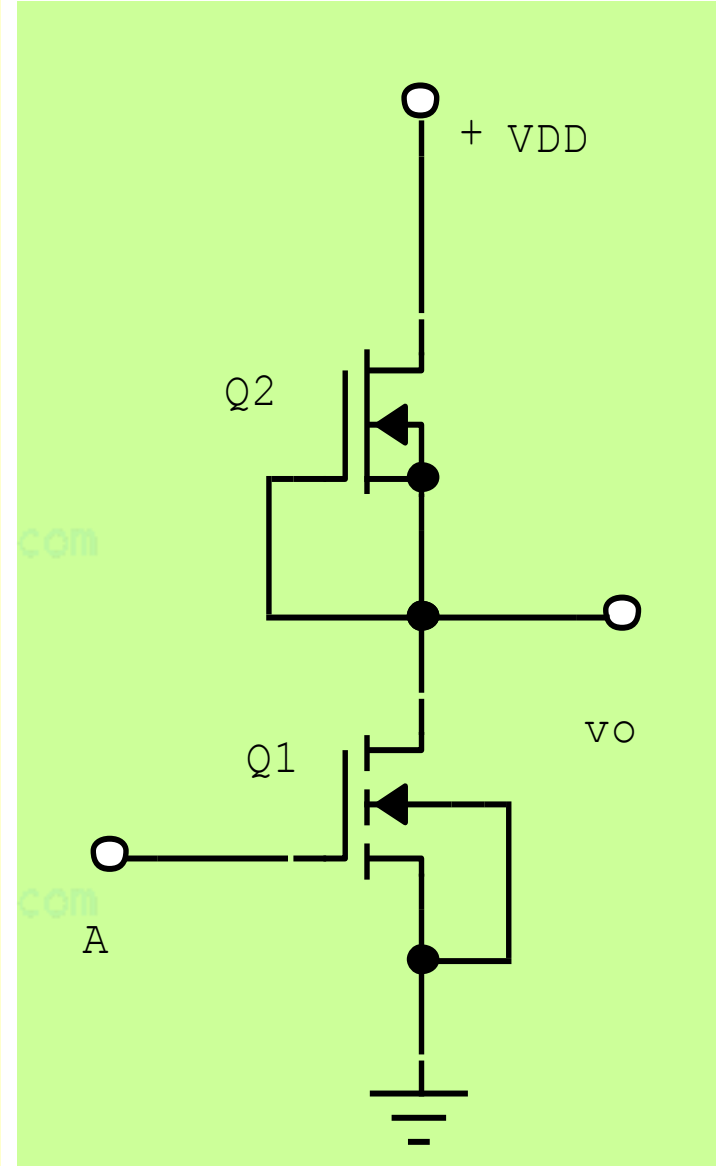
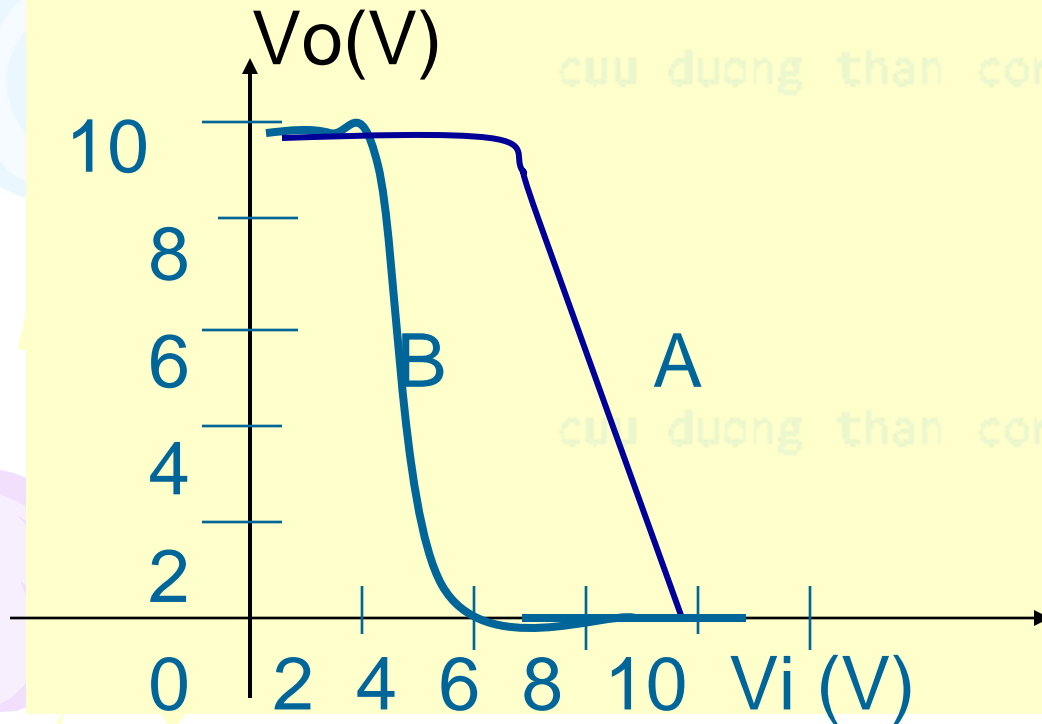
(b)

NMOS với tải động là DMOS

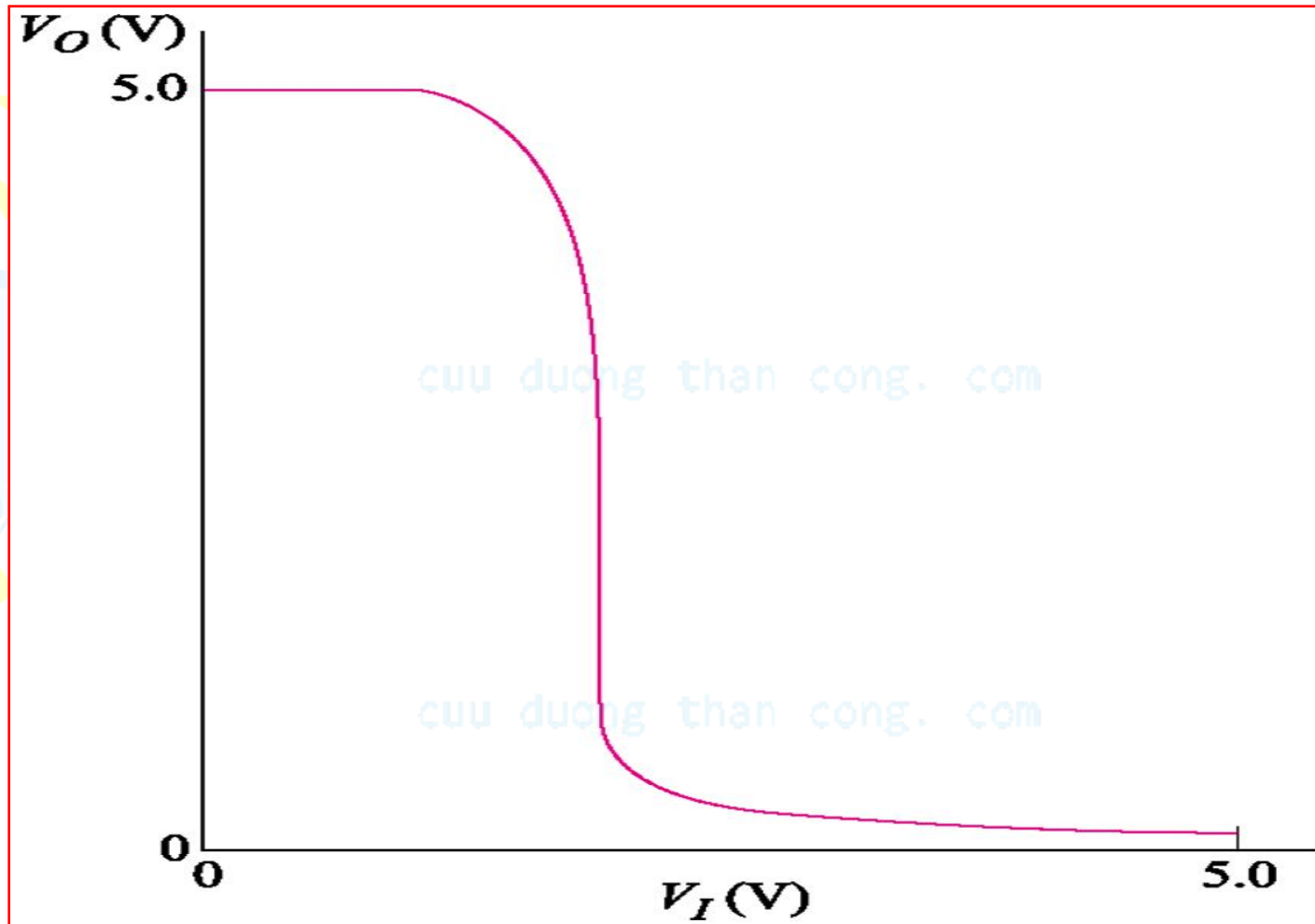


Tải động là D-NMOS

- Đặc tuyến chuyển nhanh hơn (độ dốc thẳng hơn) tải động là EMOS (h.B).
- Với $V_{GS2} = 0V$; $V_i = V_{GS1}$ và $V_o = V_{DS1} = V_{DD} - V_{DS2}$.



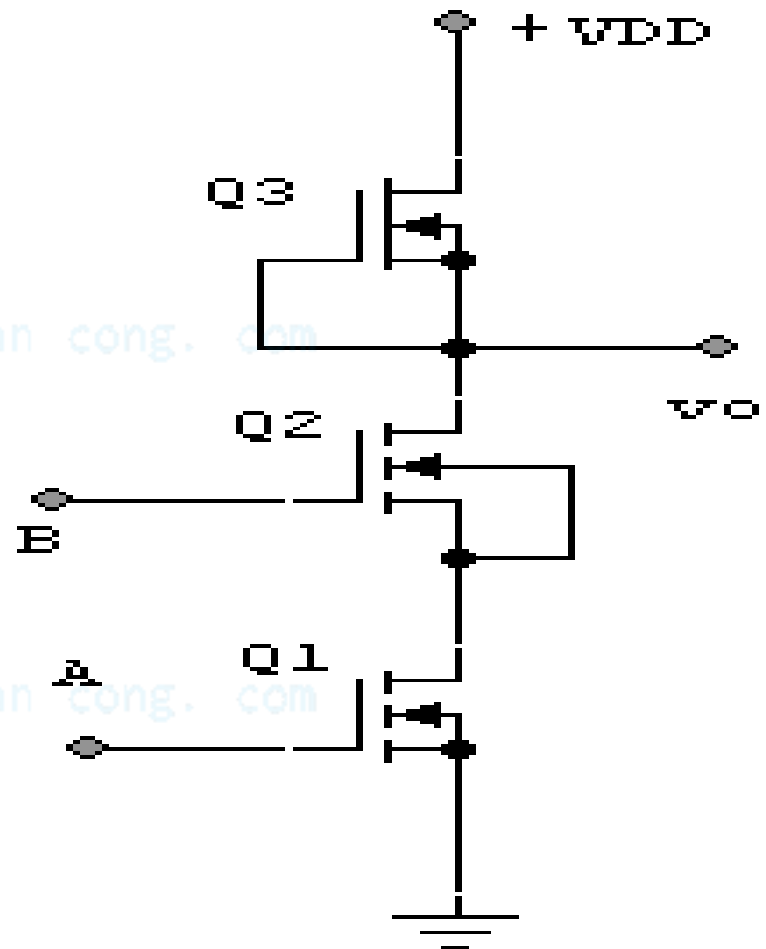
Đặc tuyến chuyển của N-EMOS tải động là N-DMOS



Cổng NAND-NMOS tải động

- Mạch điện
- Bảng chân lý

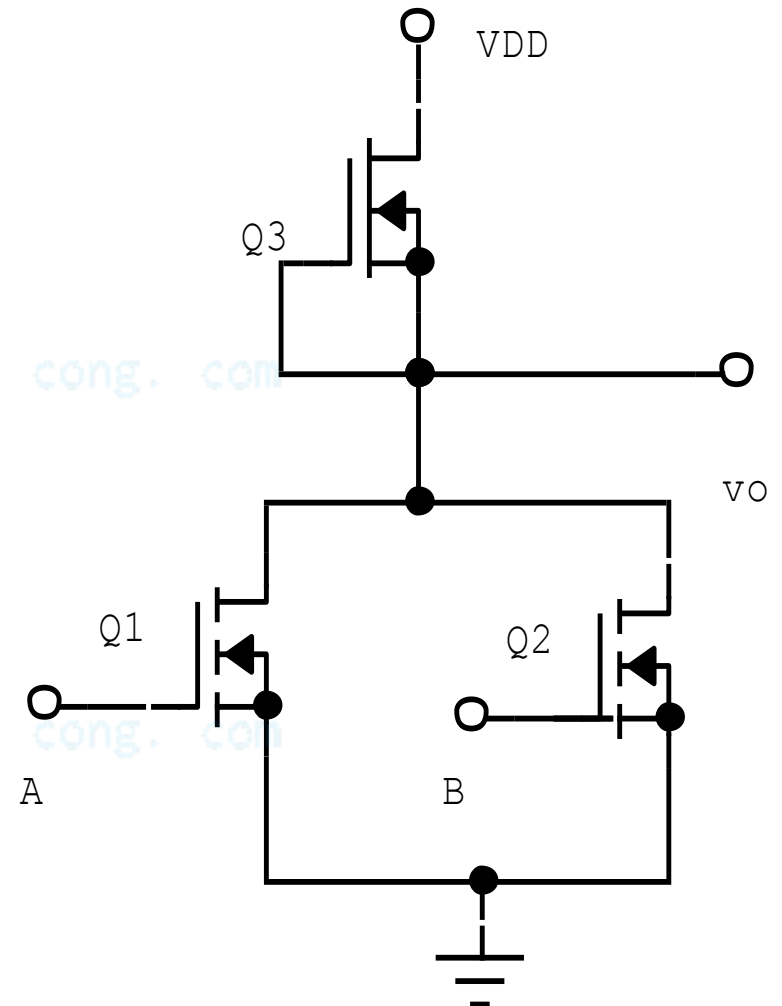
Vào B	Vào A	Ra $Y = V_o$
0	0	1
0	1	1
0	1	1
1	1	0



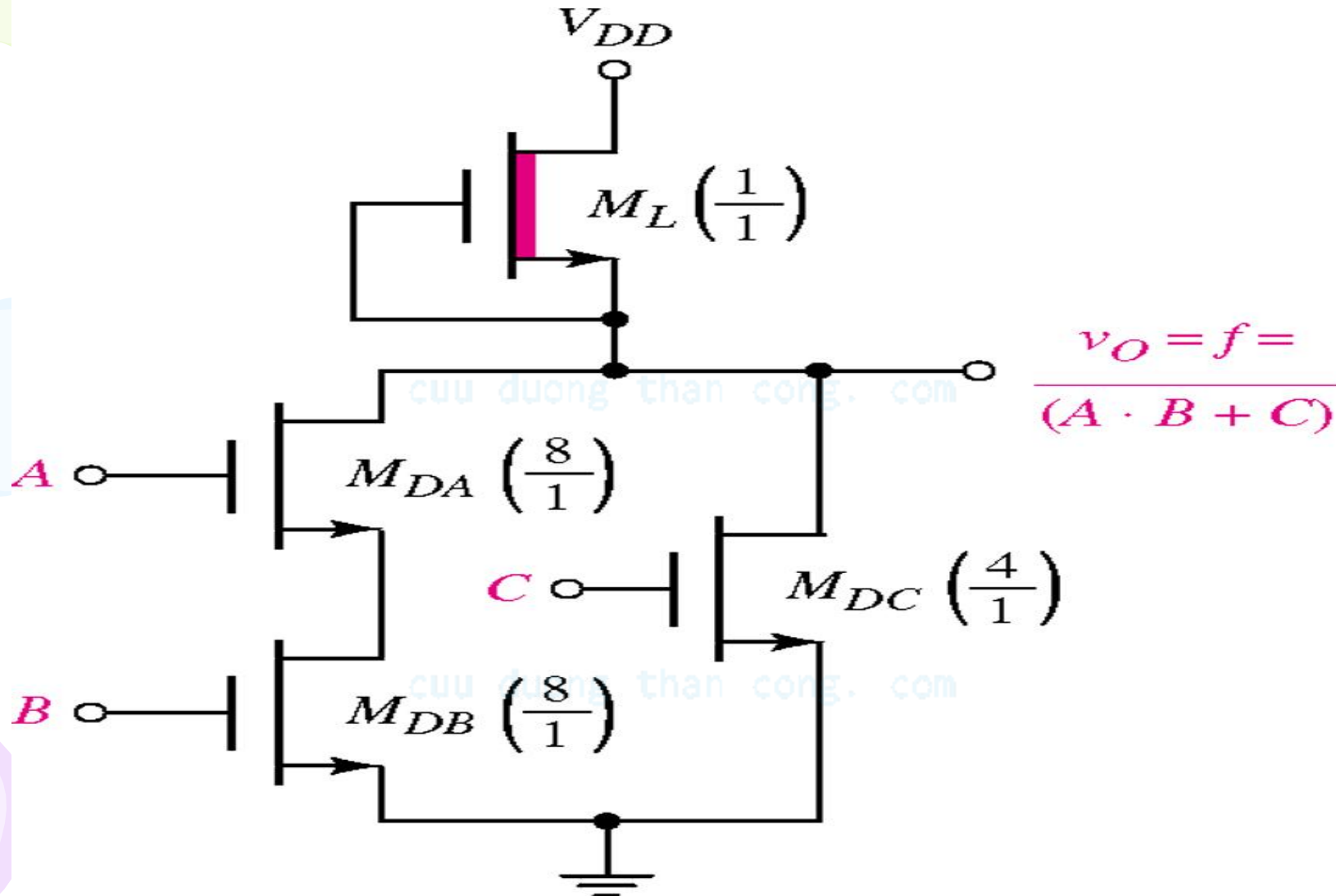
Cổng NOR-NMOS tải động

- Mạch điện
- Bảng chân lý

B	A	$Y=V_o$
0	0	1
0	1	0
1	0	0
1	1	0



Cổng logic NMOS tổng hợp



III. Cổng logic dùng CMOS

• Cấu trúc : N-MOS + P-MOS

$V_{GSN} > V_{THN} > 0 \rightarrow Q_1$ dẫn

$V_{GSP} > V_{TNP} < 0 \rightarrow Q_2$ dẫn

1. Cổng NOT-CMOS

- Khi $V_i = A = 0V \rightarrow$

$V_{GSN} = 0$, Q_1 ngưng

$V_{GSP} = -V_{DD}$, Q_2 dẫn

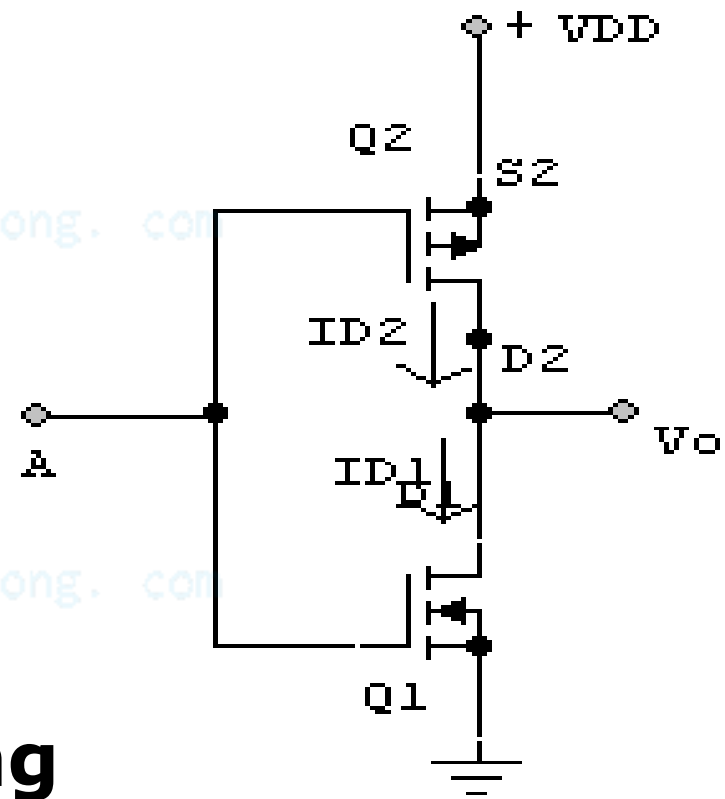
$V_o = V_{DD} - V_{DSP} = V_{OH}$

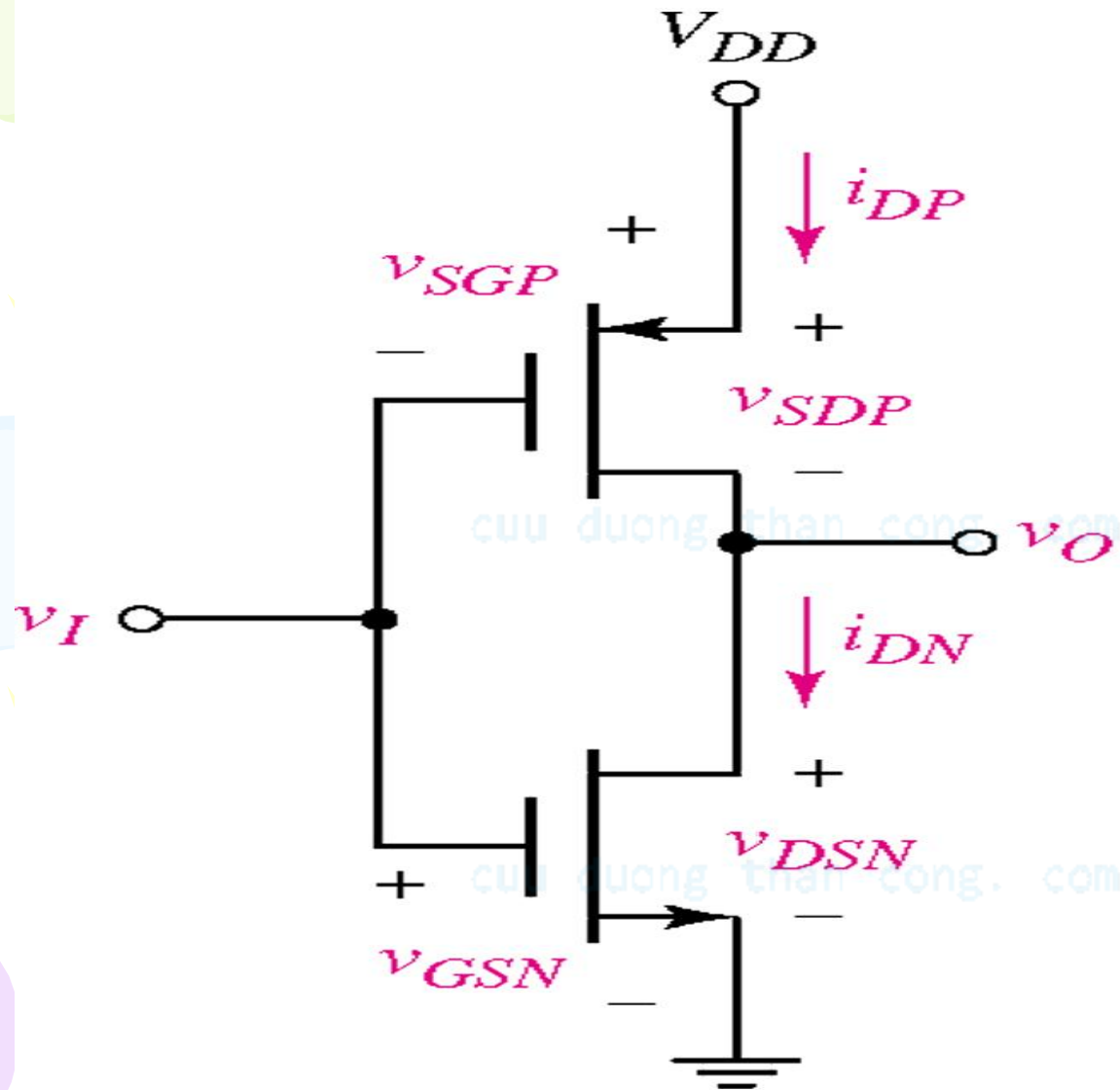
- Khi $V_i = A = V_{DD} \rightarrow$

$V_{GSN} = V_{DD}$, Q_1 dẫn

$V_{GSP} = V_{DD} - V_{DD} = 0$, Q_2 ngưng

$V_o = V_{DS1(ON)} = 0V = V_{OL}$





PMOS:
 K_P, V_{TP}

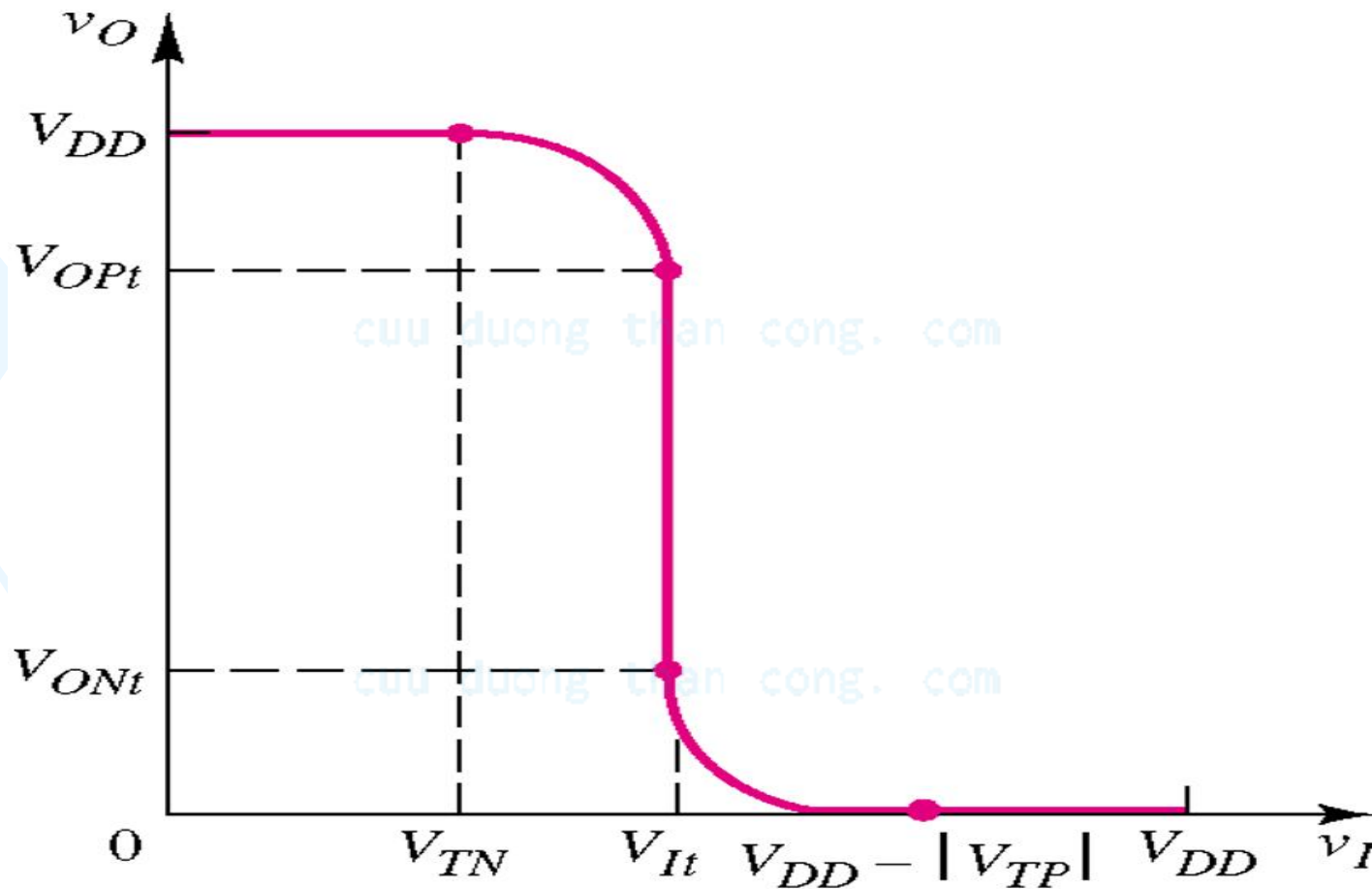
NMOS:
 K_N, V_{TN}

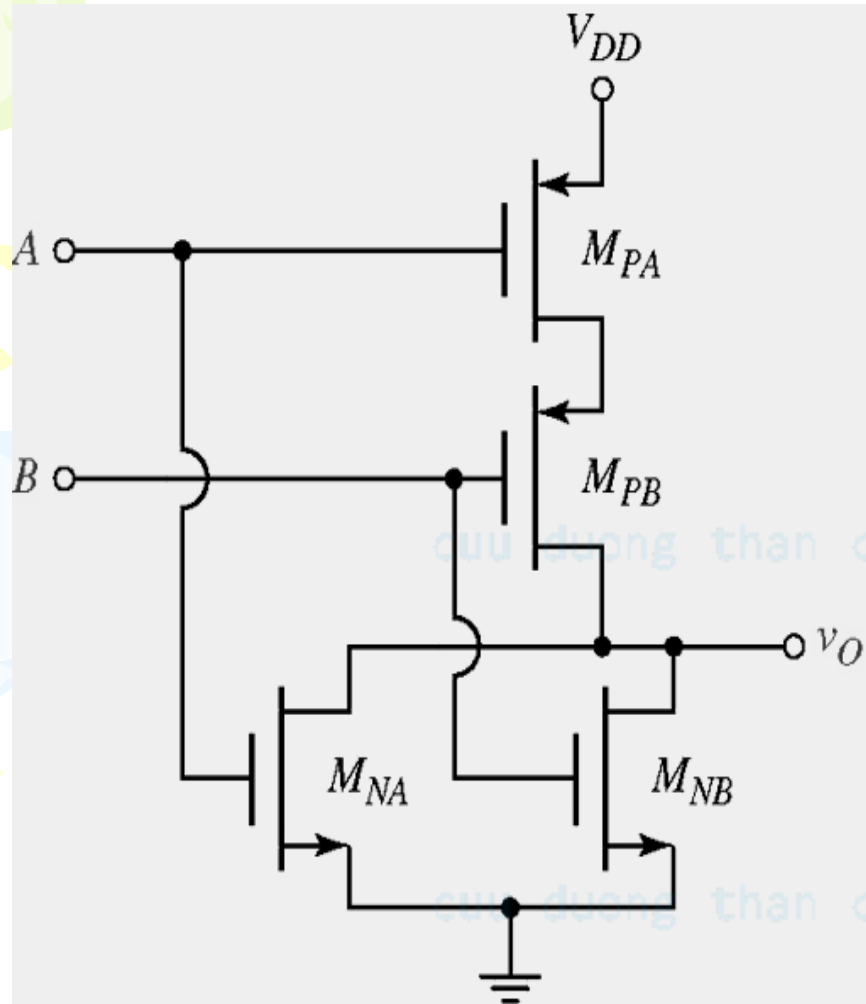
Đặc tuyến chuyển của CMOS

Đặc tính:

- Do $I_{D1}=I_{D2}$ rất thấp(luôn có 1 EMOSFET ngưng) nên công suất tiêu thụ rất bé (vài nW).
- Độ dốc thẳng đứng
NOT- CMOS là gần như là **bậc điện lý tưởng**
rất thông dụng trong chế tạo IC số.
- Ngoài ra CMOS còn:
Ổn định nhiệt tốt
Cấp điện từ 3V – 18V

Đặc tuyến chuyển của CMOS





(a)

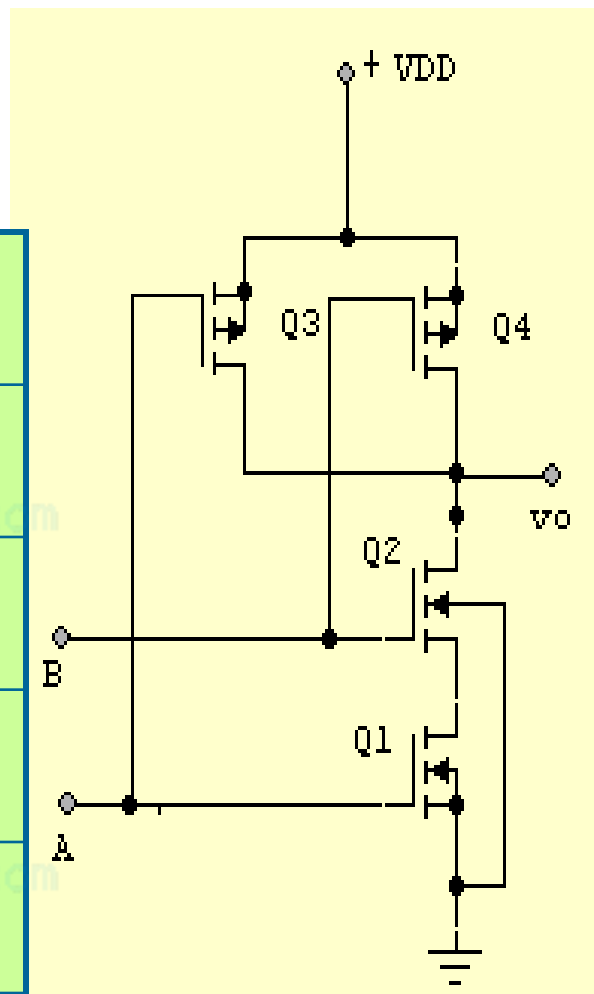
$\frac{A}{}$	$\frac{B}{}$	$\frac{v_O}{}$
0	0	V_{DD}
V_{DD}	0	0
0	V_{DD}	0
V_{DD}	V_{DD}	0

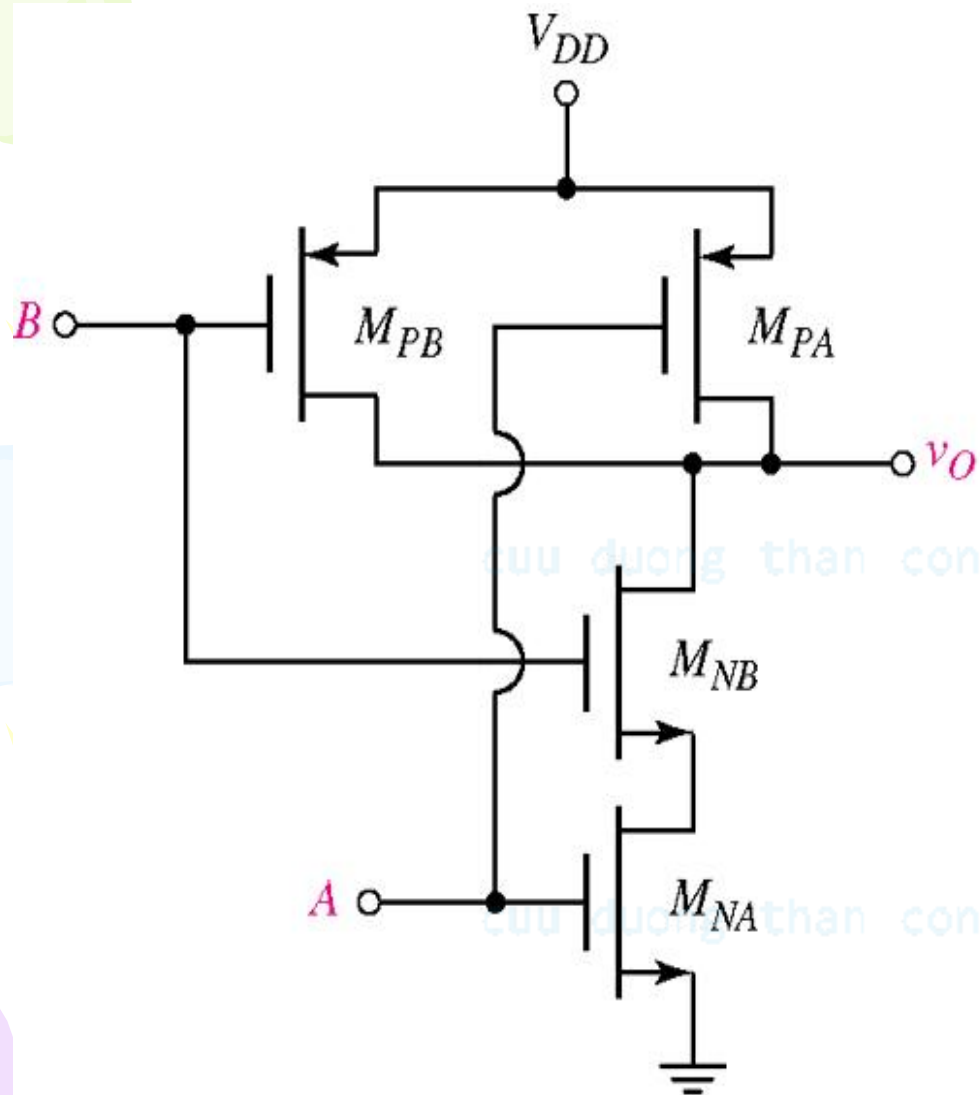
(b)

2. Các cổng logic CMOS khác

a. Cổng NAND - CMOS

B	A	Q1	Q2	Q3	Q4	Vo
0	0	OFF	OFF	ON	ON	1
0	1	ON	OFF	ON	OFF	1
1	0	OFF	ON	OFF	OFF	1
1	1	ON	ON	OFF	OFF	0





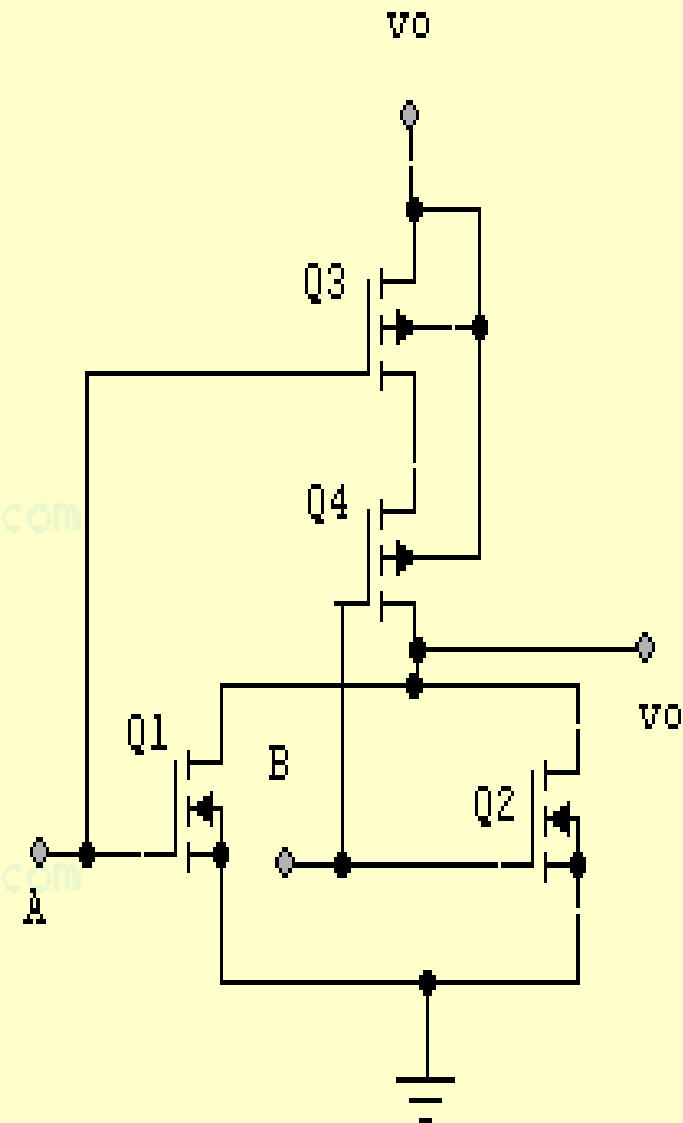
(a)

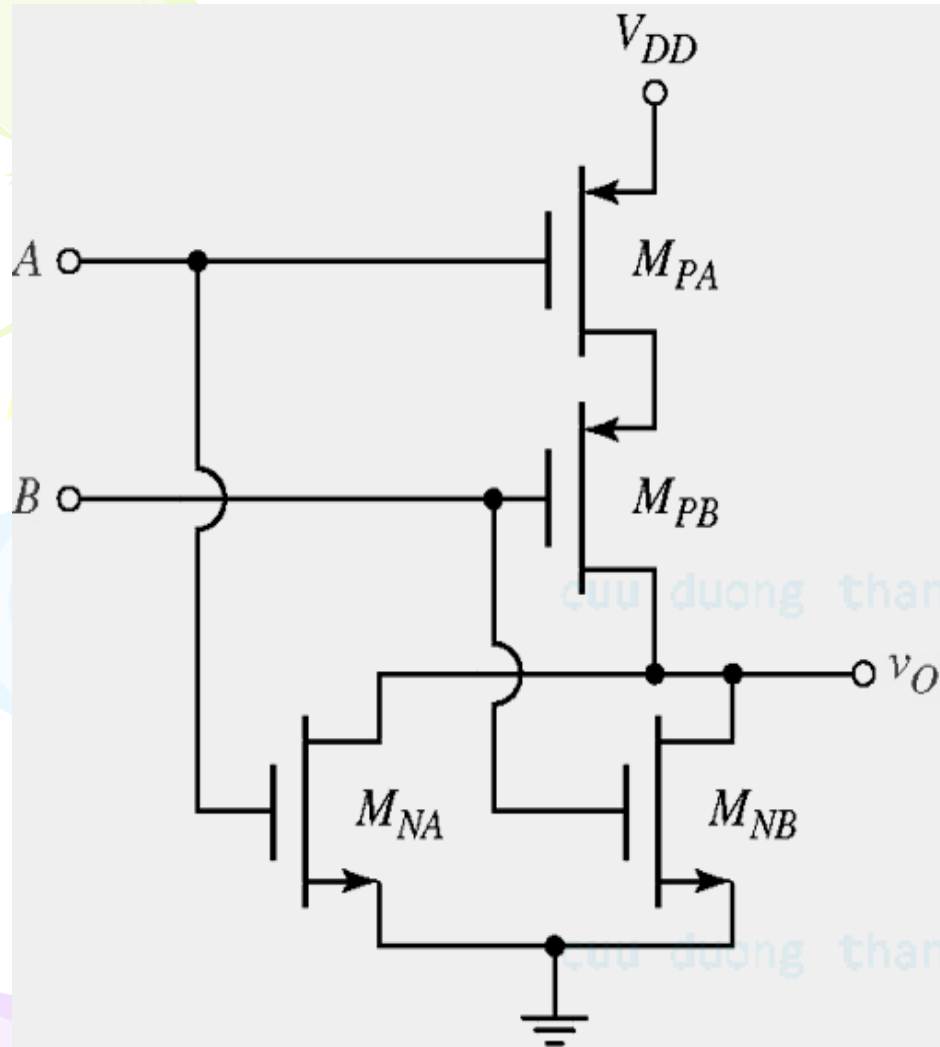
<u>A</u>	<u>B</u>	<u>v_O</u>
0	0	V_{DD}
V_{DD}	0	V_{DD}
0	V_{DD}	V_{DD}
V_{DD}	V_{DD}	0

(b)

b. Cổng NOR – CMOS

B	A	Q1	Q2	Q3	Q4	Vo
0	0	OFF	OFF	ON	ON	1
0	1	ON	OFF	OFF	ON	0
1	0	OFF	ON	ON	OFF	0
1	1	ON	ON	OFF	OFF	0





(a)

\underline{A}	\underline{B}	$\underline{v_O}$
0	0	V_{DD}
V_{DD}	0	0
0	V_{DD}	0
V_{DD}	V_{DD}	0

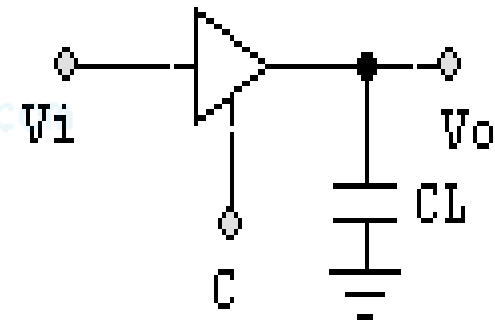
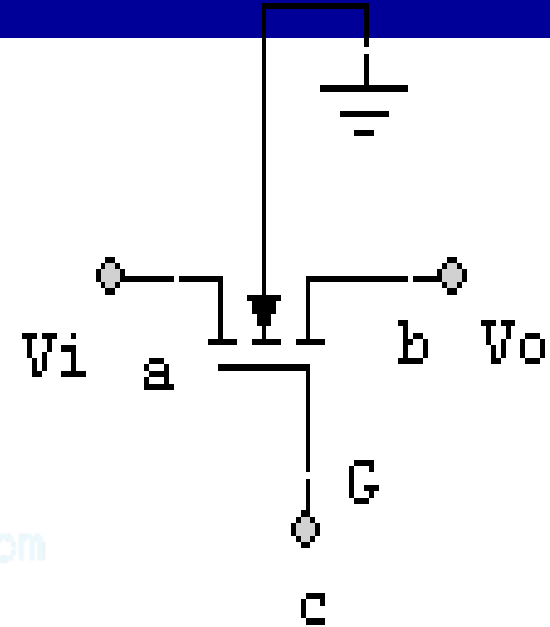
(b)

IV . Cổng truyền

Chỉ cho qua tín hiệu khi được cho phép (điều khiển).

a. Cổng truyền NMOS-đơn hướng

Khi $v_i = V_{DD}$ và $c = V_{DD} \rightarrow$
cực a hoạt động như cực D
(phân cực V_{DD}) và b là
cực S (vì phân cực 0V),
MOSFET dẫn, C_L nạp điện
 $\rightarrow V_o = V_{DD} - V_{TH}$



Khi $V_i = 0V$ và $C = V_{DD} \rightarrow$ a là cực S, b là cực D. Tụ C_L xả qua MOSFET cho đến hết \rightarrow MOSFET ngưng, $V_o = 0V$ xem như cổng cho logic 0 truyền qua

Khi $C=0$, kênh n ngưng, cổng MOSFET không cho tín hiệu truyền qua.

Tóm lại:

Khi $C = 1$ (logic 1) cổng cho tín hiệu vào V_i truyền qua $V_o = V_i$.

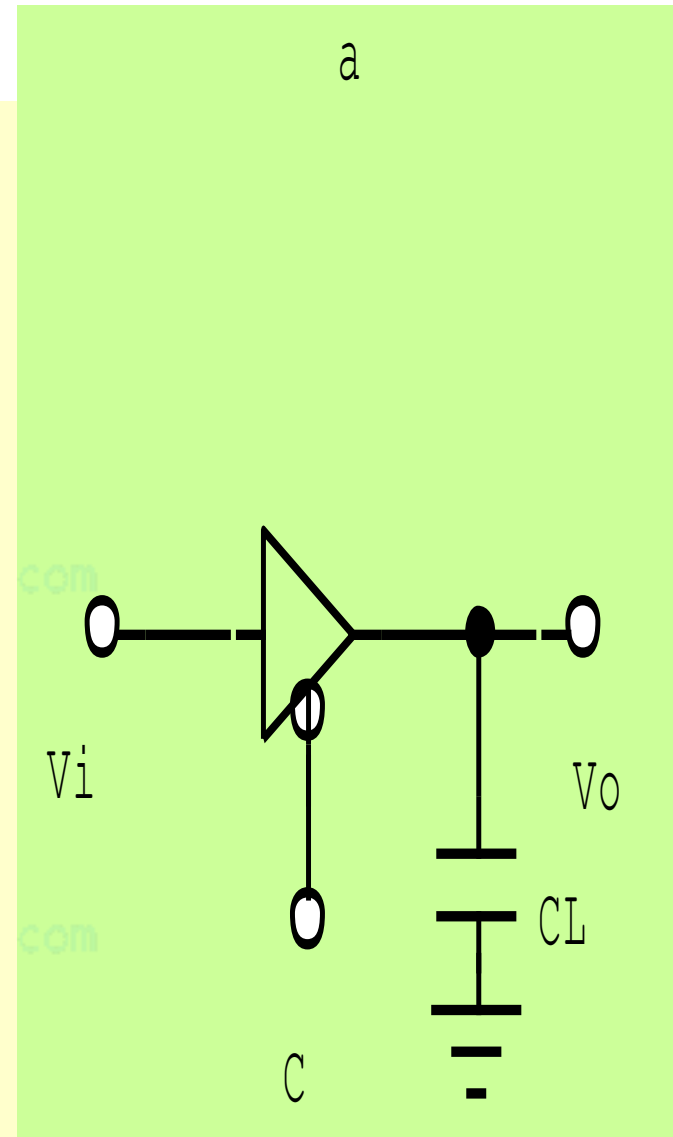
Khi $C = 0$ (logic 0) cổng bị khoá không cho tín hiệu truyền qua.

Các Cổng truyền khác

Cổng truyền đơn cực điều khiển đảo

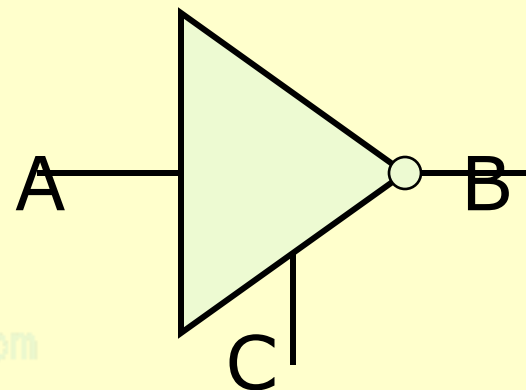
Khi $C = 1$, $/C = 0 \rightarrow$ Cổng bị khoá tín hiệu không truyền qua.

Khi $C = 0$, $/C = 1 \rightarrow$ cổng mở , tín hiệu được truyền qua



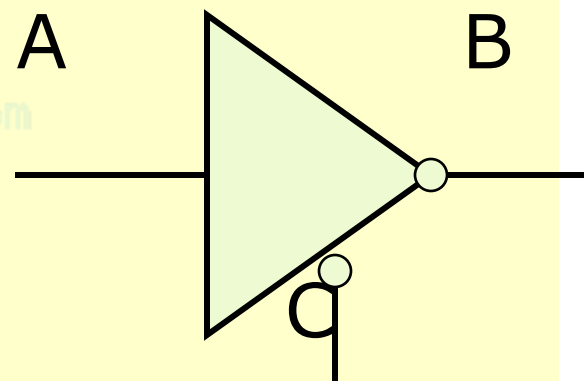
Cổng truyền đảo

- Mạch có dạng:
 $C=0 \rightarrow A$ Không truyền qua B



$C=1 \rightarrow A$ được truyền qua B

- Ta cũng có cổng truyền đảo điều khiển bằng /C
C=0 : /A được truyền qua B
C=1 : A không truyền qua B



3. Cổng truyền CMOS - truyền lưỡng cực

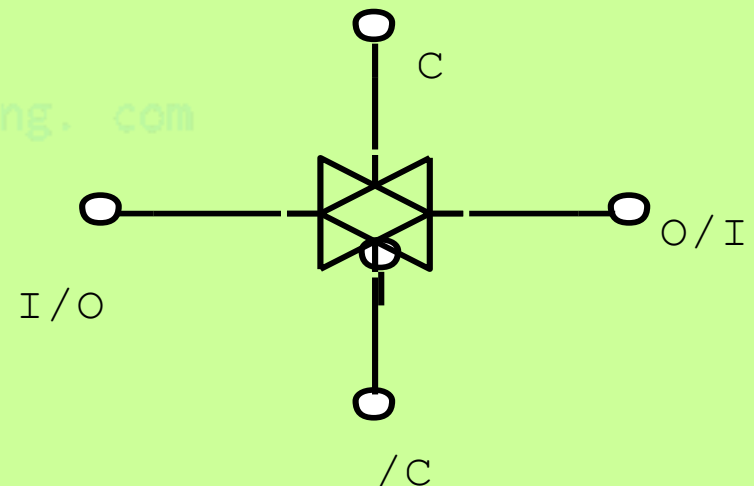
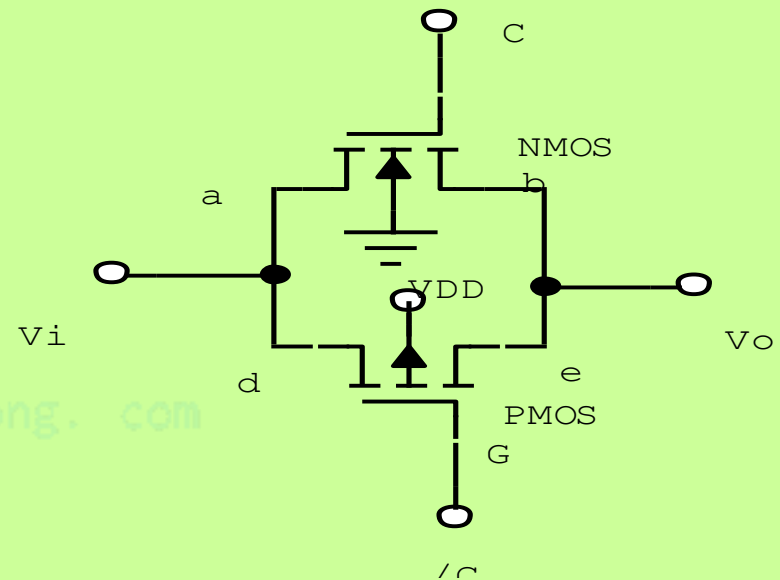
Mạch điện

- Khi $C = 0$, $/C = 1$ và $V_i = V_{DD} \rightarrow$ NMOS ngưng ($V_{GSN} = 0$) và PMOS dẫn ($V_{GSP} = -V_{DD}$)

$$V_o = V_{DD}$$

- $V_i = 0V \rightarrow$ NMOS dẫn ($V_{GS} = V_{DD}$), PMOS ngưng ($V_{GSP} = 0V$)
 $\rightarrow V_o = 0V$

Cổng đóng cho truyền qua $V_i = V_o$



- Khi $C = 0$, $/C = 1$ và
 - $V_i = 0V \rightarrow$ NMOS ngưng ($V_{GSN} = 0V$)
PMOS ngưng ($V_{GSP} = V_{DD}$)
 - $V_i = V_{DD} \rightarrow$ NMOS ngưng ($V_{GSN} = -V_{DD}$)
PMOS ngưng ($V_{GSP} = 0V$)
 \rightarrow cổng bị hở không cho tín hiệu truyền qua.

Tóm lại:

Khi $C = 1$ cổng cho tín hiệu truyền qua
Khi $C = 0$ cổng không cho tín hiệu qua

- Do cấu trúc MOSFET có tính đối xứng ,các cực S và D có thể hoán đổi vị trí nhau, nên khi cho tín hiệu vào từ B tín hiệu sẽ ra bên A và theo cùng cách điều khiển trên : nên cổng có thể truyền theo cả 2 chiều $A \rightarrow$ và đổi lại $B \rightarrow A$. **Cổng truyền lưỡng cực.**
- Cổng truyền lưỡng cực được thông dụng trong **kỹ thuật số**, truyền số liệu cả 2 chiều (hướng).