

Giáo trình Điện tử cơ bản

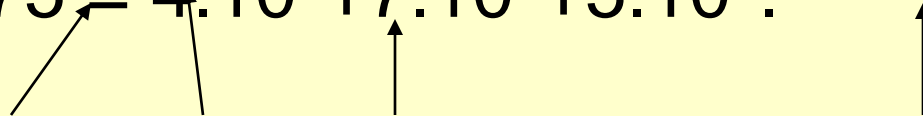
Chương 8. Mạch tổ hợp – IC (2)



I. Đại số Boole – Các cổng logic

1. Cơ số_Cơ số thập phân

$$475 = 4 \cdot 10^2 + 7 \cdot 10^1 + 5 \cdot 10^0.$$



MSB LSB MSB LSB

Tổng quát: một số N được biểu diễn:

$$N = a^{n-1} \cdot b^{n-1} + \dots + a^2 \cdot b_2 + a^1 \cdot b^1 + a^0 \cdot b^0.$$

cơ số thập phân $a^i = 0 \rightarrow 9$; $b^i = 10$

cơ số nhị phân $a^i = 0 \rightarrow 1$; $b^i = 2$

$$(1101)_2 = 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 8 + 4 + 0 + 1 = (13)_{10}$$

cơ số bát phân: $a^i = 0 \rightarrow 7$; $b^i = 8$

$$(123)_8 = 1 \cdot 8^2 + 2 \cdot 8^1 + 3 \cdot 8^0 = 64 + 16 + 3 = (83)_{10}.$$

- Cơ số thập lục phân(Hexadecimal):

$a^i = 0 \rightarrow 9, A, B, C, D, E, F$; $b^i = 16$

$$(3F)_{16} = 3.16^1 + F.16^0 = 48 + 15 = (63)_{10}$$

$$1FF)_{16} = 1.16^2 + F.16^1 + F.16^0 = 256 + 240 + 15 = (511)_{10}$$

Bảng chuyển đổi giữa các cơ số

Thập phân (Decimal)	Nhị phân (Binary)	Bát phân (Octal)	Thập lục ph. (Hexadecimal)
0	0000	0	0
1	0001	1	1
2	0010	2	2
3	0011	3	3
4	0100	4	4

(tiếp)

5	0101	5	5
6	0110	6	6
7	0111	7	7
8	1000	10	8
9	1001	11	9
10	1010	12	A
11	1011	13	B
12	1100	14	C
13	1101	15	D
14	1110	16	E
15	1111	17	F
16	10000	20	10
64	100000	100	40
255	11111111	377	FF

2. Định luật của đại số Boole

- Khi kết hợp nhiều mệnh đề logic lại với nhau tạo thành mệnh đề phức tạp \rightarrow thiết kế nhiều cổng logic.
- Do đó phải rút gọn các hàm logic \rightarrow sử dụng ít cổng logic hơn.
- Cách rút gọn bằng nhiều cách : trực tiếp bằng đại số Boole, Bảng karnaugh.....
- Theo đại số Boole 1 hàm logic có thể biểu diễn bằng 1 trong 2 dạng chính tắc là **Tổng các tích POS** và **Tích các tổng SOP** \rightarrow rút gọn nhờ loại được các biến bù kề nhau ($A+A'$) và (AA')

Hàm AND

1a. $0.0 = 0$

2a. $0.1 = 0$

3a. $1.0 = 0$

4a. $1.1 = 1$

5a. $A.0 = 0$

6a. $0.A = 0$

7a. $A.1 = A$

8a. $1.A = A$

9a. $A.A = A$

10a. $A.A \neq 0$

Hàm OR

1b. $0+0 = 0$

2b. $0+1 = 1$

3b. $1+0 = 1$

4b. $1+1 = 1$

5b. $A+0 = A$

6b. $0+A = A$

7b. $A+1 = 1$

8b. $1+A = 1$

9b. $A+A = A$

10b. $A+A \neq 1$

- Hàm NOT

$$11. 0 \setminus = 1$$

$$12. 1 \setminus = 0$$

$$13. A \setminus \setminus = A$$

$$11. \quad \overline{0} = 1$$

$$12. \quad \overline{1} = 0$$

$$13. \quad \overline{\overline{A}} = A$$

Định luật giao hoán:

$$14a. AB = BA$$

$$14b. A+B=B+A$$

Định luật kết hợp

$$15a. A(BC)=(AB)C$$

$$15b. A+(B+C)=(A+B)+C$$

Định luật hấp thụ

$$16a. A(A+B)=A$$

$$16b. (A+AB)= A$$

Định luật phân bố

$$17a. A(B+C)=AB+ AC$$

$$17b. A+BC=(A+B)(A+C).$$

Định luật dán (Định luật Nashelsky)

$$18a. A(A \setminus + B) = A.B$$

$$18b. A + /AB = A + B$$

$$19a. (A + B \setminus)B = A.B$$

$$19b. (A + B \setminus)B = A.B$$

Định luật DE MORGAN

$$20a. \overline{A.B} = \overline{A} + \overline{B}$$
$$\overline{A.B.C} = \overline{A} + \overline{B} + \overline{C}$$

$$20b. \overline{A + B} = \overline{A}. \overline{B}$$
$$\overline{A + B + C + \dots} = \overline{A}. \overline{B}. \overline{C} \dots$$

Các biểu thức trên có thể chứng minh bằng cách vẽ các sơ đồ mạch logic hoặc bằng cách lập 2 bảng chân lý nếu chúng như nhau là định luật được chứng minh là đúng.

Fundamentals of Boolean Algebra (1)

- **Basic Postulates**
- **Postulate 1 (Definition):** A Boolean algebra is a closed algebraic system containing a set K of two or more elements and the two operators \bullet and $+$.
- **Postulate 2 (Existence of 1 and 0 element):**
 - (a) $a + 0 = a$ (identity for $+$),
 - (b) $a \bullet 1 = a$ (identity for \bullet)
- **Postulate 3 (Commutativity):**
 - (a) $a + b = b + a$,
 - (b) $a \bullet b = b \bullet a$
- **Postulate 4 (Associativity):**
 - (a) $a + (b + c) = (a + b) + c$
 - (b) $a \bullet (b \bullet c) = (a \bullet b) \bullet c$
- **Postulate 5 (Distributivity):**
 - (a) $a + (b \bullet c) = (a + b) \bullet (a + c)$
 - (b) $a \bullet (b + c) = a \bullet b + a \bullet c$
- **Postulate 6 (Existence of complement):**
 - (a) $a + \bar{a} = 1$
 - (b) $a \bullet \bar{a} = 0$
- Normally \bullet is omitted.

Fundamentals of Boolean Algebra (2)

- ***Fundamental Theorems of Boolean Algebra***

- ***Theorem 1 (Idempotency):***

(a) $a + a = a$

(b) $aa = a$

- ***Theorem 2 (Null element):***

(a) $a + 1 = 1$

(b) $a0 = 0$

- ***Theorem 3 (Involution)***

$$\overline{\overline{a}} = a$$

- ***Properties of 0 and 1 elements*** (Table 2.1):

OR	AND	Complement
$a + 0 = 0$	$a0 = 0$	$0' = 1$
$a + 1 = 1$	$a1 = a$	$1' = 0$

Fundamentals of Boolean Algebra (3)

- **Theorem 4 (Absorption)**

$$(a) \quad a + ab = a$$

$$(b) \quad a(a + b) = a$$

cuu duong than cong. com

Examples:

$$- (X + Y) + (X + Y)Z = X + Y \quad [T4(a)]$$

$$- AB'(AB' + B'C) = AB' \quad [T4(b)]$$

cuu duong than cong. com

- **Theorem 5**

$$(a) \quad a + a'b = a + b$$

$$(b) \quad a(a' + b) = ab$$

Fundamentals of Boolean Algebra (4)

- **Theorem 6**

$$(a) \quad ab + ab' = a \qquad (b) \quad (a + b)(a + b') = a$$

Examples:

$$- \quad ABC + AB'C = AC \qquad [T6(a)]$$

$$\begin{aligned} & - \quad (W' + X' + Y' + Z)(W' + X' + Y' + Z)(W' + X' + Y' + Z)(W' + X' + Y' + Z) \\ & = (W' + X' + Y')(W' + X' + Y' + Z)(W' + X' + Y' + Z) \\ & \qquad [T6(b)] \\ & = (W' + X' + Y')(W' + X' + Y) \qquad [T6(b)] \\ & = (W' + X') \qquad [T6(b)] \end{aligned}$$

Fundamentals of Boolean Algebra (5)

- **Theorem 7**

(a) $ab + ab'c = ab + ac$

(b) $(a + b)(a + b' + c) = (a + b)(a + c)$

cuu duong than cong. com

Examples:

$$\begin{aligned} - wy' + wx'y + wxyz + wxz' &= wy' + wx'y + wxy + wxz' \\ [T7(a)] \end{aligned}$$

$$\begin{aligned} &= wy' + wy + wxz' \\ [T7(a)] \end{aligned}$$

$$= w + wxz' \quad [T7(a)]$$

$$= w \quad [T7(a)]$$

$$- (x'y' + z)(w + x'y' + z') = (x'y' + z)(w + x'y') \quad [T7(b)]$$

Fundamentals of Boolean Algebra (6)

- **Theorem 8 (DeMorgan's Theorem)**

$$(a) \quad (a + b)' = a'b'$$

$$(b) \quad (ab)' = a' + b'$$

- Generalized DeMorgan's Theorem

$$(a) \quad (a + b + \dots z)' = a'b' \dots z' \quad (b) \quad (ab \dots z)' = a' + b' + \dots z'$$

Examples:

$$\begin{aligned} - \quad (a + bc)' &= (a + (bc))' \\ &= a'(bc)' && [T8(a)] \\ &= a'(b' + c') && [T8(b)] \\ &= a'b' + a'c' && [P5(b)] \end{aligned}$$

$$- \quad \text{Note: } (a + bc)' \neq a'b' + c'$$

Fundamentals of Boolean Algebra (7)

- **More Examples for DeMorgan's Theorem**

$$\begin{aligned}-(a(b + z(x + a')))' &= a' + (b + z(x + a'))' \quad [\text{T8(b)}] \\&= a' + b' (z(x + a'))' \quad [\text{T8(a)}] \\&= a' + b' (z' + (x + a'))' \quad [\text{T8(b)}] \\&= a' + b' (z' + x'(a'))' \quad [\text{T8(a)}] \\&= a' + b' (z' + x'a) \quad [\text{T3}] \\&= a' + b' (z' + x') \quad [\text{T5(a)}]\end{aligned}$$

$$\begin{aligned}-(a(b + c) + a'b)' &= (ab + ac + a'b)' \quad [\text{P5(b)}] \\&= (b + ac)' \quad [\text{T6(a)}] \\&= b'(ac)' \quad [\text{T8(a)}] \\&= b'(a' + c') \quad [\text{T8(b)}]\end{aligned}$$

Fundamentals of Boolean Algebra (8)

- **Theorem 9 (Consensus)**

(a). $ab + a'c + bc = ab + a'c$; (b). $(a + b)(a' + c)(b + c) = (a + b)(a' + c)$

Examples:

– $AB + A'CD + BCD = AB + A'CD$ [T9(a)]

– $(a + b')(a' + c)(b' + c) = (a + b')(a' + c)$ [T9(b)]

– $ABC + A'D + B'D + CD = ABC + (A' + B')D + CD$ [P5(b)]

$= ABC + (AB)'D + CD$ [T8(b)]

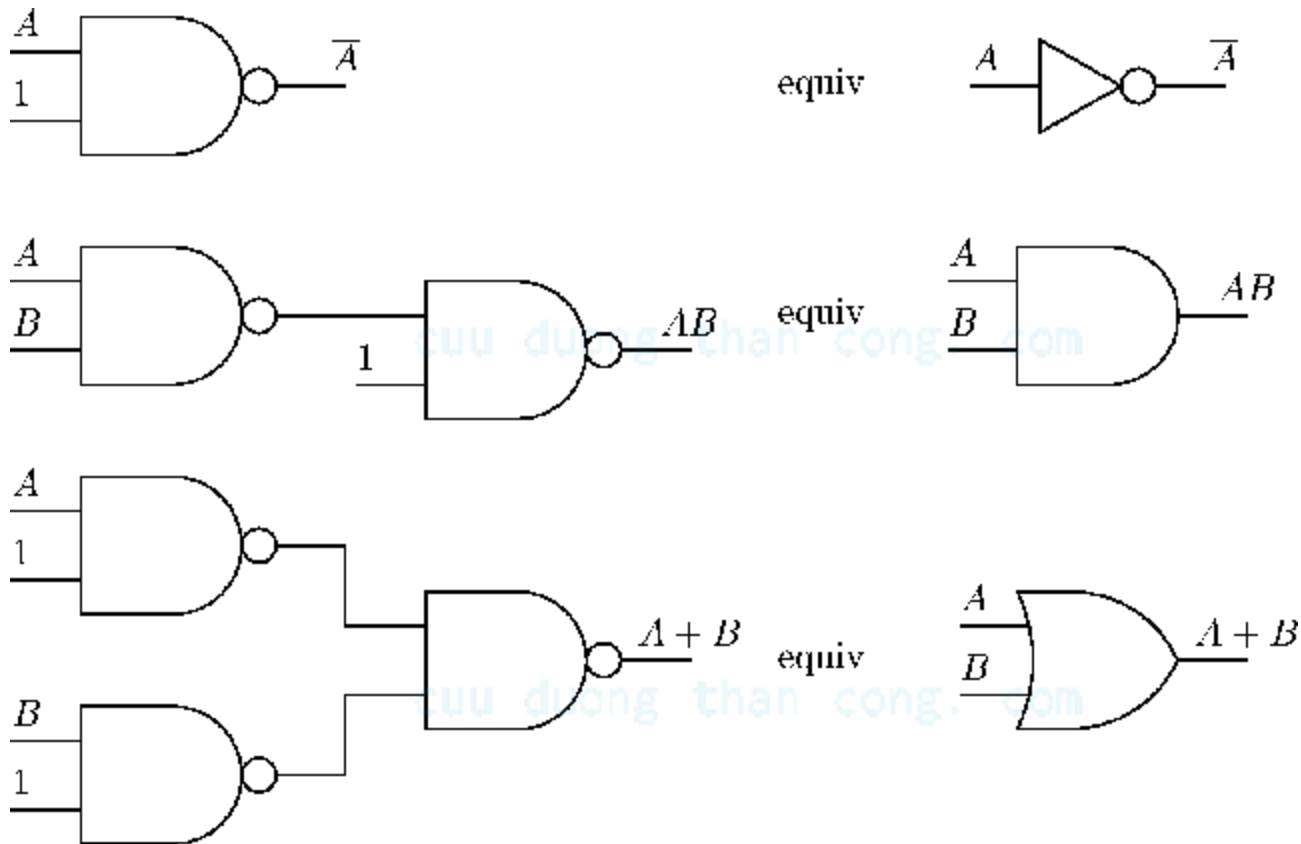
$= ABC + (AB)'D$ [T9(a)]

$= ABC + (A' + B')D$ [T8(b)]

$= ABC + A'D + B'D$ [P5(b)]

- Chứng minh định luật đại số Boole

Lập các bảng chân trị của hai mạch

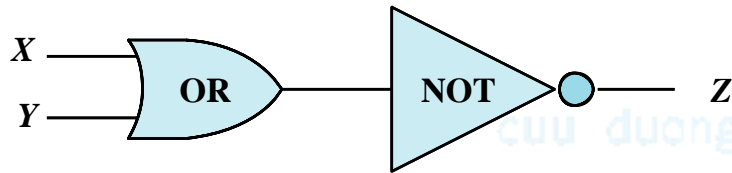


Kiểm chứng định luật De Morgan

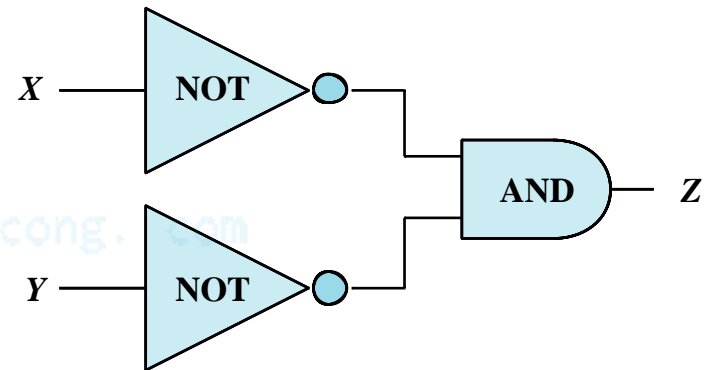
$$\overline{(X + Y)}$$

=

$$\bar{X} \cdot \bar{Y}$$



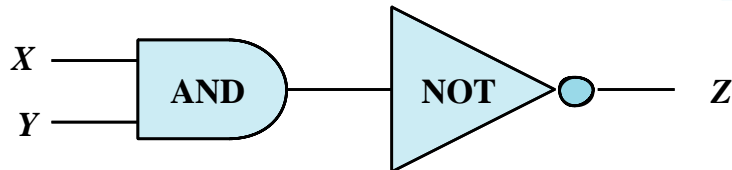
=



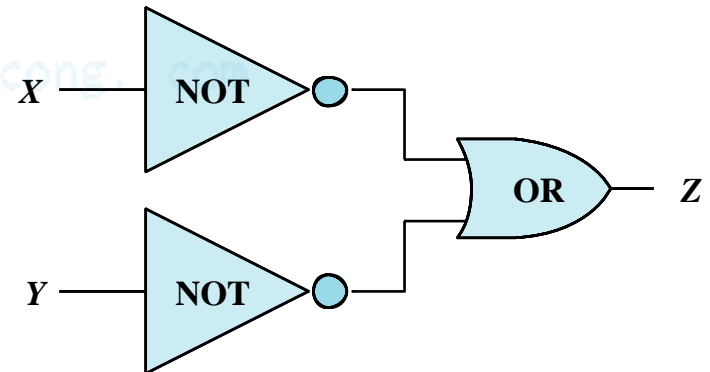
$$\overline{(X \cdot Y)}$$

=

$$\bar{X} + \bar{Y}$$



=



Boolean Operators

- NOT

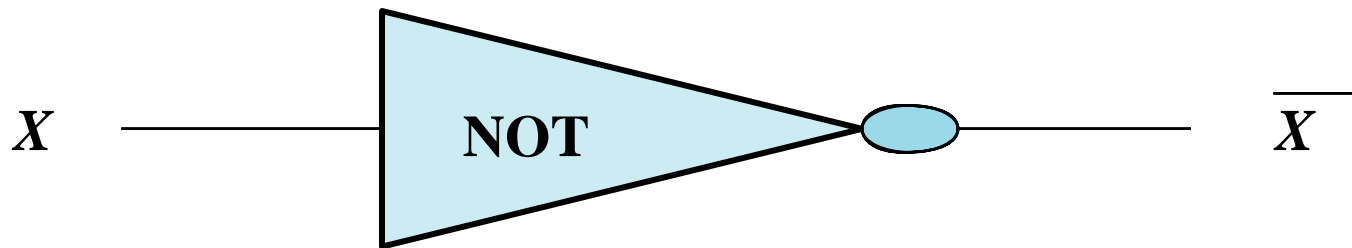
- Result TRUE if single input value is FALSE
- $C = \overline{A}$

A	C
0	1
1	0

cuu duong than cong. com

cuu duong than cong. com

- Cổng NOT



NOT gate

X	\overline{X}
1	0
0	1

Truth table for NOT gate

Boolean Operators

- **AND**

- Result TRUE if and only if *both* input operands are true
- $C = A \bullet B$

A	B	C
0	0	0
0	1	0
1	0	0
1	1	1

- **INCLUSIVE-OR**

- Result TRUE if *any* input operands are true
- $C = A + B$

A	B	C
0	0	0
0	1	1
1	0	1
1	1	1

Universal Logic Gate

Look up table (LUT)

- Look up table (LUT)
Small memory

NOT

A	X	Y
0	0	1
0	1	1
1	0	0
1	1	0

OR

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

AND

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

Logic Assignments and Duality

Logic Gate and Voltage

A	B	Y
0V	0V	0V
0V	5V	0V
5V	0V	0V
5V	5V	5V

Logic Gate - Positive Logic

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

0 = 0V

1 = 5V

Logic Gate - Negative Logic

A	B	Y
1	1	1
1	0	1
0	1	1
0	0	0

1 = 0V

0 = 5V

Logic Gate - Negative Logic

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

1 = 0V

0 = 5V

Reorder Rows



Boolean Operators

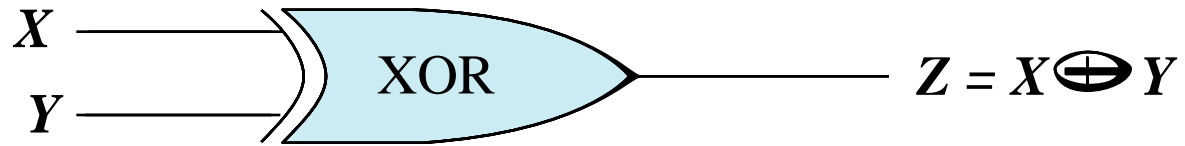
- EXCLUSIVE-OR

- Result TRUE if either A or B is TRUE *but not both*
- $C = A \oplus B$
- Can be derived from INCLUSIVE-OR, AND and NOT

A	B	C
0	0	0
0	1	1
1	0	1
1	1	0

- $A \oplus B = (A + B) \bullet \overline{(A \bullet B)}$
A xor B equals A or B but not both A and B
- $A \oplus B = (A \bullet \overline{B}) + (\overline{A} \bullet B)$
A xor B = either A and not B or B and not A

XOR gate



X	Y	Z
0	0	0
0	1	1
1	0	1
1	1	0

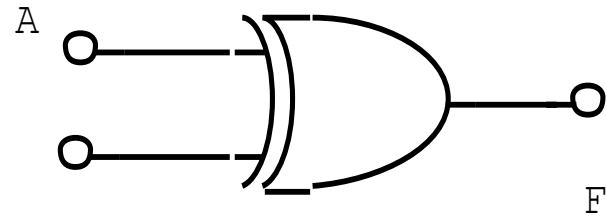
Truth table

Cổng EXOR :

$$F = A \overline{B} + \overline{A} B$$

Khi A khác B $\rightarrow F = 1$

• Khi A = B $\rightarrow F = 0$



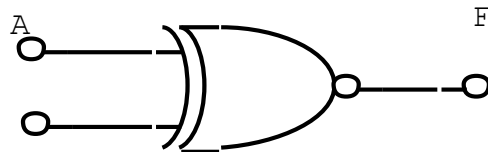
B	A	F
0	0	0
0	1	1
1	0	1
1	1	0

Cổng EXNOR: đảo của EXOR

$$F = \overline{A \overline{B} + \overline{A} B}$$

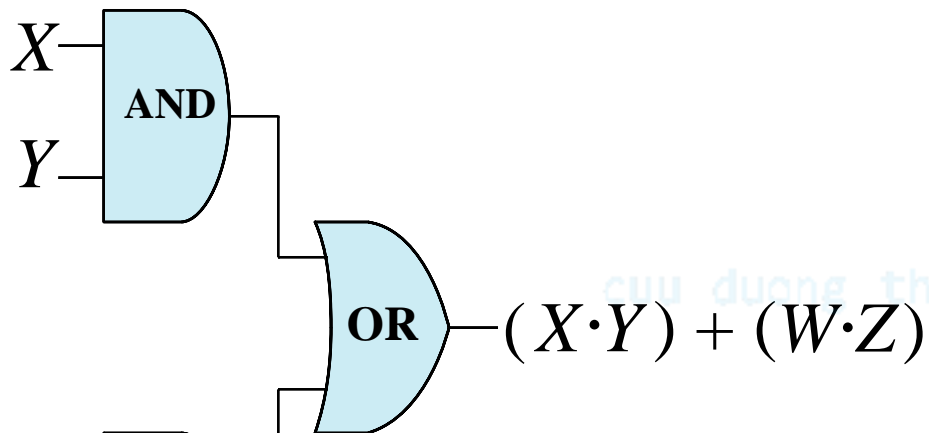
Khi A = B $\rightarrow F = 1$

Khi A khác B $\rightarrow F = 0$

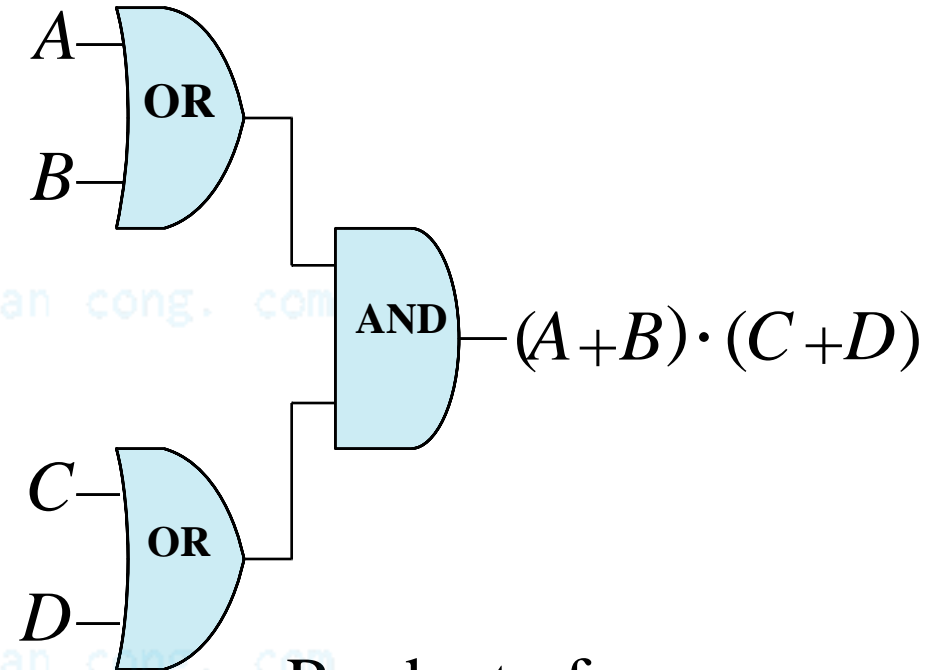


B	A	F
0	0	1
0	1	0
1	0	0
1	1	1

Cách biểu diễn dạng chính tắc SOP và POS

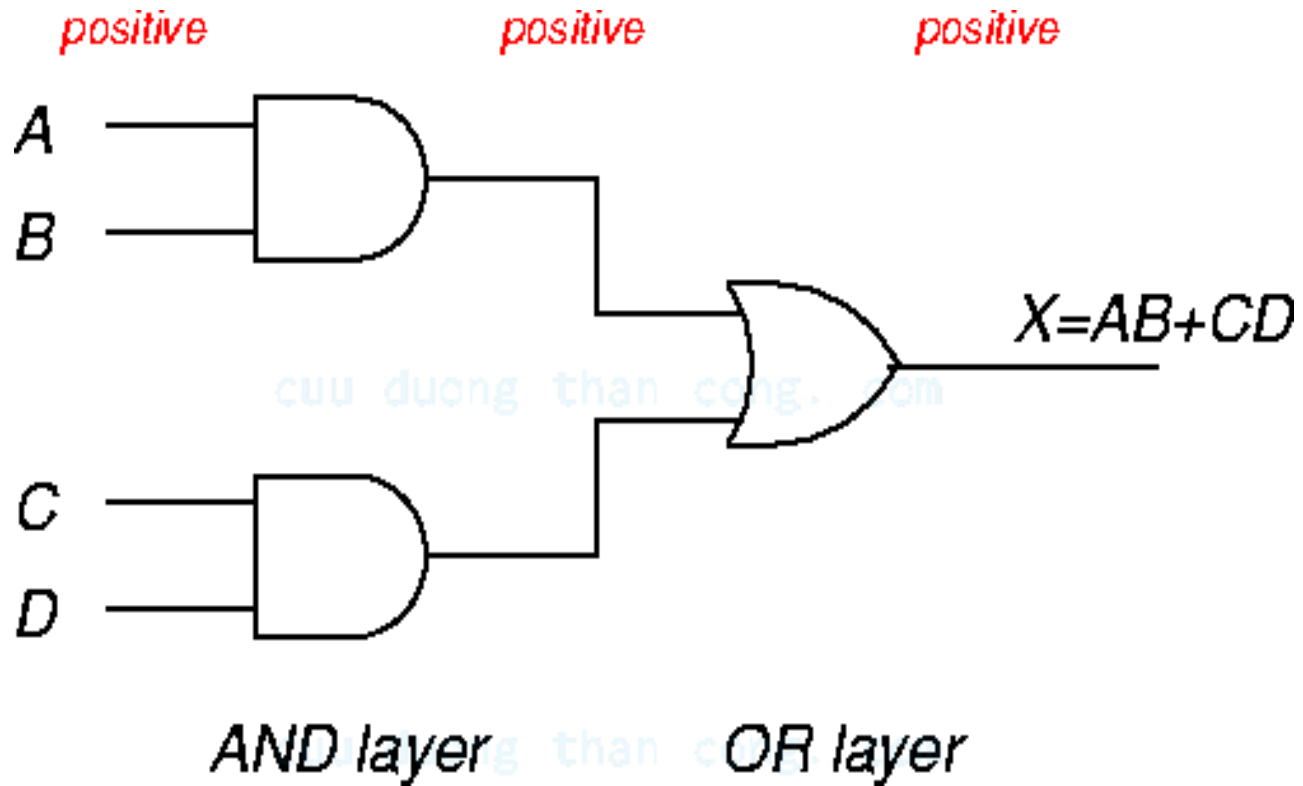


Sum of products
expression
 $(X \cdot Y) + (W \cdot Z)$

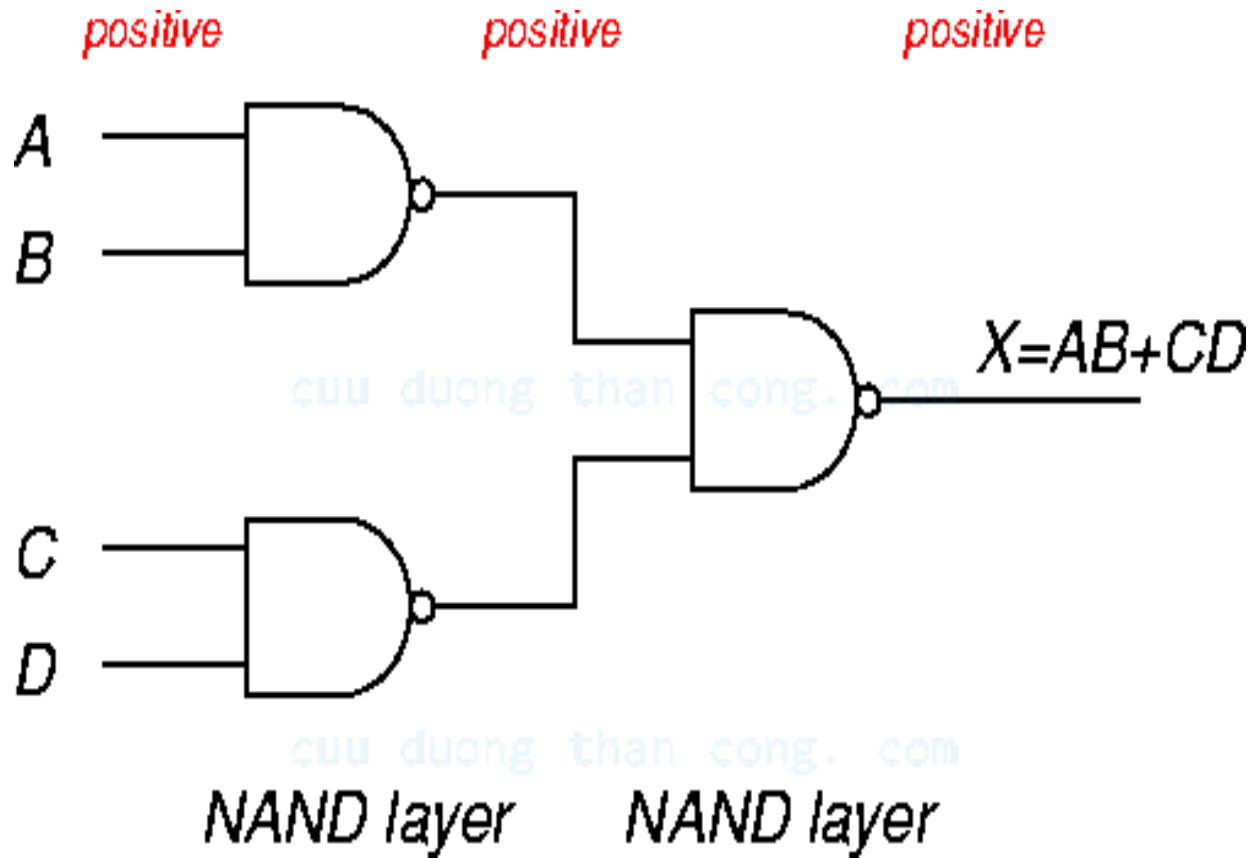


Product of sums
expression
 $(A + B) \cdot (C + D)$

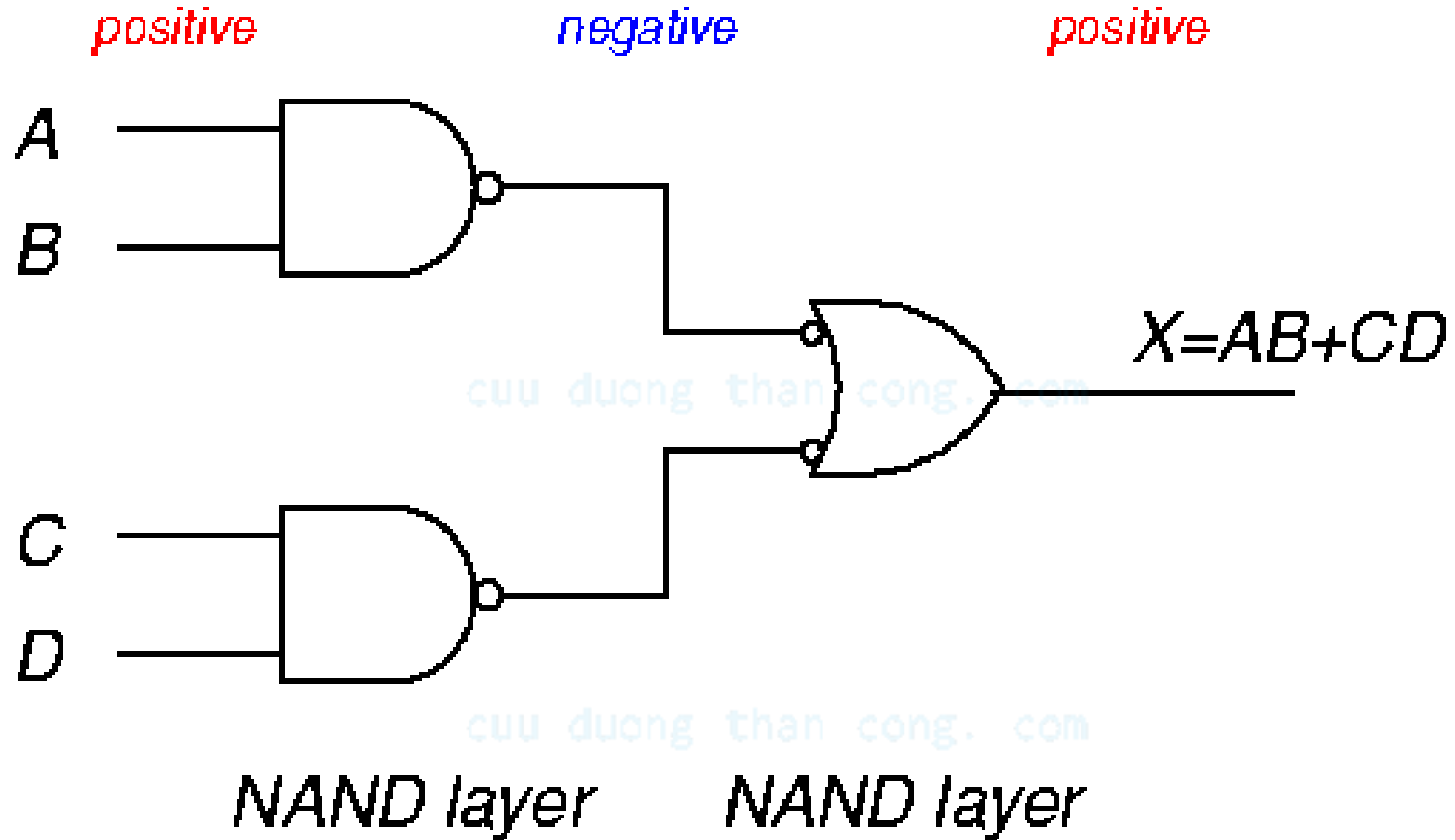
- Thí dụ khác



- Mạch có cùng hàm logic như trên



- Mạch có cùng hàm logic như trên



Vài thí dụ:

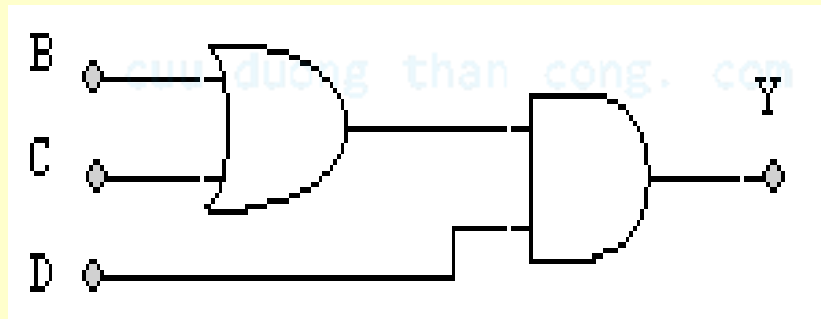
- Tối giản các hàm sau:

$$F = \overline{D}\overline{C}\overline{B} + D\overline{B}\overline{A} + DBA + D\overline{C}\overline{B} + D\overline{C}\overline{A} + DCA + DCB$$

$$F = DB(C + \overline{C}) + DB(A + \overline{A}) + DC(B + \overline{B}) + DC(A + \overline{A})$$

$$F = DB + DB + DC + DC = DB + DC = D(B + C)$$

- Mạch thực hiện:



- **Thí dụ :** Thiết kế hệ thống báo động cho ngân hàng (hoặc cho ô tô,...) theo yêu cầu sau:

- Trong giờ làm việc , cửa chính và cửa kho mở , mạch không báo động .
- Sau giờ làm việc , chỉ cần 1 cửa mở là mạch báo động.

Đặt: Cửa chính $A = 0$ khi đóng

Cửa kho $B = 1$ khi hở

Khoá $C = \begin{array}{l} 0 \text{ trong giờ làm việc} \\ 1 \text{ sau giờ làm việc} \end{array}$

Mạch báo động $Z = \begin{array}{l} 0 \text{ khi không hoạt động} \\ 1 \text{ khi hoạt động} \end{array}$

Thiết lập bảng hoạt động (bảng chân lý):

- Bảng chân lý

Ta viết được các hàm:

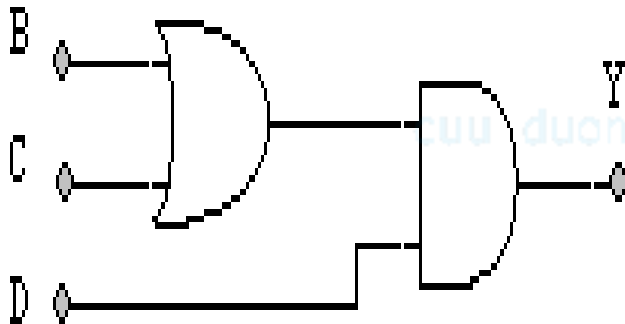
$$F = C \overline{B} A + C B \overline{A} + C B A =$$

$$F = C B (A + \overline{A}) + C \overline{B} A =$$

$$F = C B + C \overline{B} A = C (B + \overline{B} A) =$$

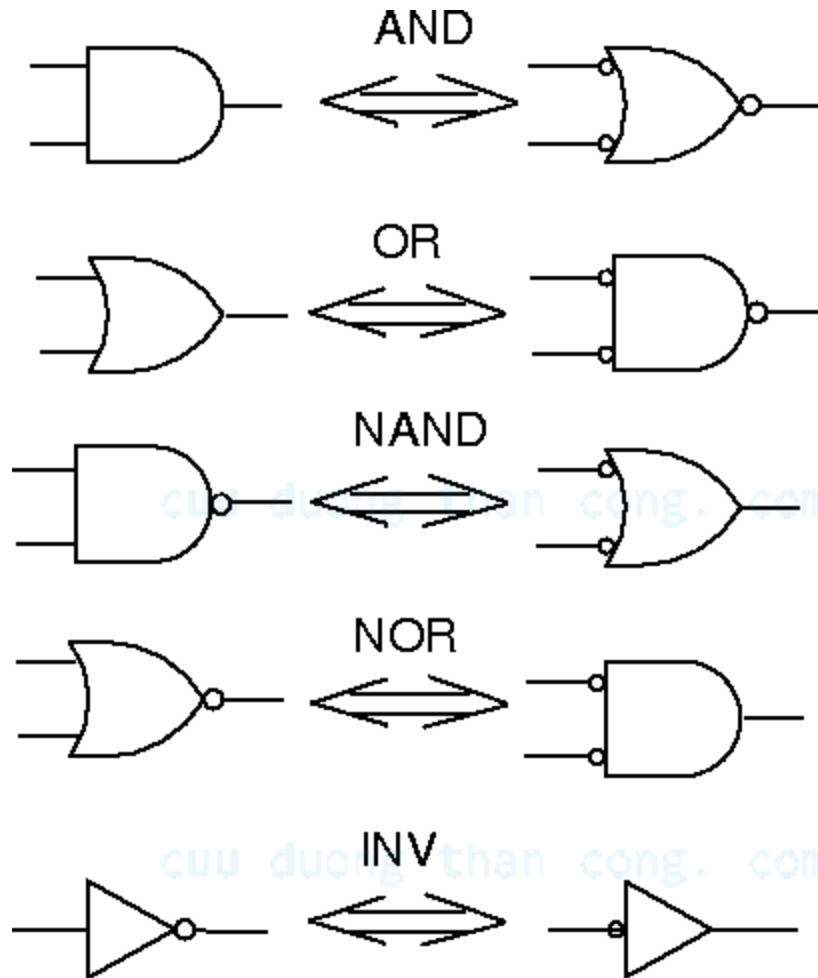
$$F = C (B + A)$$

Mạch thực hiện như trên

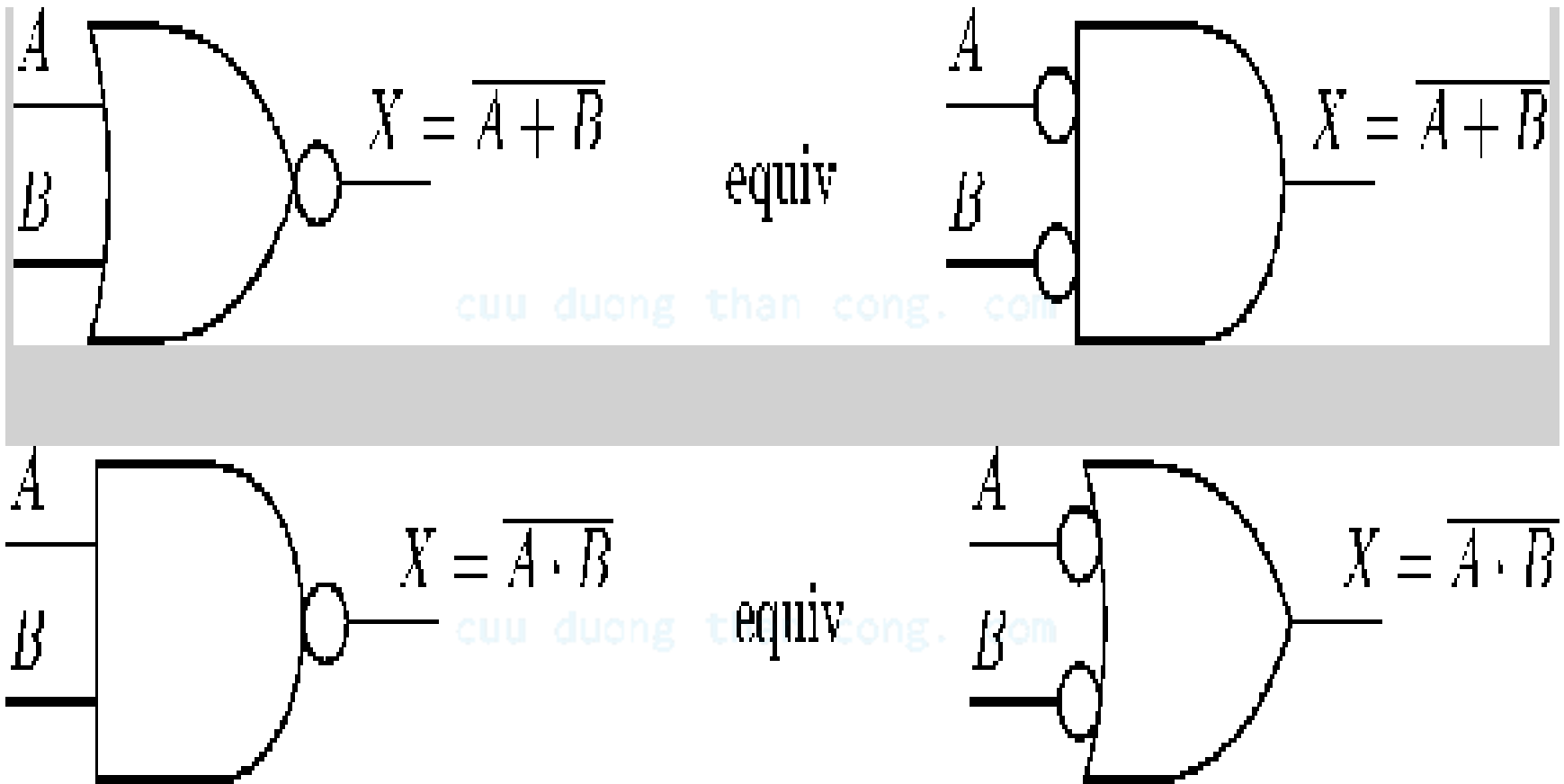


C	B	A	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

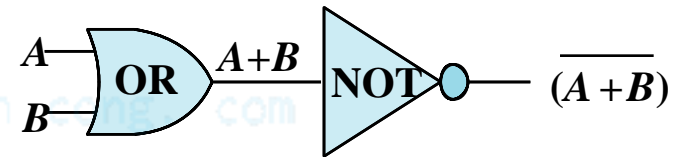
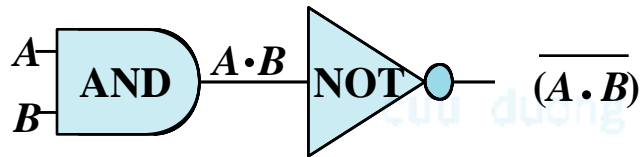
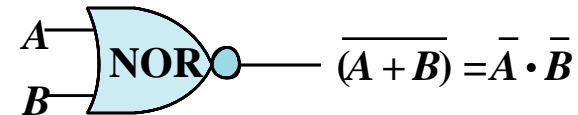
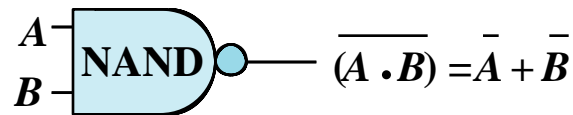
- Mạch tương đương



Mạch tương đương(có cùng hàm logic)



Mạch tương đương của cổng NAND và NOR dùng AND, OR và NOT



A	B	\bar{A}	\bar{B}	$\overline{(A \cdot B)}$
0	0	1	1	1
0	1	1	0	1
1	0	0	1	1
1	1	0	0	0

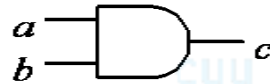
NAND gate

A	B	\bar{A}	\bar{B}	$\overline{(A + B)}$
0	0	1	1	1
0	1	1	0	0
1	0	0	1	0
1	1	0	0	0

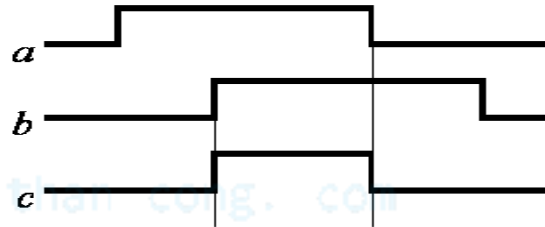
NOR gate

Analysis of Combinational Circuits (10)

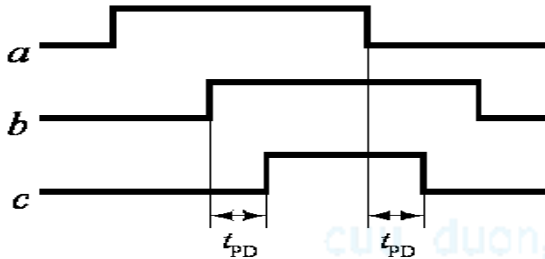
- Propagation delay through a logic gate



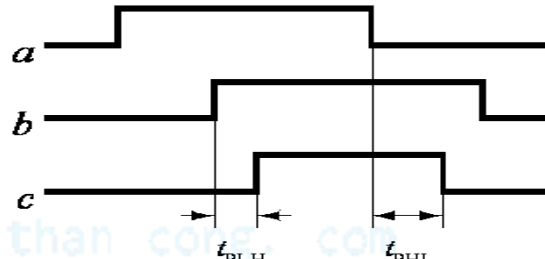
(a) Two-input AND gate



(b) Ideal (zero) delay



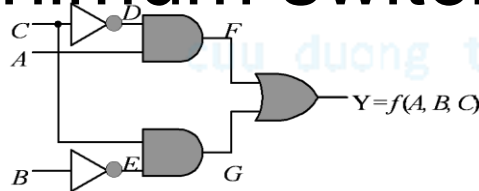
(c) $t_{PD} = t_{PLH} = t_{PHL}$



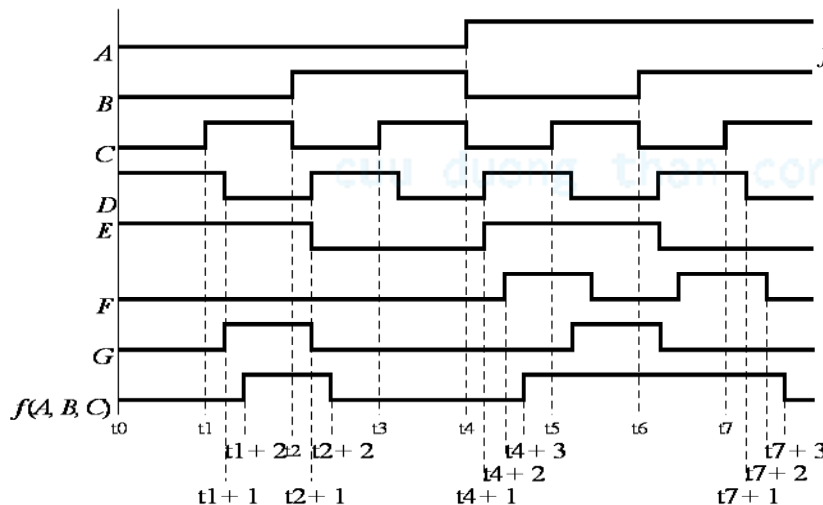
(d) $t_{PLH} < t_{PHL}$

Analysis of Combinational Circuits (13)

- Example 2.36:** Given a circuit diagram and the timing diagram, find the truth table and minimum switching expression.



ABC	$f(A, B, C)$
0 0 0	0
0 0 1	1
0 1 0	0
0 1 1	0
1 0 0	1
1 0 1	1
1 1 0	1
1 1 1	0

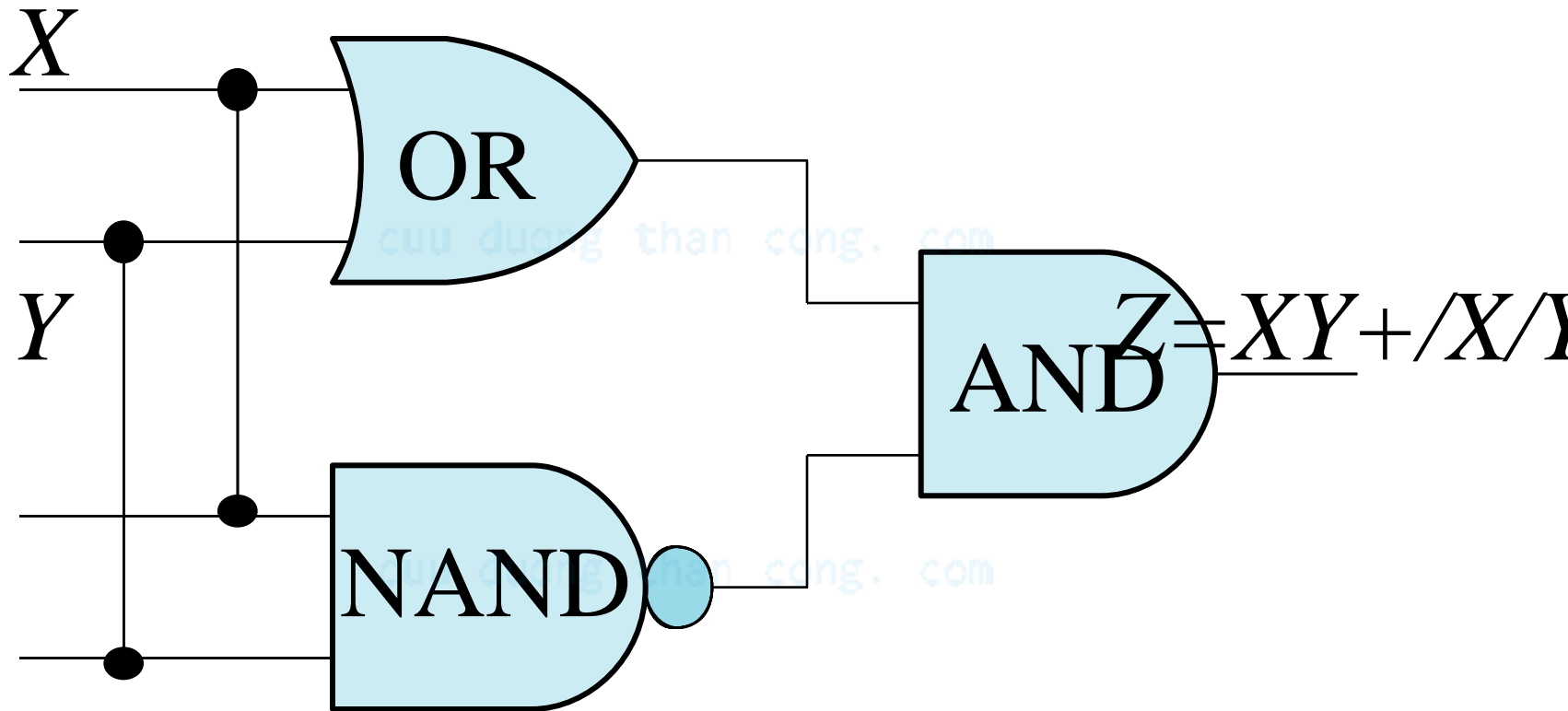


$$= \sum m(1, 4, 5, 6)$$

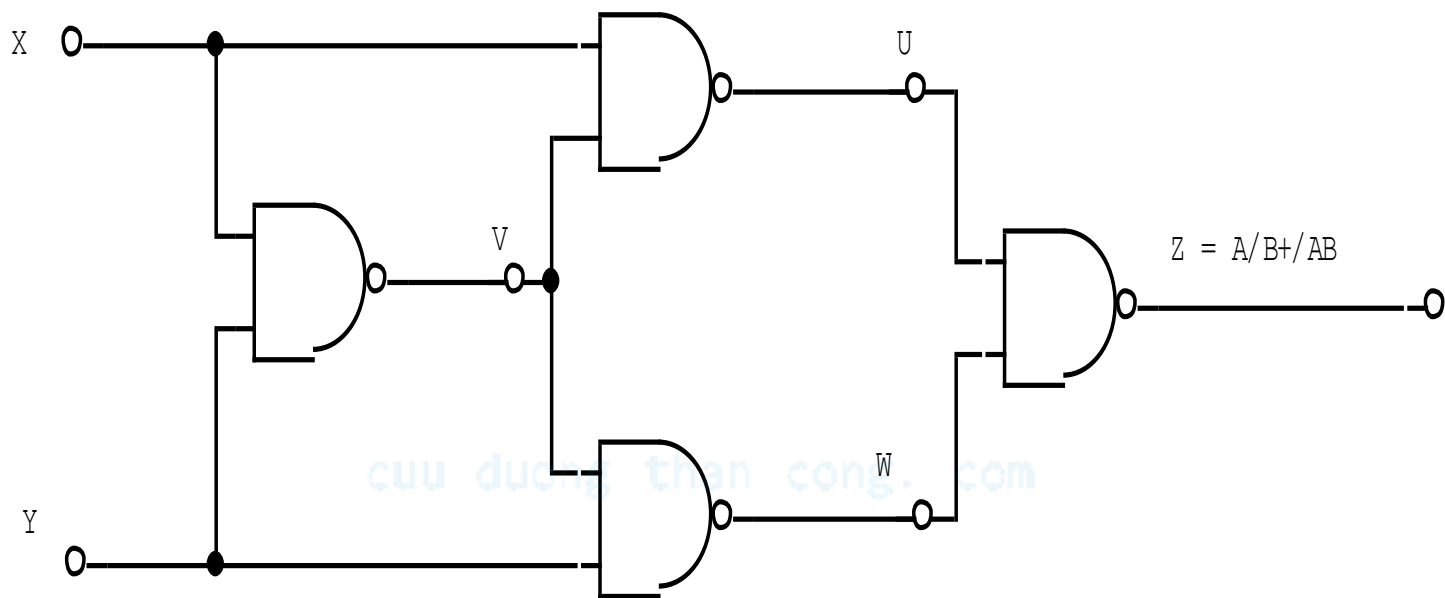
$$= \overline{A} \overline{B} C + A \overline{B} \overline{C} + A \overline{B} C + AB \overline{C}$$

$$= A \overline{C} + \overline{B} C$$

Thực hiện cổng XOR



- Hoặc



$$V = \overline{XY} \quad ; \quad U = \overline{X \overline{XY}} \quad ; \quad W = \overline{Y \overline{XY}}$$

$$\begin{aligned} Z = \overline{UW} &= \overline{U} + \overline{W} = \overline{X \overline{XY}} + \overline{Y \overline{XY}} = X \overline{\overline{XY}} + Y \overline{\overline{XY}} = \\ &= X + Y \overline{\overline{XY}} = X + Y \overline{X + Y} = X \overline{Y} + \overline{X} Y \end{aligned}$$

- Chứng minh cách khác

$$V = \overline{XY} ;$$

$$U = \overline{X \overline{XY}} = \overline{X} + \overline{\overline{XY}} = \overline{X} + XY$$

$$W = \overline{Y \overline{XY}} = \overline{Y} + \overline{\overline{XY}} = \overline{Y} + XY$$

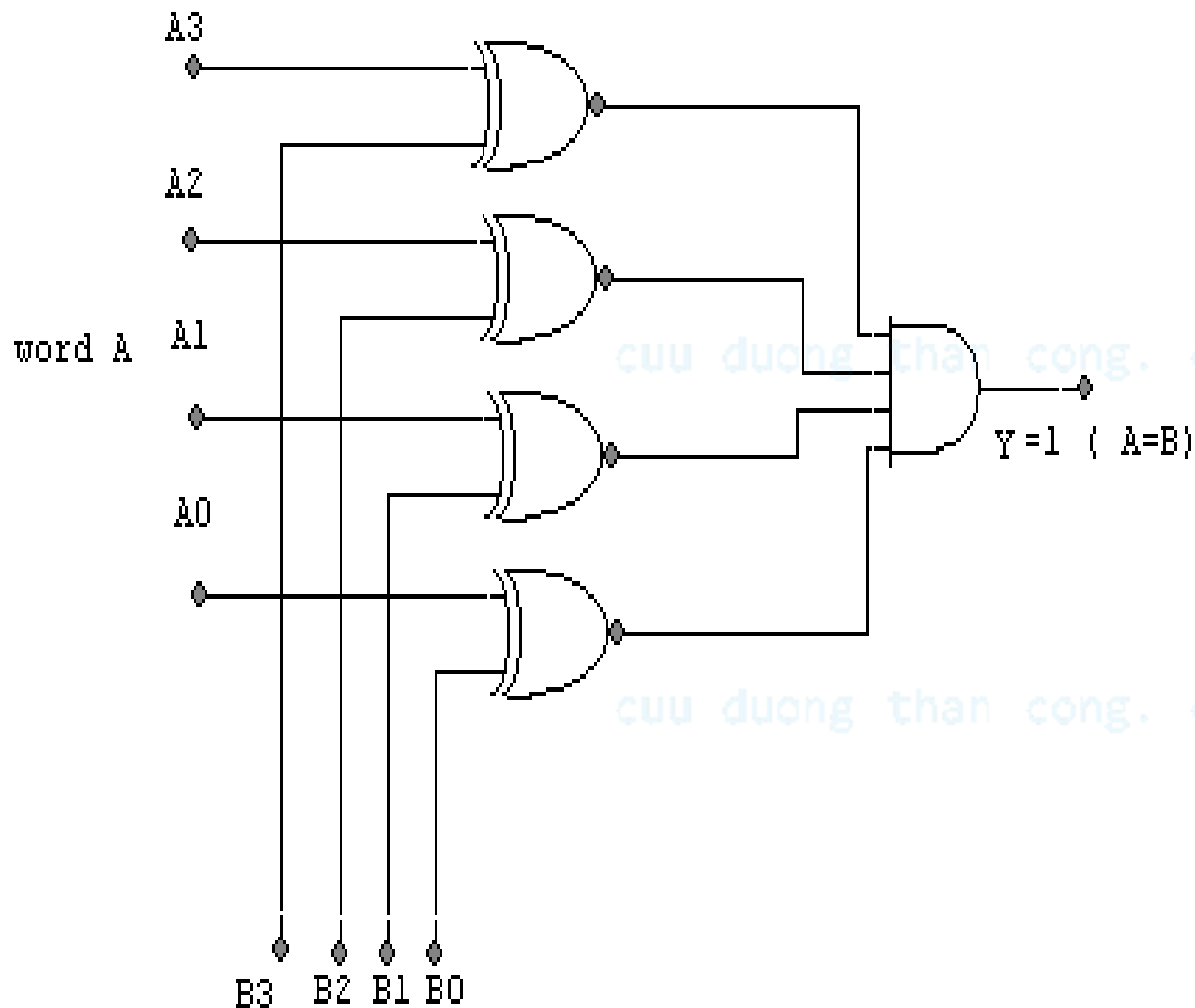
$$Z = \overline{UW} = \overline{U + W} = \overline{X + XY + Y + XY} =$$

$$= \overline{X \overline{XY} + Y \overline{XY}} = \overline{X + Y \overline{XY}} = \overline{X + Y} \overline{\overline{XY}} = \overline{X + Y} \overline{X + Y} =$$

$$= \overline{X} \overline{Y} + \overline{X} \overline{Y}$$

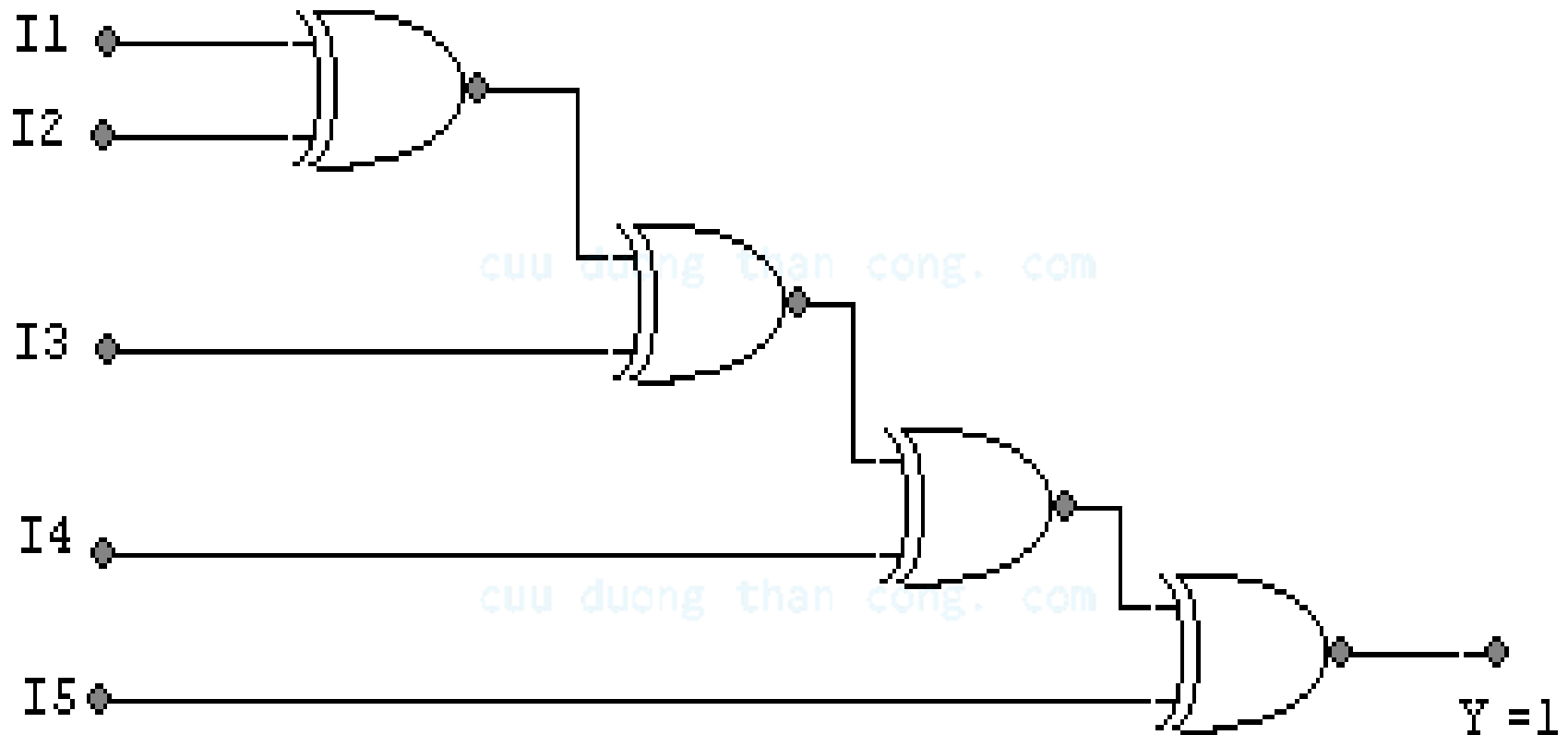
• Ứng dụng cổng EXOR

IC so sánh nhị phân



74LS85	
A3	IA < B
A2	IA = B
A1	IA > B
A0	
B3	
B2	A < B
B1	A = B
B0	A > B

Mạch kiểm tra chẵn lẻ (parity bit generator)



III. Đặc tính IC logic, IC số

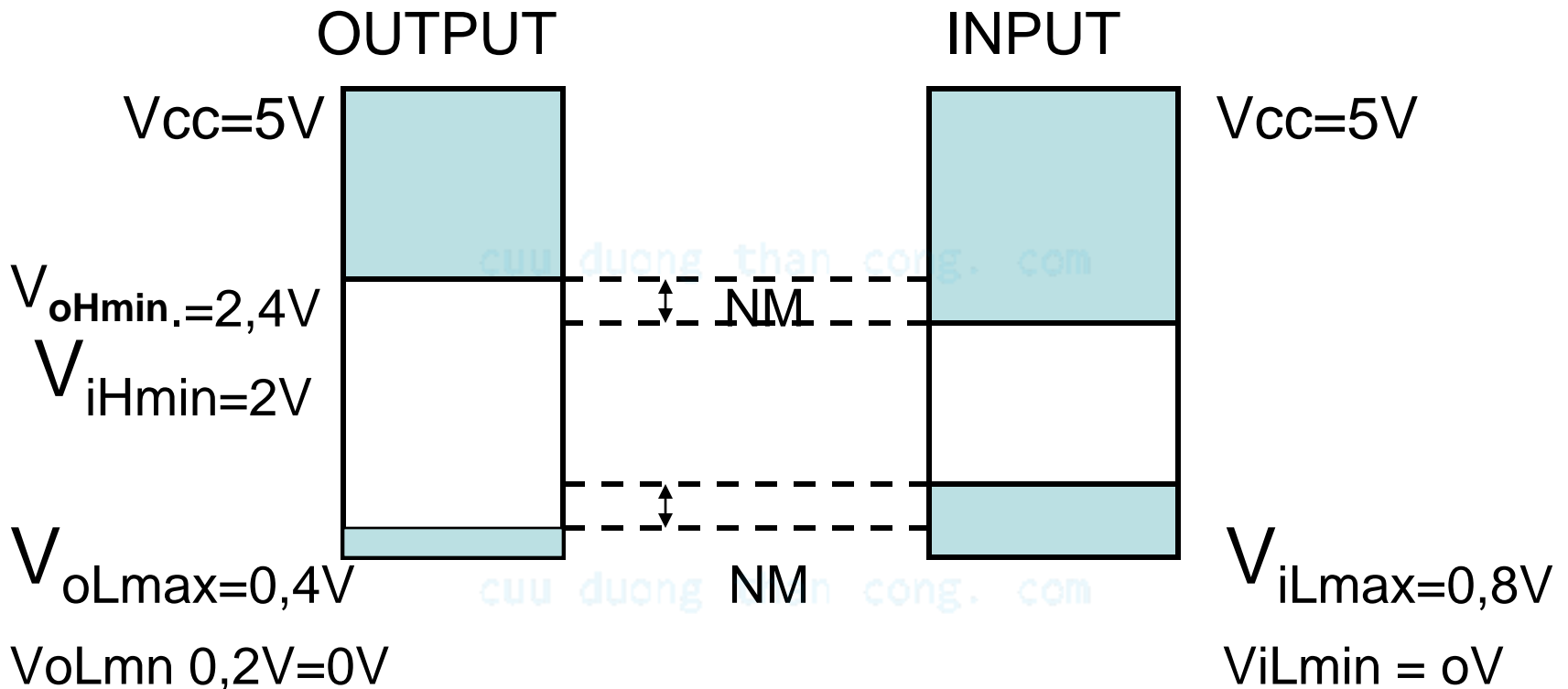
IC số gồm các họ sau:

- Họ RTL (Resistance Transistor Logic)
- Họ DTL (Diod Transistor Logic)
- Họ TTL (Transistor transistor Logic)
- Họ CMOS(ComplementaryMOS Logic)
- Họ ECL (Emitter Coupled Logic)
- Họ I²L(Integrated Injection Logic)

Ở đây ta chỉ xét 2 họ IC thông dụng là TTL và CMOS

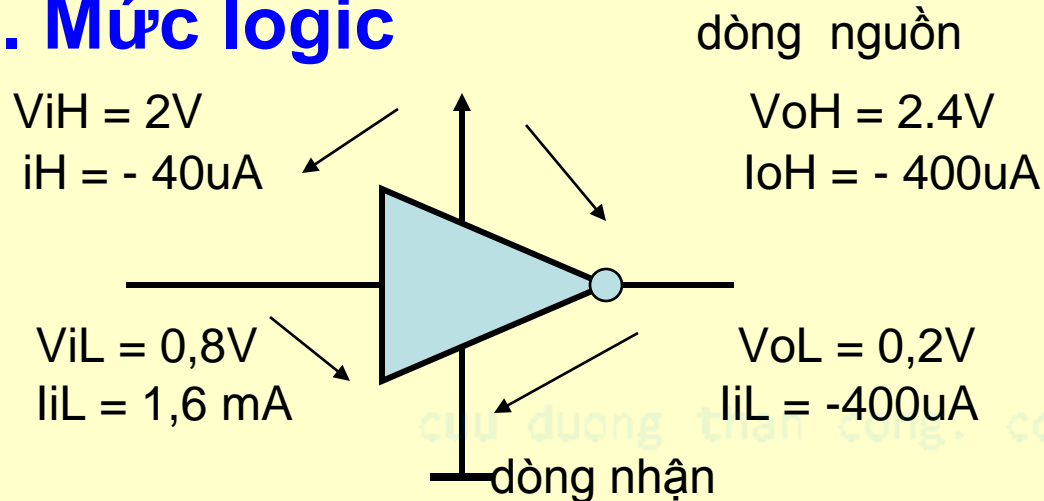
1. Họ IC TTL

- Mức logic IC TTL chuẩn (standard)



ICTTL chuẩn có các đặc tính sau:

(1). Mức logic

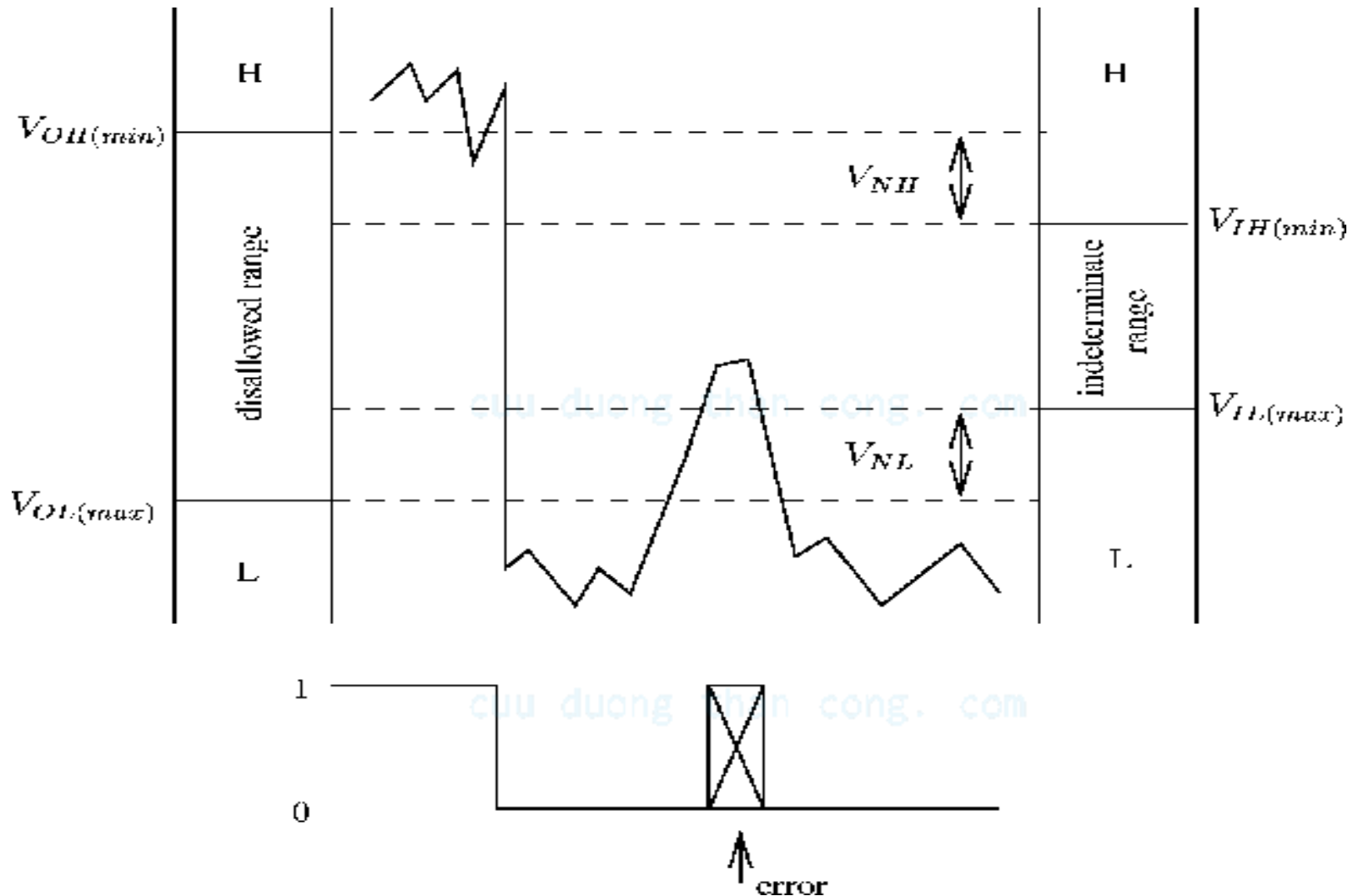


(2) Khả năng tải (Fan out):

$$N = \frac{\text{Trị số dòng ra của IC trước}}{\text{Trị số dòng vào của các IC sau}} = \frac{I_{oL}}{I_{iL}} = \frac{I_{oH}}{I_{iH}}$$

$$N = 16\text{mA} / 1,6\text{mA} = 400\mu A / 40\mu A = 10 \rightarrow N < 10$$

(3).Lề nhiễu (Noise margin)



(3). Độ chống nhiễu

Là khoảng cách điện thế của xung nhiễu xen vào nhưng chưa làm thay đổi trạng thái của IC:

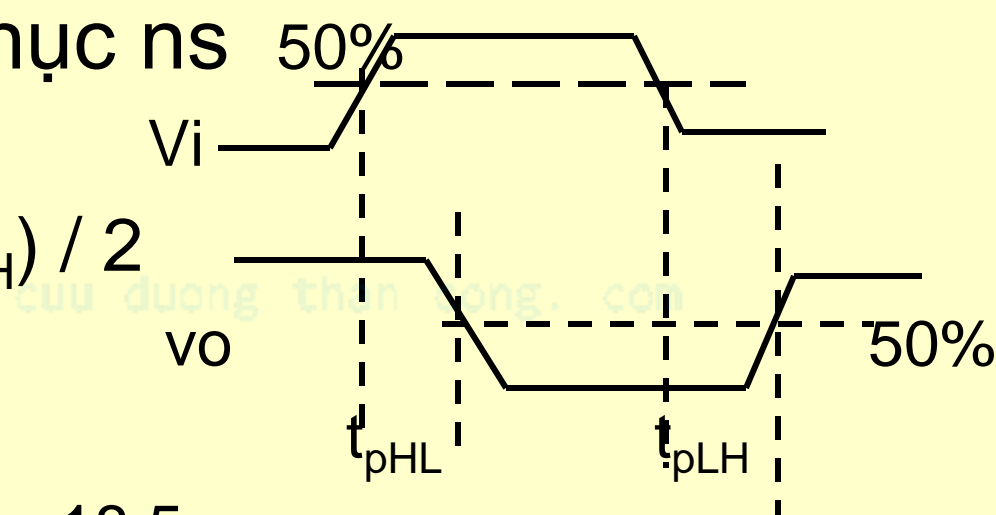
$$(NM)_L = V_{imax} - V_{omax} = 0,8 - 0,4 = 0,4V$$

$$(NM)_H = V_{OHmin} - V_{iH min} = 2,4V - 2V = 0,4V$$

(4). Tốc độ truyền trễ t_{pd}

t_{pHL} , t_{pLH} vài chục ns

$$t_{pdtb} = (t_{pHL} + t_{pLH}) / 2$$



Thí dụ:

$$t_{pdtb} = (22 + 15) / 2 = 18,5 \text{ ns}$$

(5). Điện thế cấp điện

$$V_{cc} = 5V \quad (4,75V - 5V)$$

(6). Công suất tiêu thụ

$$P_D = V_{cc} I_{cc}$$

$$P_{Dtb} = V_{cc} I_{cctb}$$

$$\text{với } I_{cctb} = (8mA + 14mA) / 2 = 11mA$$

$$P_{Dtb} = 5V(11mA) = 55mW$$

(7). Tích số tốc độ công suất-SPP(Speed power product)

$$SPP = P_{Dtb} \cdot T_{pdtb}$$

$$SPP = 55mW(10ns) = 50pW.s = 50pJ$$

SPP càng nhỏ càng tốt

Tóm tắt các định nghĩa

$$\text{FANOUT} = \min \left(\frac{|I_{OH}|}{|I_{IH}|}, \frac{|I_{OL}|}{|I_{IL}|} \right).$$

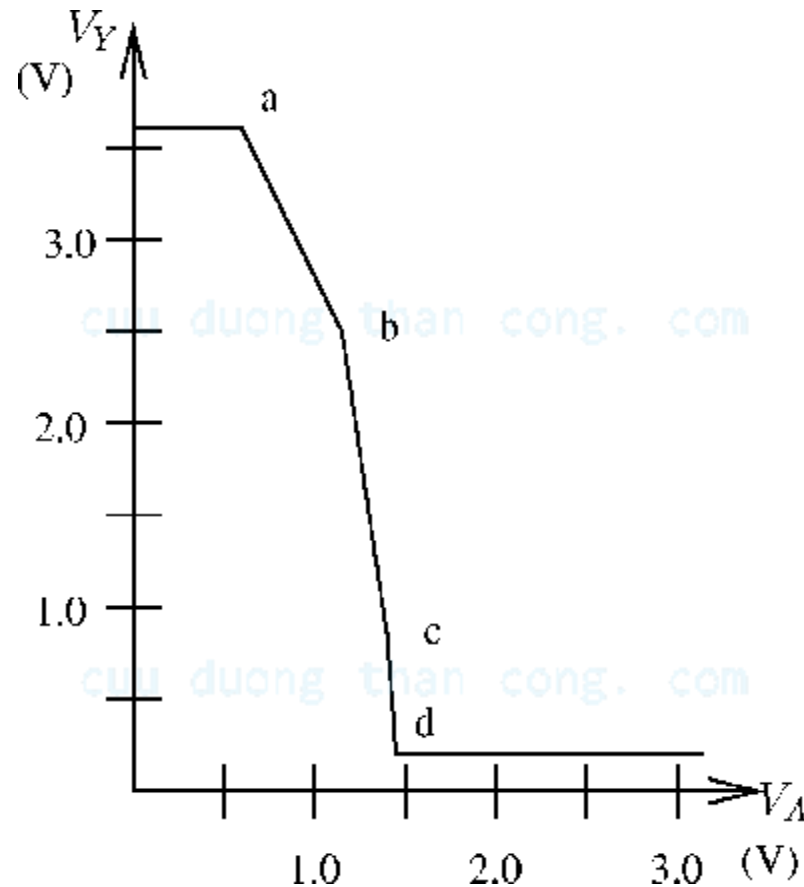
$$t_{P(ave)} = \frac{t_{PLH} + t_{PHL}}{2}.$$

$$I_{CC(ave)} = \frac{I_{CCH} + I_{CCL}}{2}$$

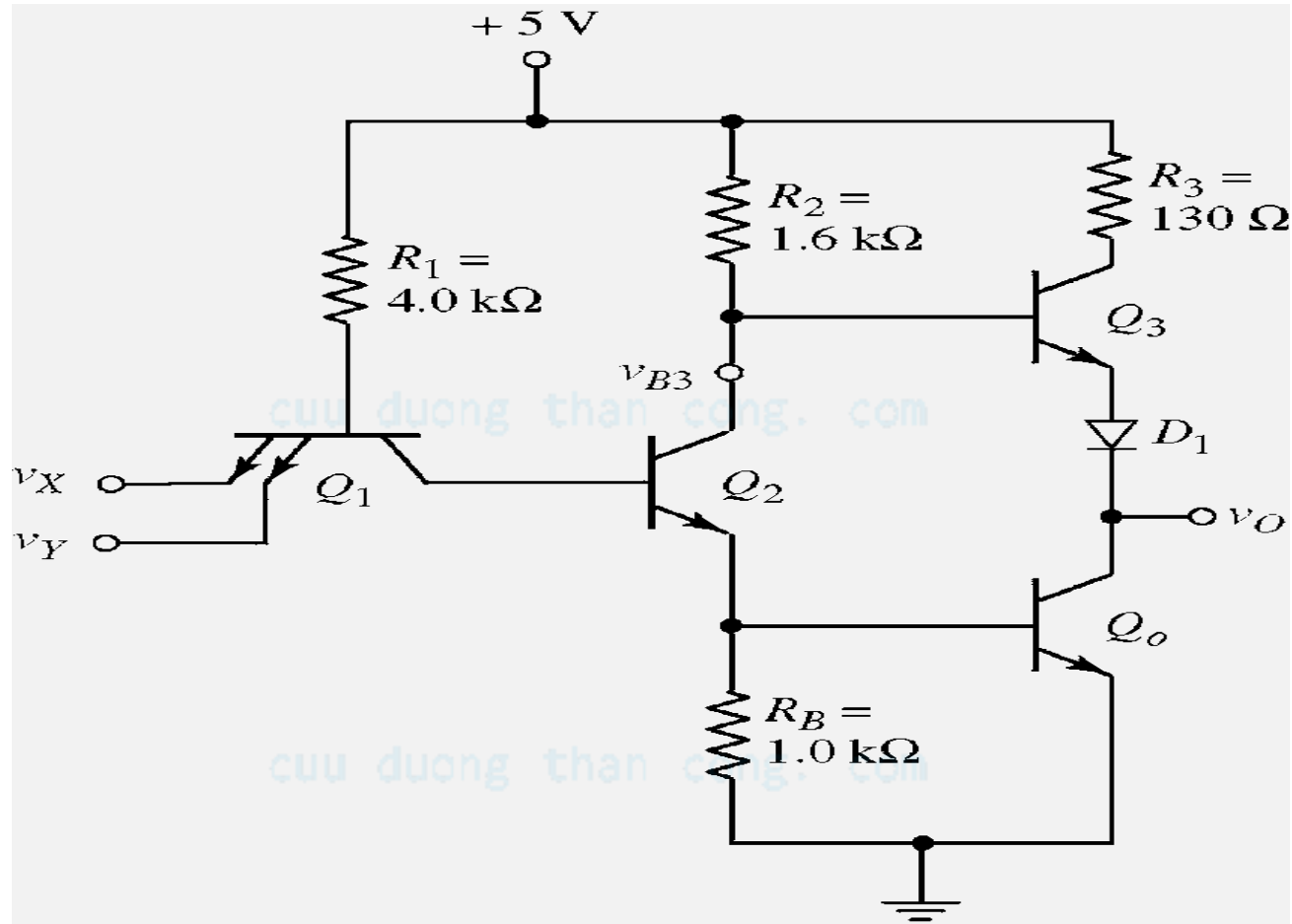
$$P_{D(ave)} = I_{CC(ave)} \times V_{CC}$$

$$t_{P(ave)} \times P_{D(ave)}$$

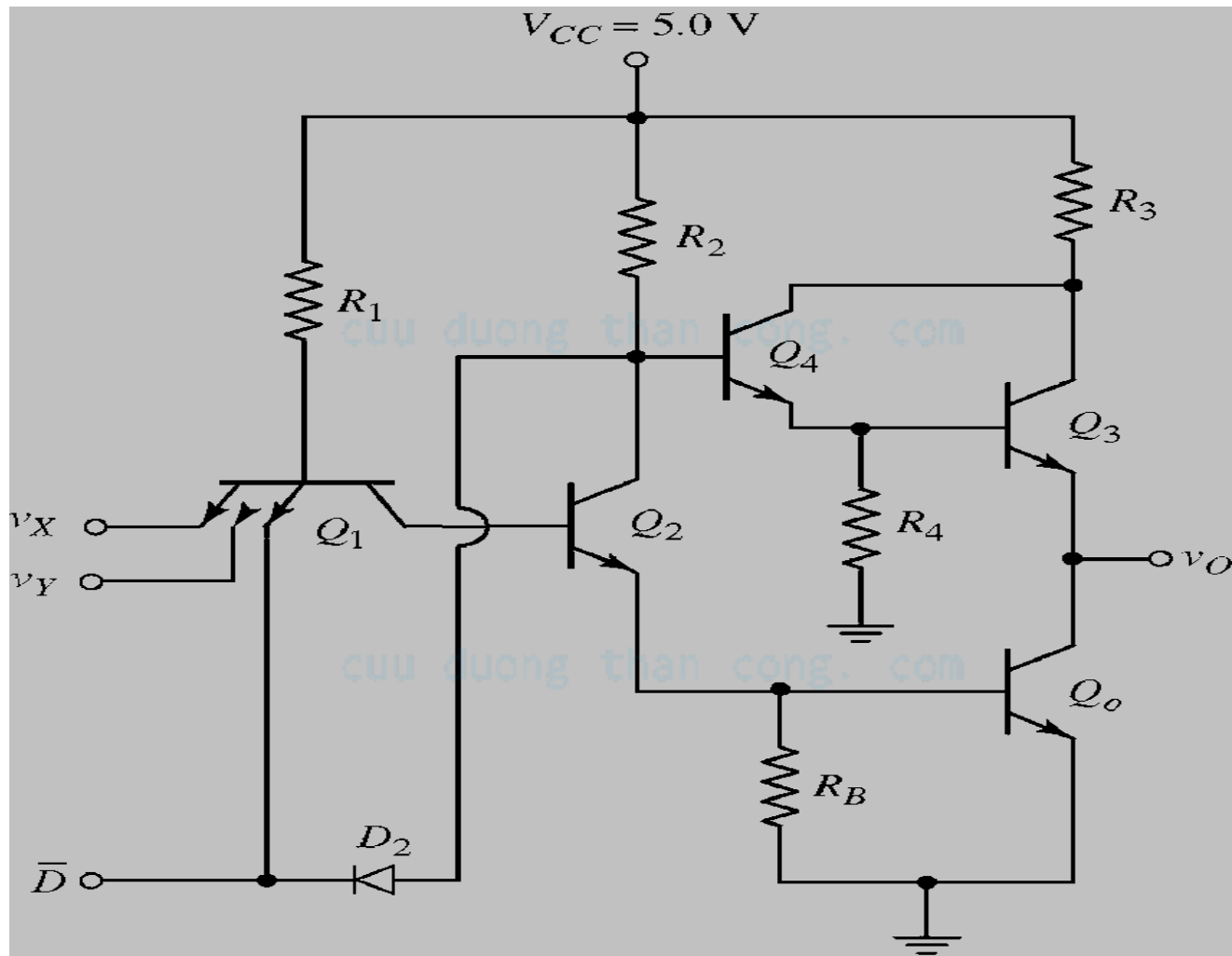
Đặc tuyến chuyển của IC TTL



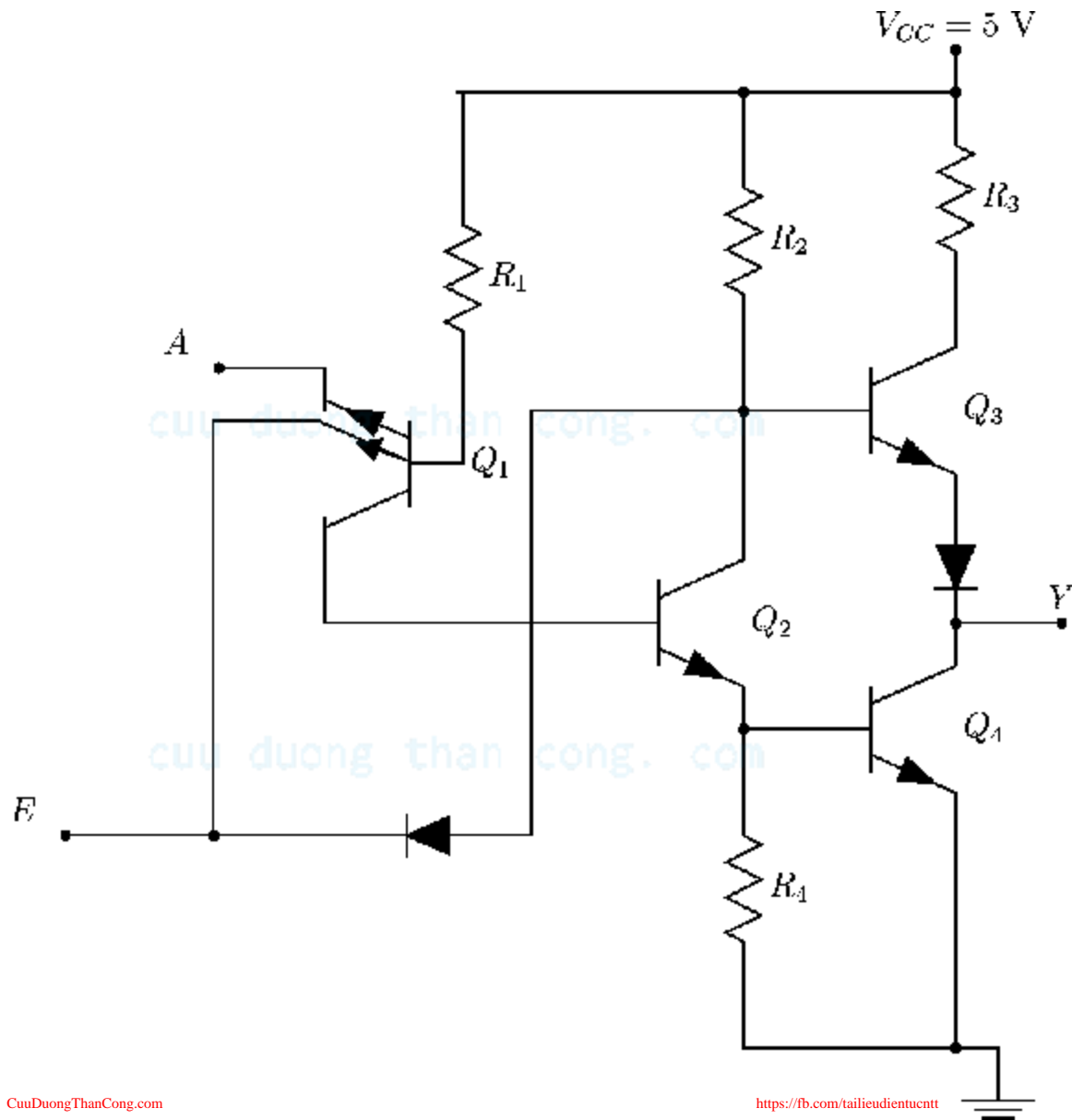
NAND TTL chuẩn – Ngõ ra totem



Ngõ ra 3 trạng thái



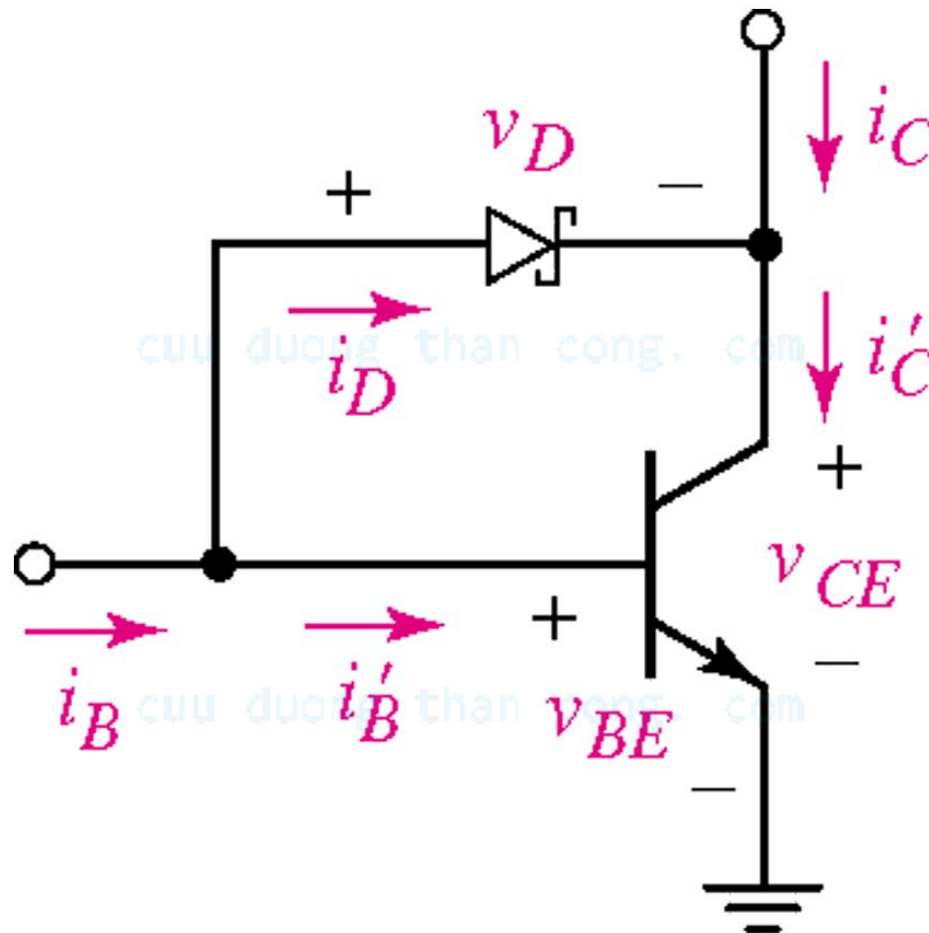
NAND TTL 3 trạng thái



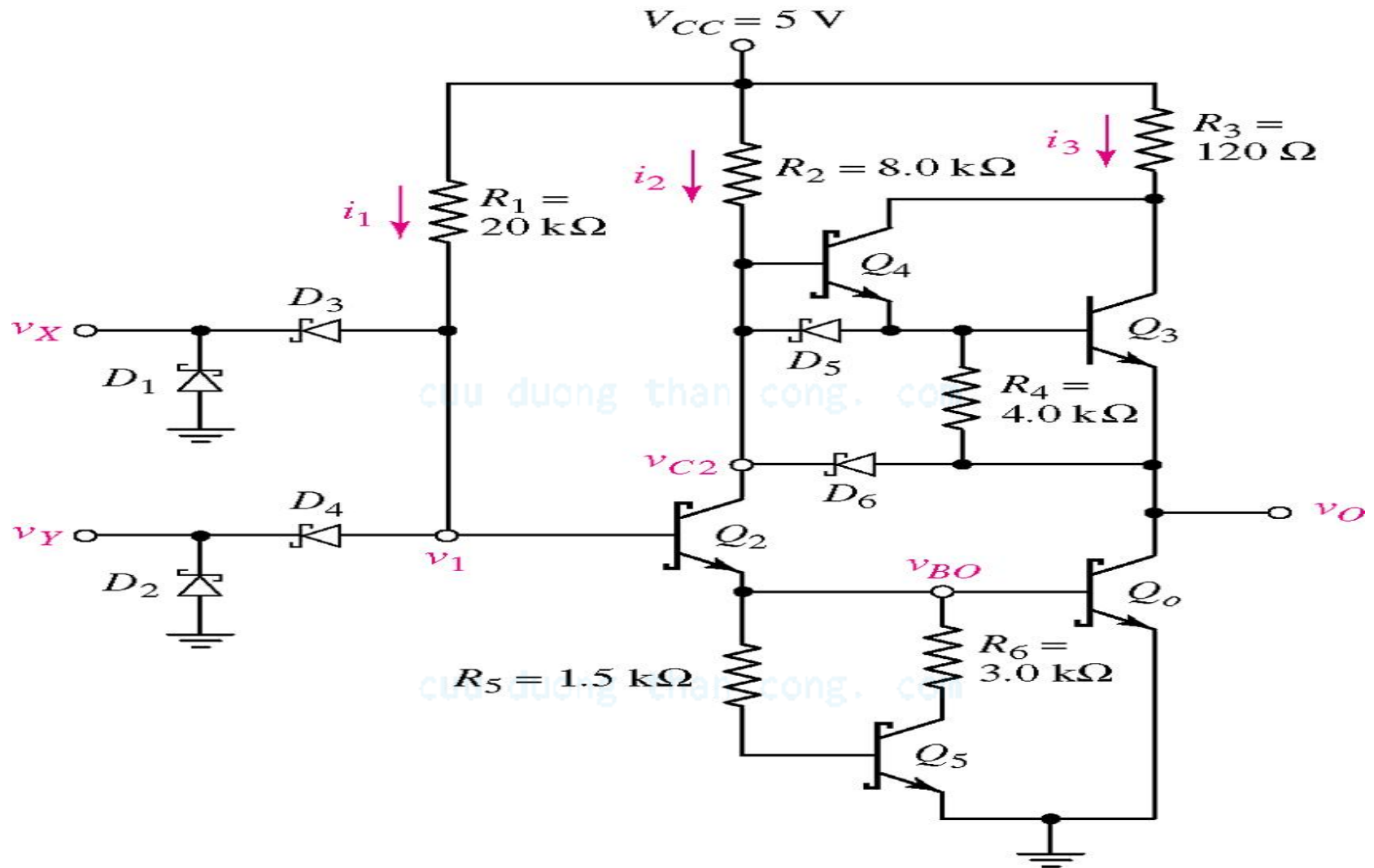
- Cách hoạt động của TTL – 3trạng thái

Enable	Input	Output
L	X	Z
H	L	H
H	H	L

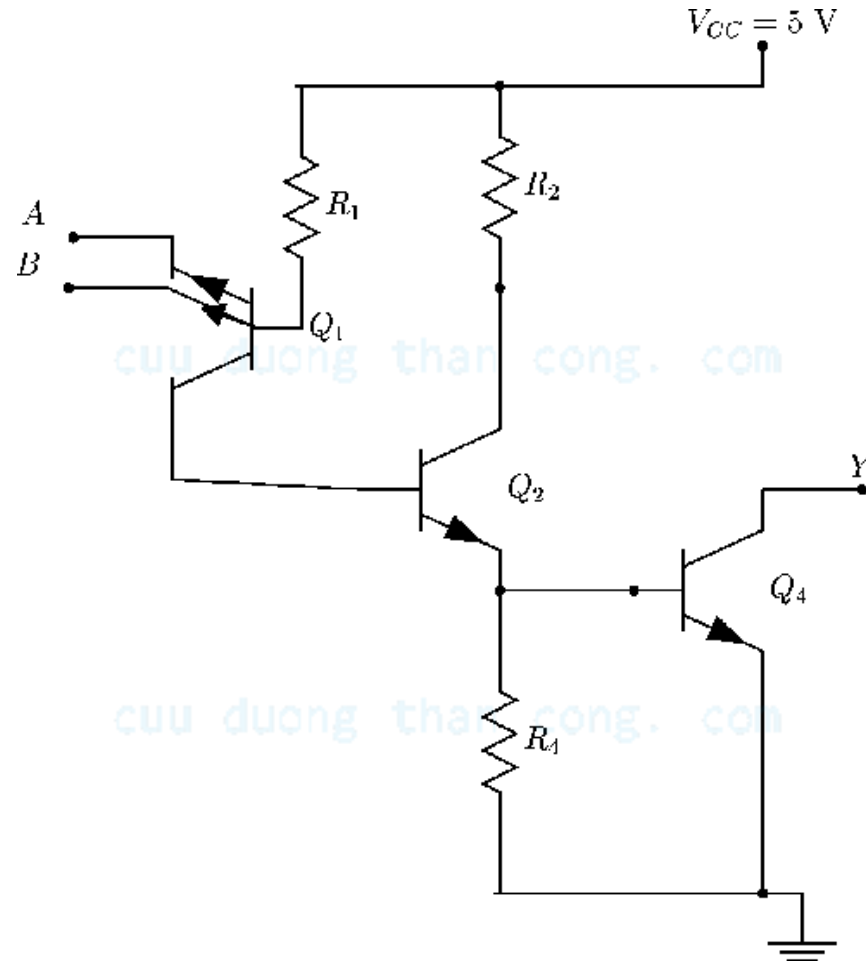
Có mắc thêm diod Schottky



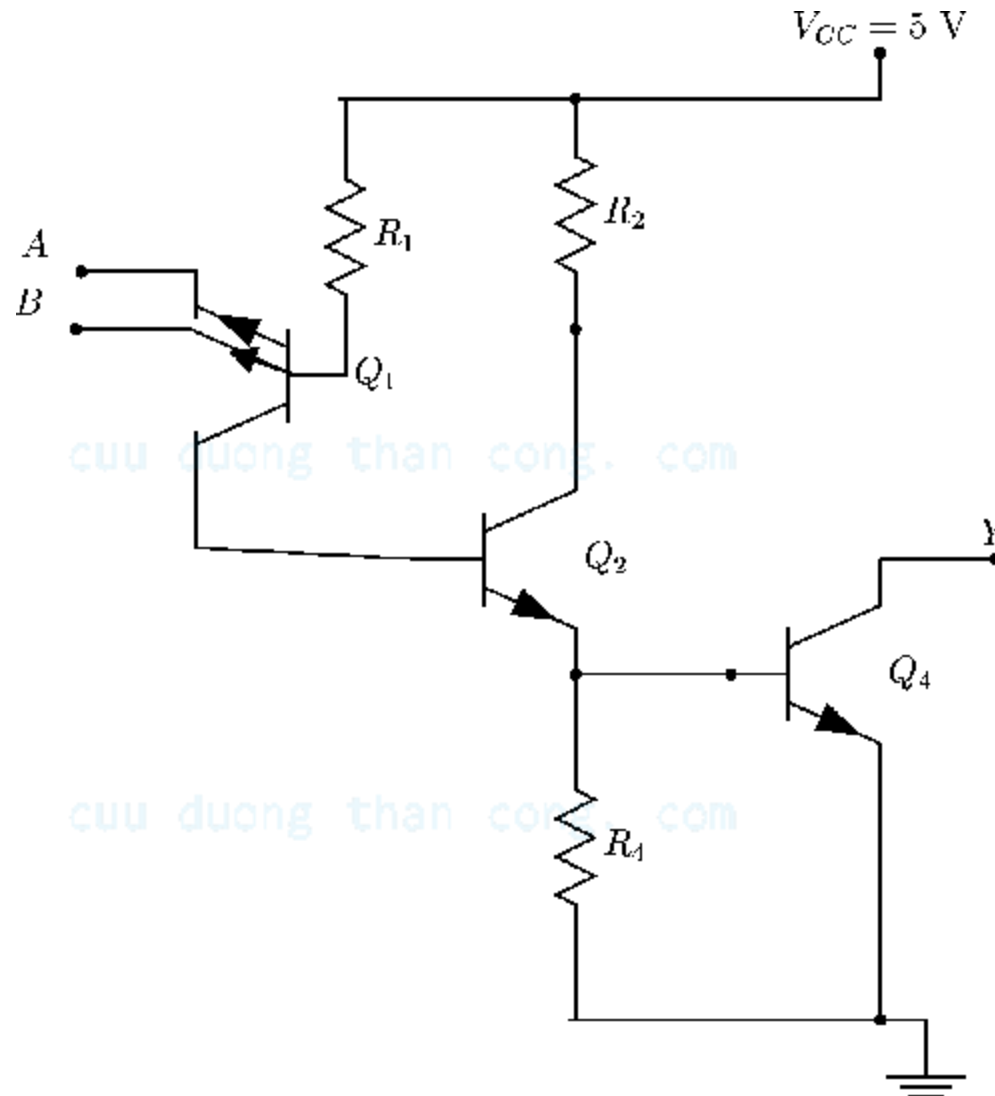
NAND TTL Schottky công suất thấp -LS



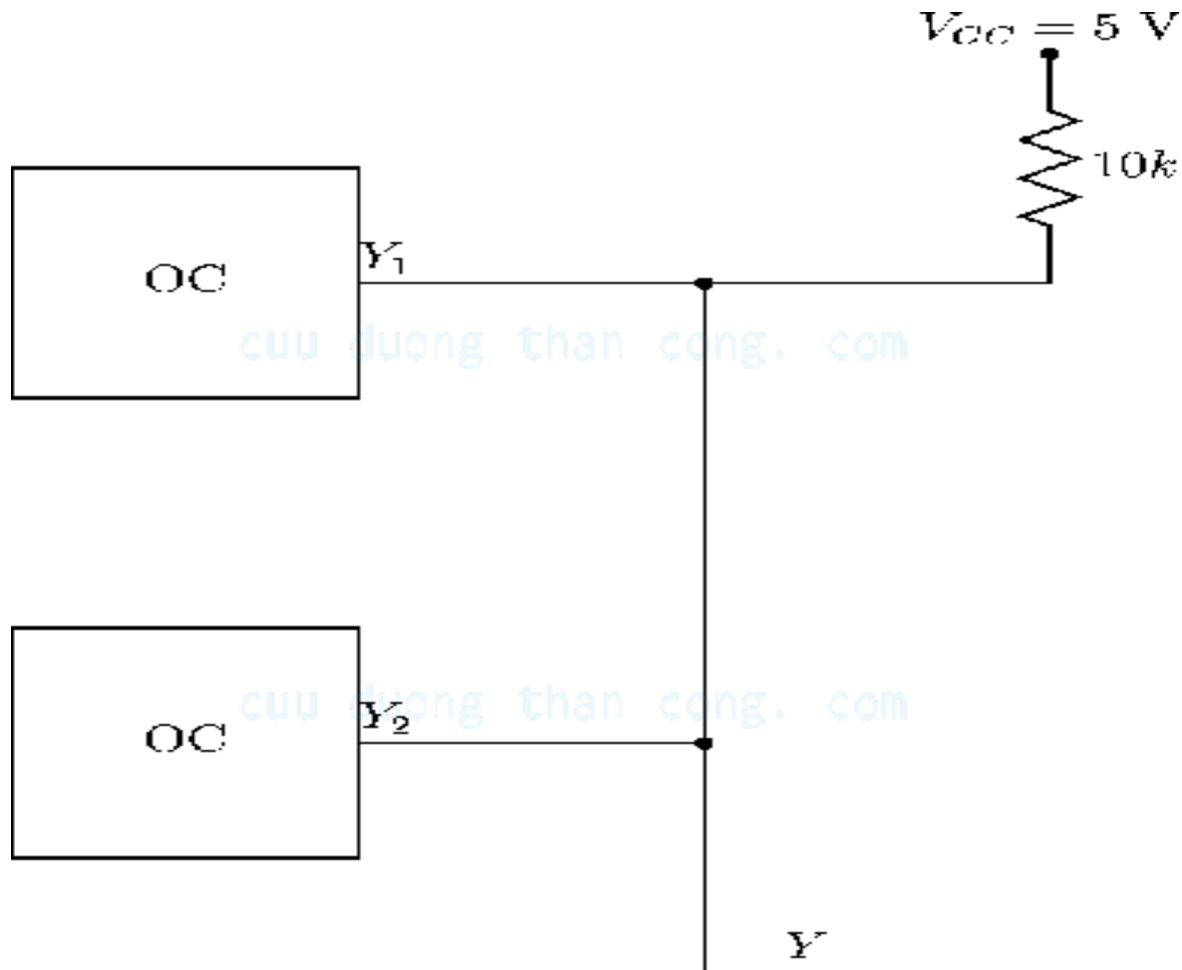
NAND TTL cực thu hở -



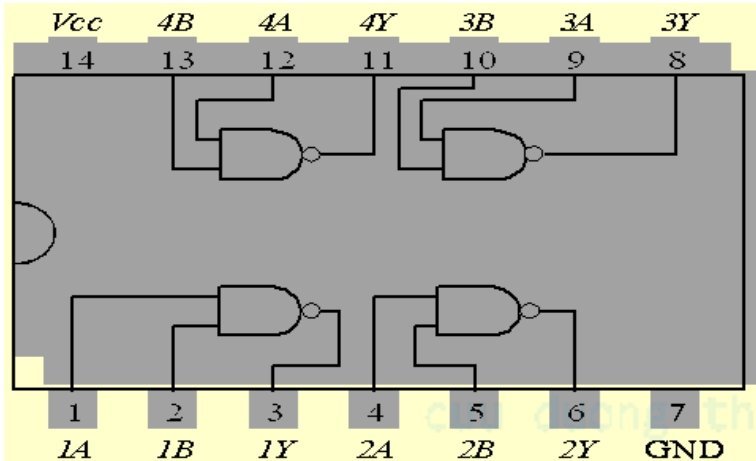
NAND TTL cực thu hở- OC (open collector)



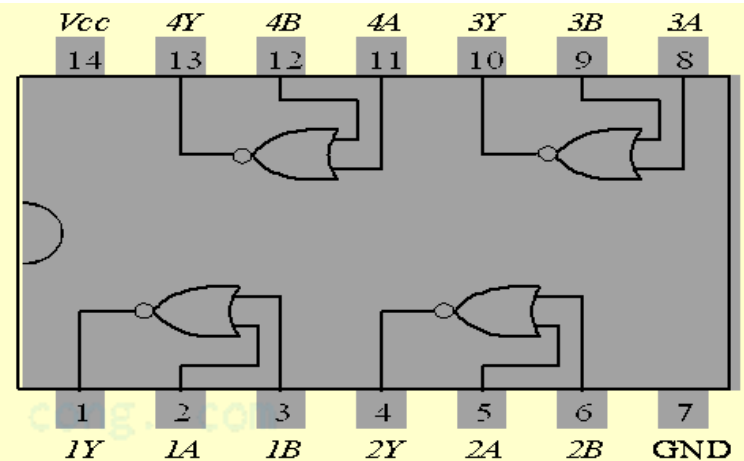
IC TTL cực thu hở phải có tải kéo lên mới hoạt động được



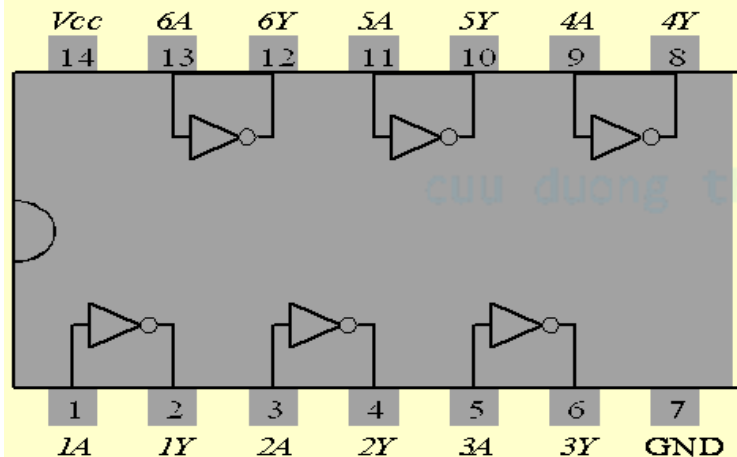
Electronic Logic Gates (3)



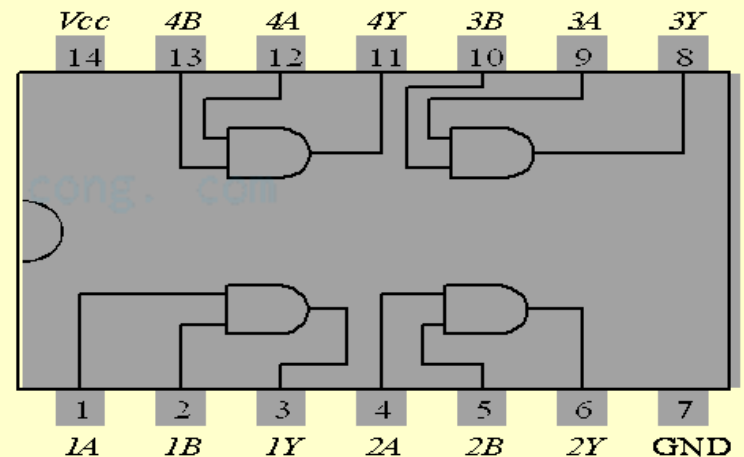
$7400Y = \overline{AB}$
Quadruple two-input NAND gates



$7402Y = \overline{A+B}$
Quadruple two-input NOR gates

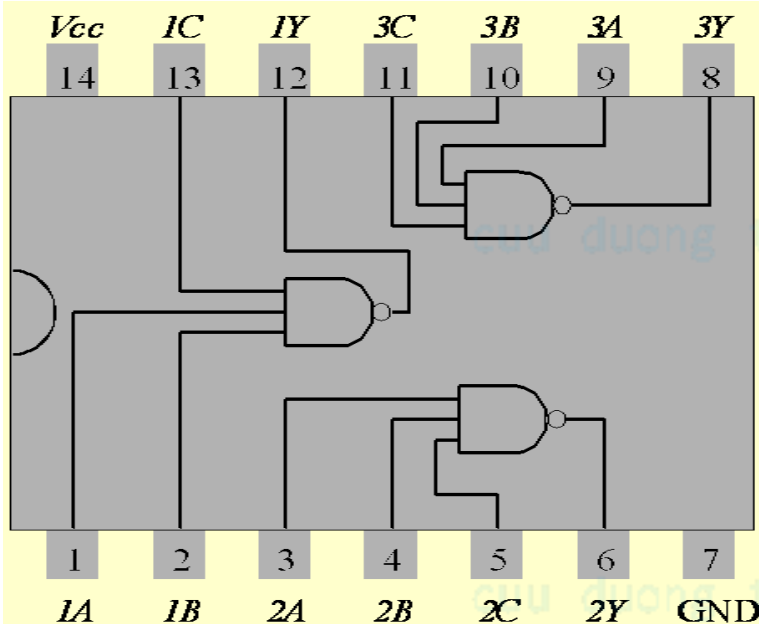


$7404Y = \overline{A}$
Hex inverters

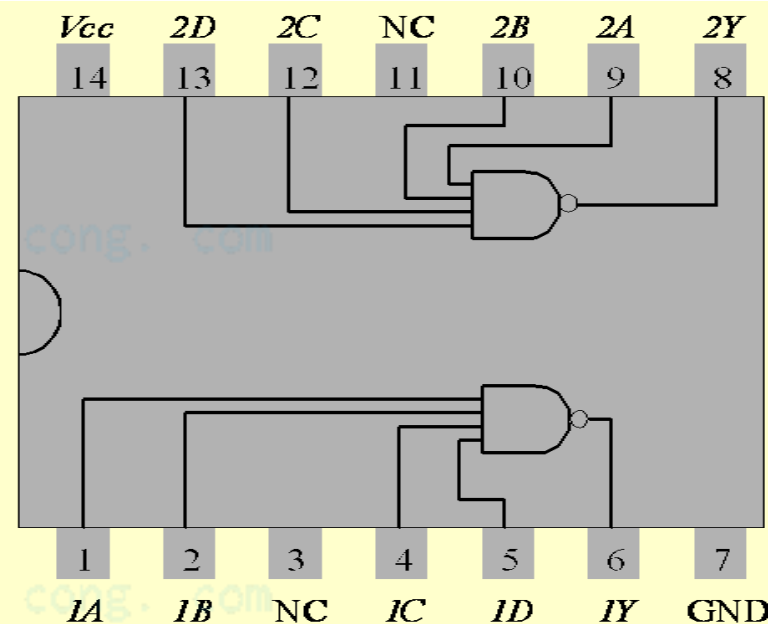


$7408Y = AB$
Quadruple two-input AND gates

Electronic Logic Gates (4)

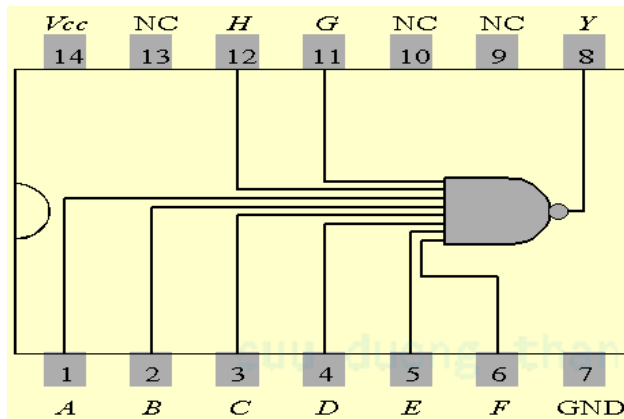


$7410Y = \overline{ABC}$
Triple three-input NAND gates

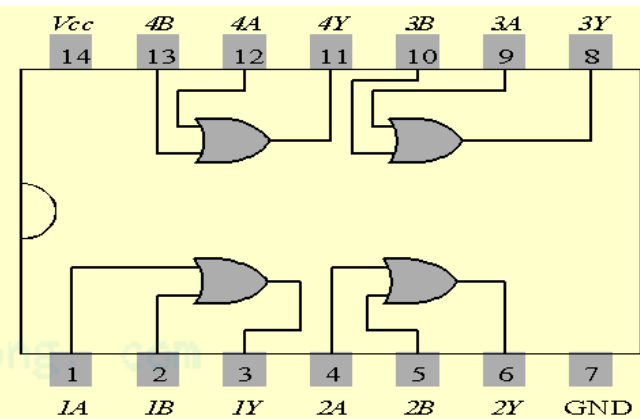


$7420Y = \overline{ABCD}$
Dual four-input NAND gates

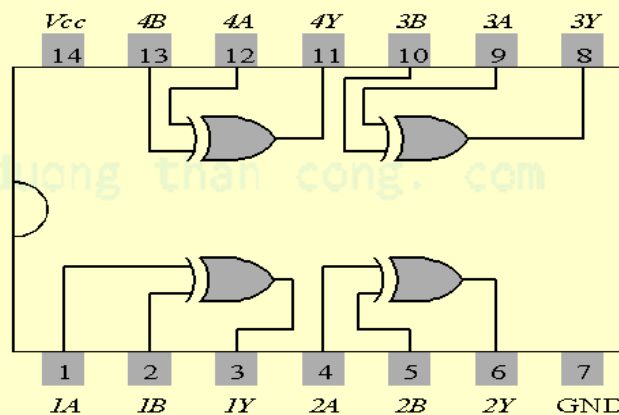
Electronic Logic Gates (5)



$7430Y = ABCDEFGH$
8-input NAND gate



$7432Y = A + B$
Quadrate two-input OR gates



$7486Y = A \oplus B$
Quadrate two-input exclusive-OR gates

Analysis of Combinational Circuits (11)

- Power dissipation and propagation delays for several logic families (Table 2.7)

Logic Family	Propagation Delay $t_{PD}(ns)$	Power Dissipation Per Gate (mW)	Technology
7400	10	10	Standard TTL
74H00	6	22	High-speed TTL
74L00	33	1	Low-power TTL
74LS00	9.5	2	Low-power Schottky TTL
74S00	3	19	Schottky TTL
74ALS00	3.5	1.3	Advanced low-power Schottky TTL
74AS00	3	8	Advanced Schottky TTL
74HC00	8	0.17	High-speed CMOS

Analysis of Combinational Circuits (12)

- Propagation delays of primitive 74LS series gates (Table 2.8)

Cp	Function	4HL		4HL	
		Typical	Maximum	Typical	Maximum
74LS1	N	9	15	0	15
74LS2	N	9	15	0	15
74LS3	N	0	15	0	15
74LS4	A	8	15	0	0
74LS5	D	14	22	14	22

cuu duong than cong. com

- **Đặc tính các họ IC TTL**

Họ IC TTL	Tpd ns	PD/ cổng	Tần số hoạt động
TTL chuẩn 54/74XX	10	10mW	DC- 35MHZ
TTL c/s thấp 74Lxxx	33	1mW	DC-30MHz
TTL 74LSxxx	9,5	2mW	DC-45MHz
TTL tốc độ nhanh 74H	6ns	22mW	DC-50MHz
TTL Schottky 74S	3ns	19mW	DC-123MHz

- TTL cao cấp 74Axxx; 74ASxxx(Schottky cao cấp; 74ALSxxx(8ns); 74F xxx(nhanh); 74FASTxxx (nhanh Schott.cao cấp 2,5ns)

b. Họ IC-CMOS

Đặc tính IC CMOS

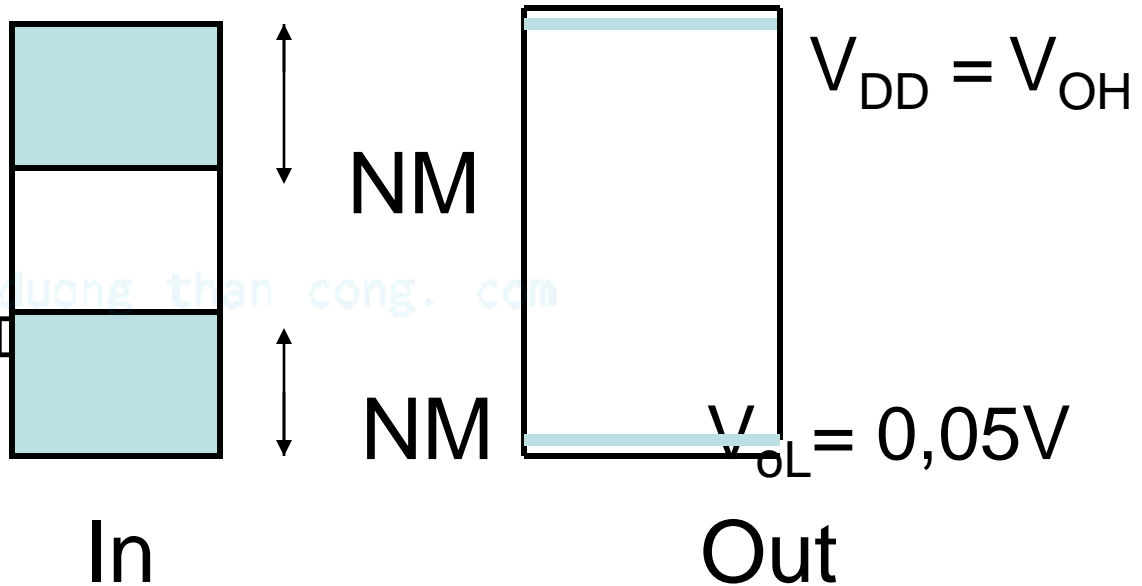
(1) Mức logic

$$V_{iHmax} = V_{DD}$$

$$V_{iHmin} = 2/3 V_{DD}$$

$$V_{iLmax} = 1/3 V_{DD}$$

$$V_{iLmin} = 0V$$



Dòng ra và dòng vào rất bé pA \rightarrow mA

74Cxxx, 74ACTxxx ($I_{OH} = I_{OL} = 24mA$)

74FCT ($I_{OH} = 15mA$); 74TC ($I_{OH} = 64mA$)

2). Khả năng tải

$$N < 50 \quad (\text{Họ } 40\text{xxx})$$

(3) Lề nhiễu-NM

$$NM = (1/3) V_{DD}$$

(4). Điện thế cung cấp

$$V_{SS} = 0V \rightarrow V_{DD} = 3V - 18V$$

(5). Thời gian truyền trễ t_{pd} (Delay time)

40xxx ($t_{pd} = 30 - 100\text{ns}$); 74C (7-8ns)

74HCFACT (3,5ns); 74FACT,ACL(2,5ns)

(6) Công suất tiêu tán P_D rất bé , nhưng thay đổi theo tần số hoạt động

0,001mW/cổng tại 100kHz;

0,1mW tại 1MHz;

50mW tại 40MHz;

1,5mW tại 1MHz (74HCxxx)

(7) Tích số tốc độ công suất – SPP

Rất nhỏ khoảng pws (pico watt giây)

100pws (74xxx) ; 105pwz tại 1MHz (40xxx)

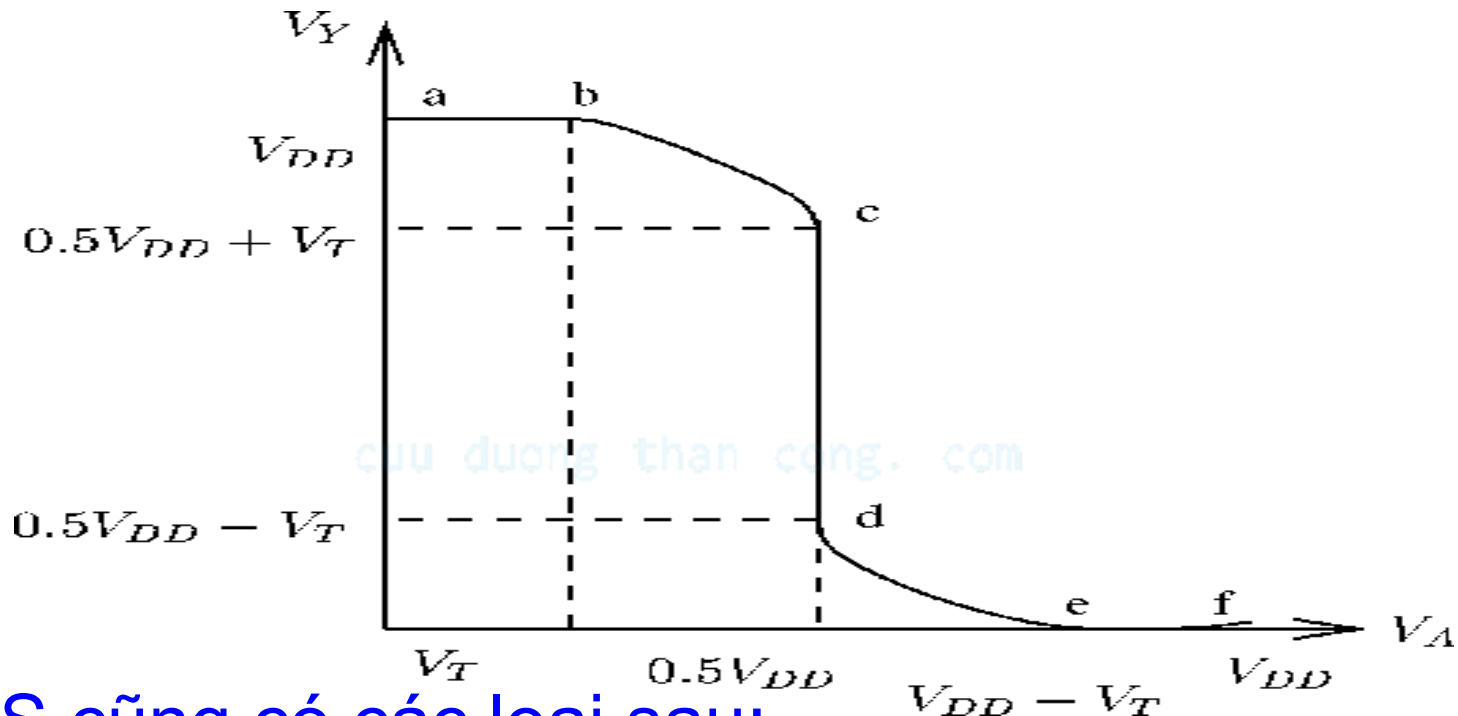
15pws (74HCxxx); 74HCT (có tốc độ cao và tương thích với họ TTL)

Nhận xét:

CMOS có những ưu điểm hơn TTL như:

- Tổng trở vào rất lớn**
- Dòng tiêu thụ nhỏ, công suất tiêu tán thấp**
- Lệ nhiễu lớn $[(1/3)V_{DD}]$**
- Tốc độ tuy chậm nhưng nay đã cải tiến (đạt 1ns)**

Đặc tuyến truyền của CMOS



CMOS cũng có các loại sau:

- Ngõ ra 3 trạng thái (3S)
- Cực thoát hở OD (open drain)
- Tương thích với TTL(74HCxxx, 74HCT...)

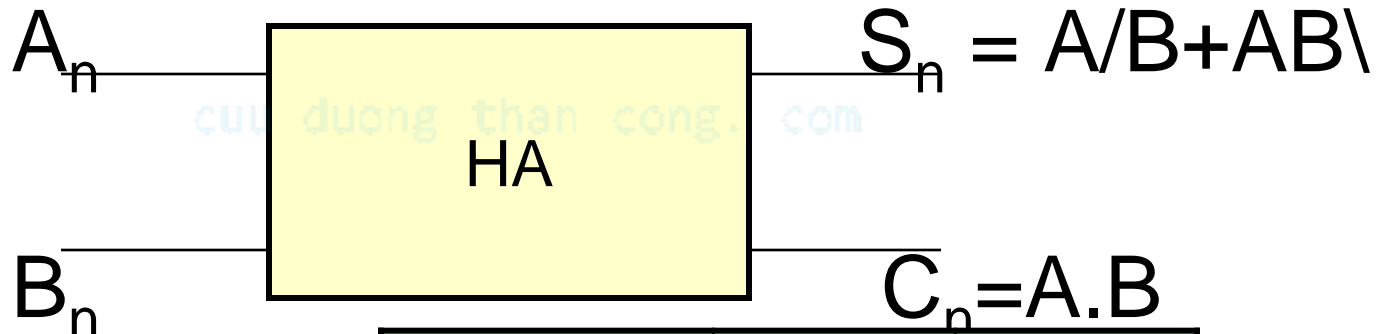
Các điều cần chú ý khi sử dụng CMOS:

- (1). Lưu giữ linh kiện trên tấm mốp dẫn điện hoặc trong các board mạch có nối đất.
- (2). Tránh để nơi ẩm thấp và gần các chất tổng hợp.
- (3). Không được chạm tay vào các chân ra.
- (4). Không được tháo IC ra khỏi mạch khi đang có điện.
- (5). Tay, mỏ hàn, kềm... phải được nối đất trước và đang khi tiếp xúc với IC.
- (6). Mắc tất cả các chân có ghi NC vào VDD hoặc vào mass
- (7). Bảo đảm tín hiệu vào không vượt quá trị VDD cung cấp.
- (8). Tắt nguồn tín hiệu vào trước khi tắt bộ nguồn cấp điện .
- (9). Không nên thúc 1 IC TTL bằng ngõ ra IC CMOS chuẩn, không nối chung các ngõ ra IC CMOS lại với nhau kể cả IC có ngõ ra 3 trạng thái.
- (10). Giảm thiểu các tải có tính điện dung ở ngõ ra, giữ tpd càng nhỏ càng tốt, không được nối dây quá dài giữa các chân IC.

V. Mạch logic tổ hợp

1. Mạch làm toán

a. Mạch bán tổng – HA (Half Adder)



Theo hàm SOP →
mạch gồm cổng
EXOR và AND

B_n	A_n	S_n	C_n
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Gates and Combinatorial Logic

- Many computer functions defined in terms of Boolean equations
 - Example: sum of 2 single binary digit numbers
 - Truth table for sum
 - Truth table for carry

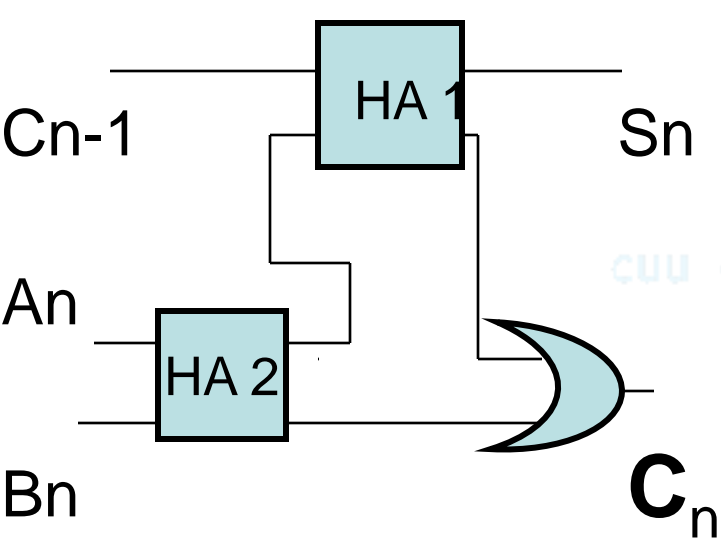
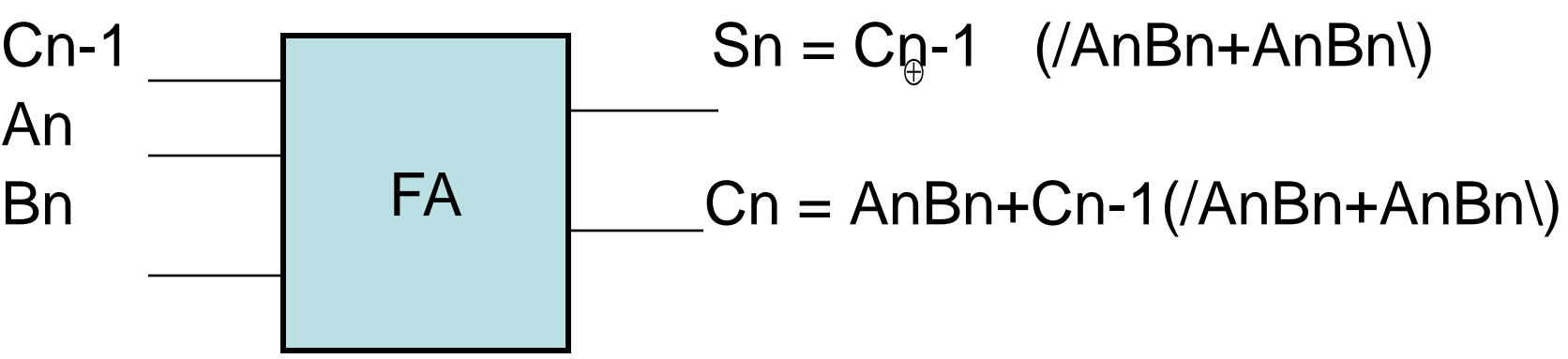
XOR

A	B	C
0	0	0
0	1	1
1	0	1
1	1	0

AND

A	B	C
0	0	0
0	1	0
1	0	0
1	1	1

• b.Mạch toàn tổng – FA (Full Addder)



C_{n-1}	B_n	A_n	S_n	C_n
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Full-Adder

Truth Table

x	y	z	C	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Logic Equations

$$\begin{aligned}
 C &= x'y z + x y' z + x y z' + x y z \\
 &= z \cdot (x'y + x y') + x y \cdot (z + z') \\
 &= z \cdot (x \oplus y) + x \cdot y \\
 &= \text{MAJ}(x, y, z)
 \end{aligned}$$

$$\begin{aligned}
 S &= x'y' z + x'y z' + x y' z' + x y z \\
 &= x'y z' + x y' z' + x'y' z + x y z \\
 &= z' (x'y + x y') + z (x'y' + x y) \\
 &= z' (x \oplus y) + z (x \oplus y)' \\
 &= (x \oplus y) \oplus z \\
 &= x \oplus y \oplus z
 \end{aligned}$$

Full-Adder

Truth Table

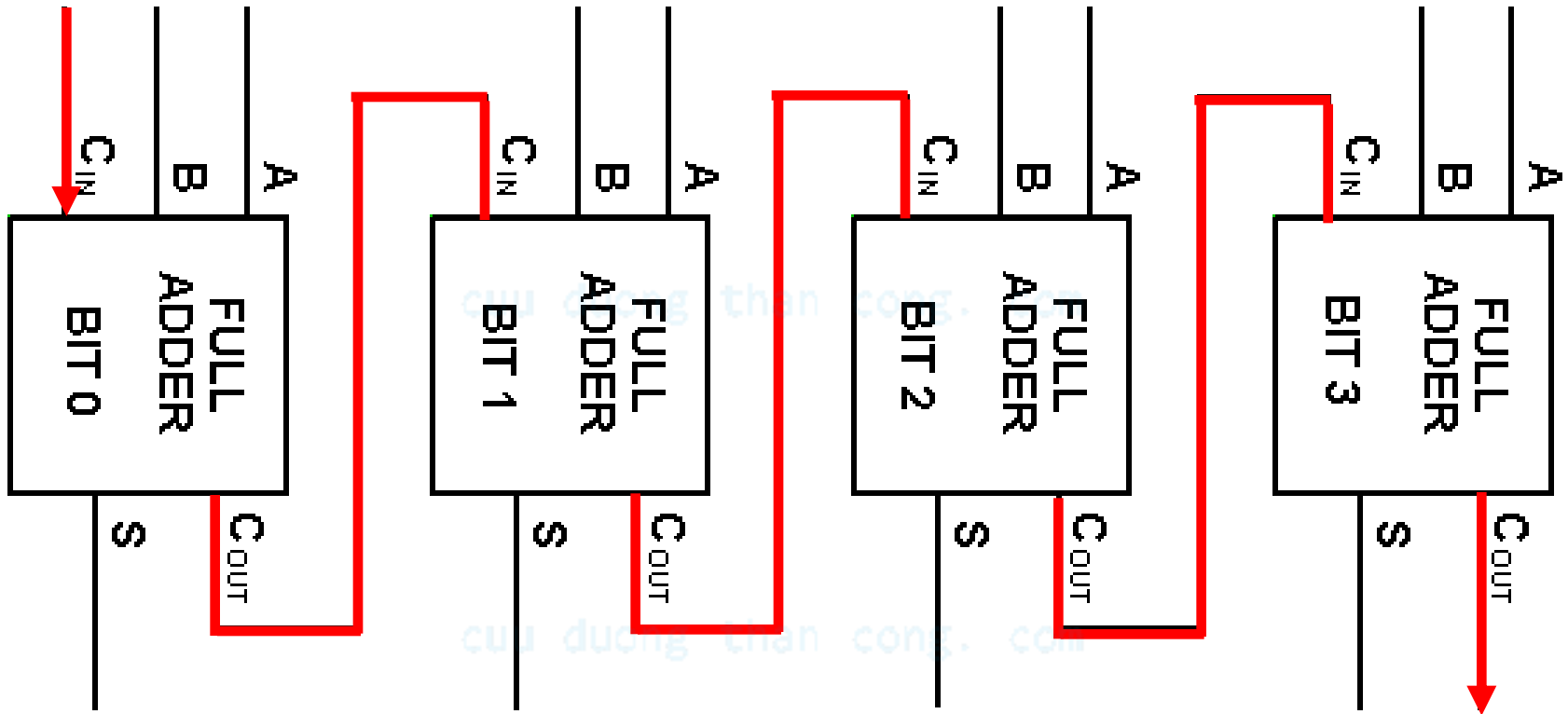
x	y	z	C	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Logic Equations

$$\begin{aligned}
 C &= x'y z + x y' z + x y z' + x y z \\
 &= z \cdot (x'y + x y') + x y \cdot (z + z') \\
 &= z \cdot (x \oplus y) + x \cdot y \\
 &= \text{MAJ}(x, y, z)
 \end{aligned}$$

$$\begin{aligned}
 S &= x'y' z + x'y z' + x y' z' + x y z \\
 &= x'y z' + x y' z' + x'y' z + x y z \\
 &= z' (x'y + x y') + z (x'y' + x y) \\
 &= z' (x \oplus y) + z (x \oplus y)' \\
 &= (x \oplus y) \oplus z \\
 &= x \oplus y \oplus z
 \end{aligned}$$

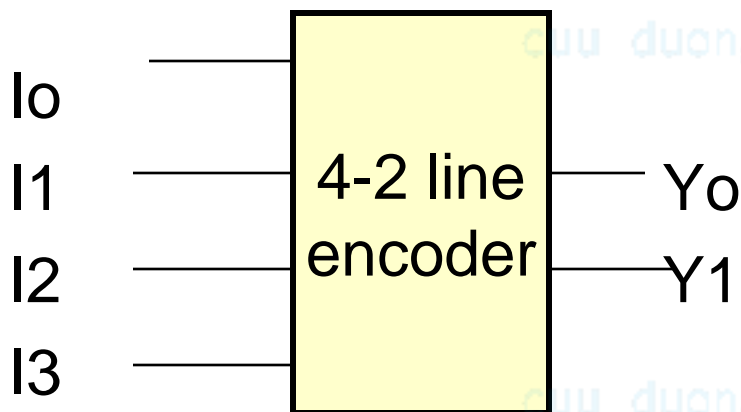
4-bit Ripple Carry Adder



2. Mạch mã hoá

- Chuyển đổi mã này → mã khác
mã thập phân → nhị phân

a. Mạch mã hoá 4 sang 2 đường

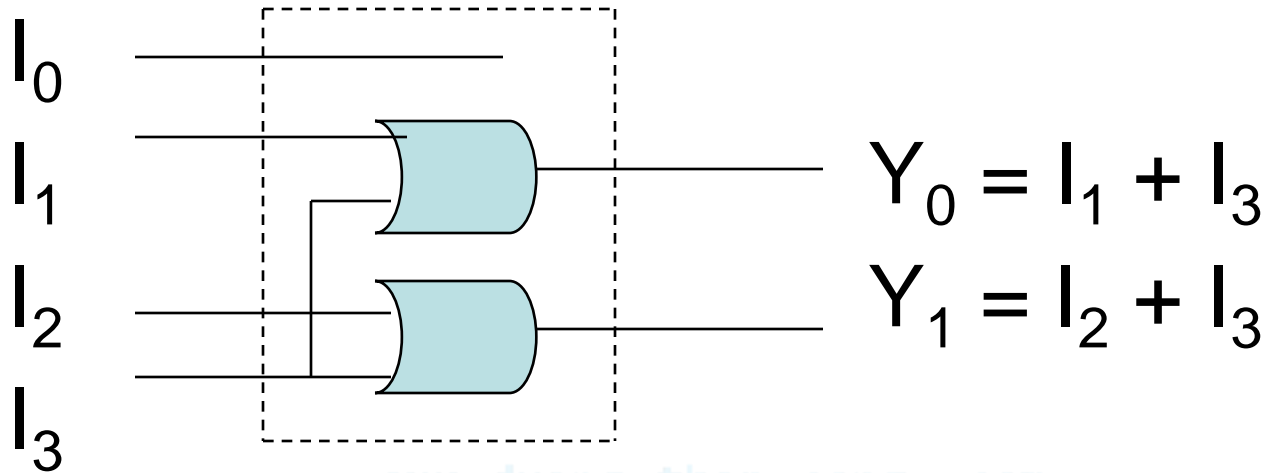


STP	I_3	I_2	I_1	I_0	Y_1	Y_0
0	0	0	0	1	0	0
1	0	0	1	0	0	1
2	0	1	0	0	•	0
3	1	0	0	0	1	1

$$Y_0 = I_3 + I_1$$

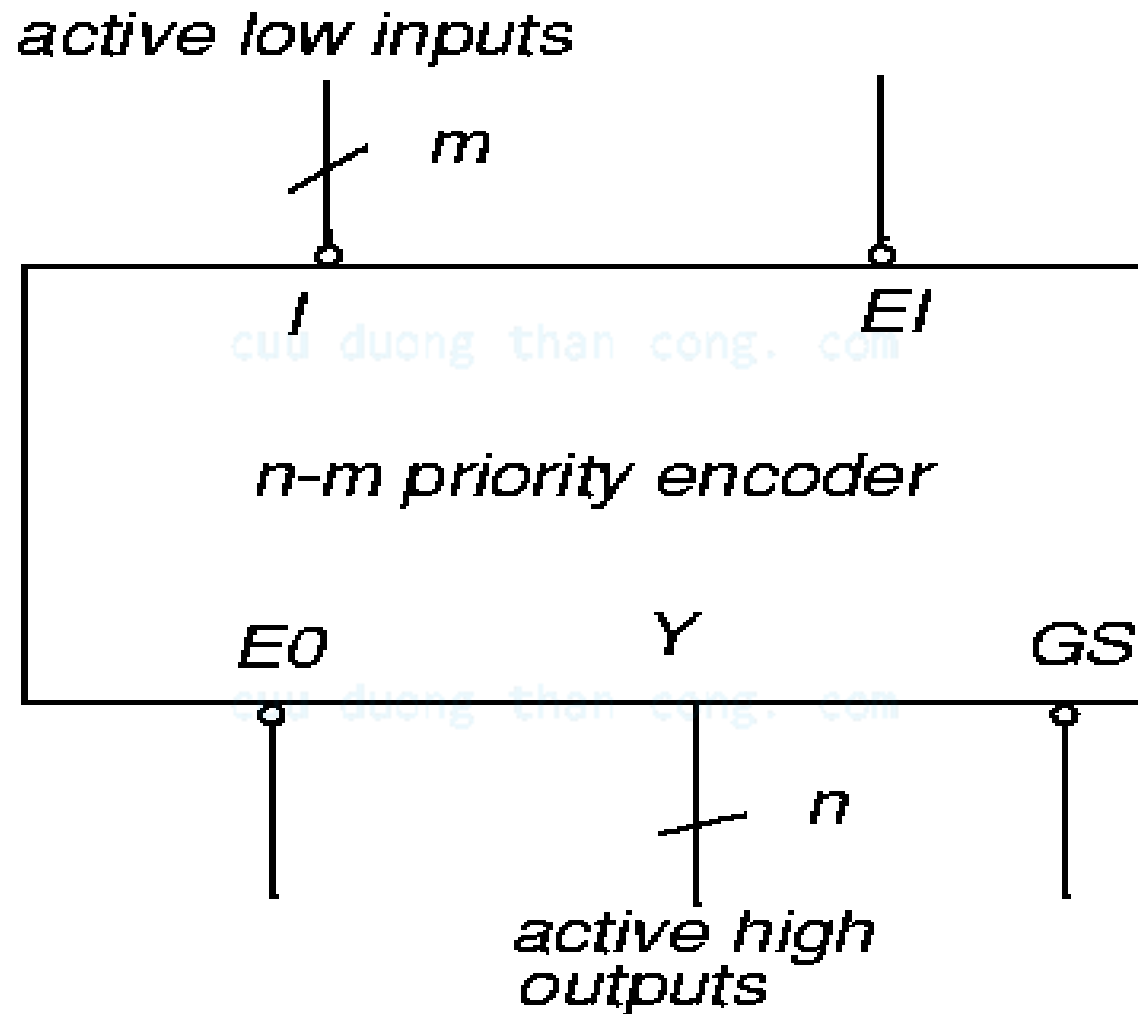
$$Y_1 = I_3 + I_2$$

- Mạch thực hiện

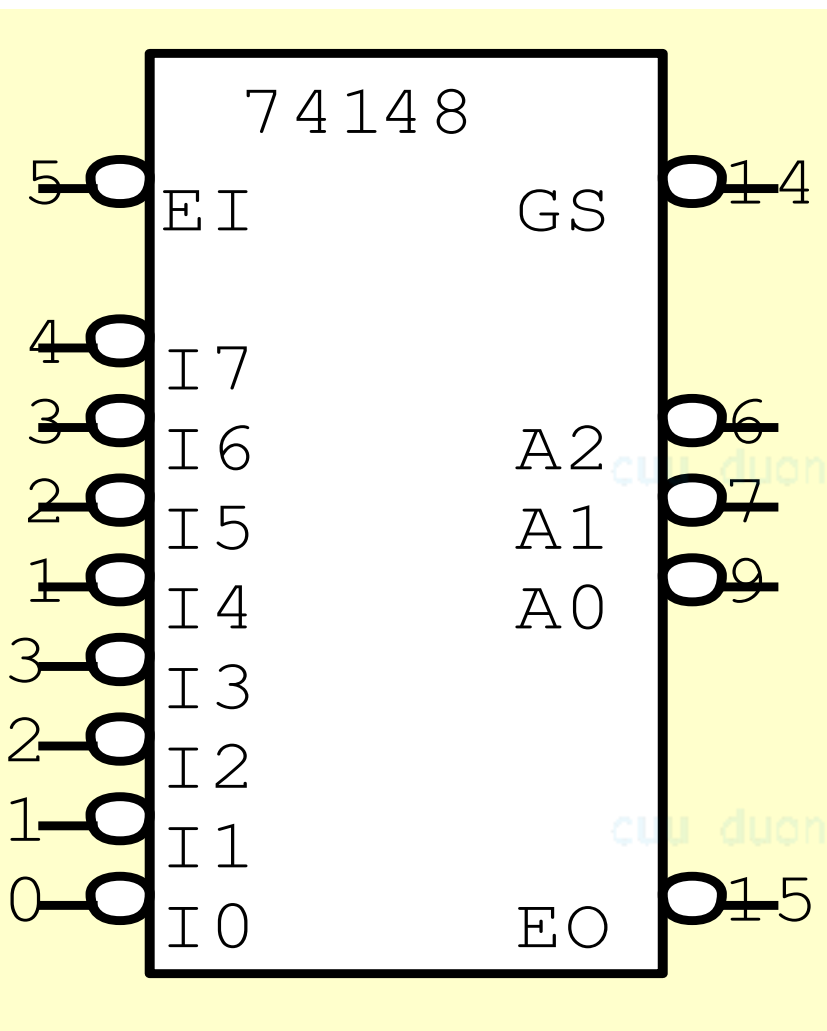


Có thể sử dụng toàn cổng NAND

2. Mạch mã hoá ưu tiên

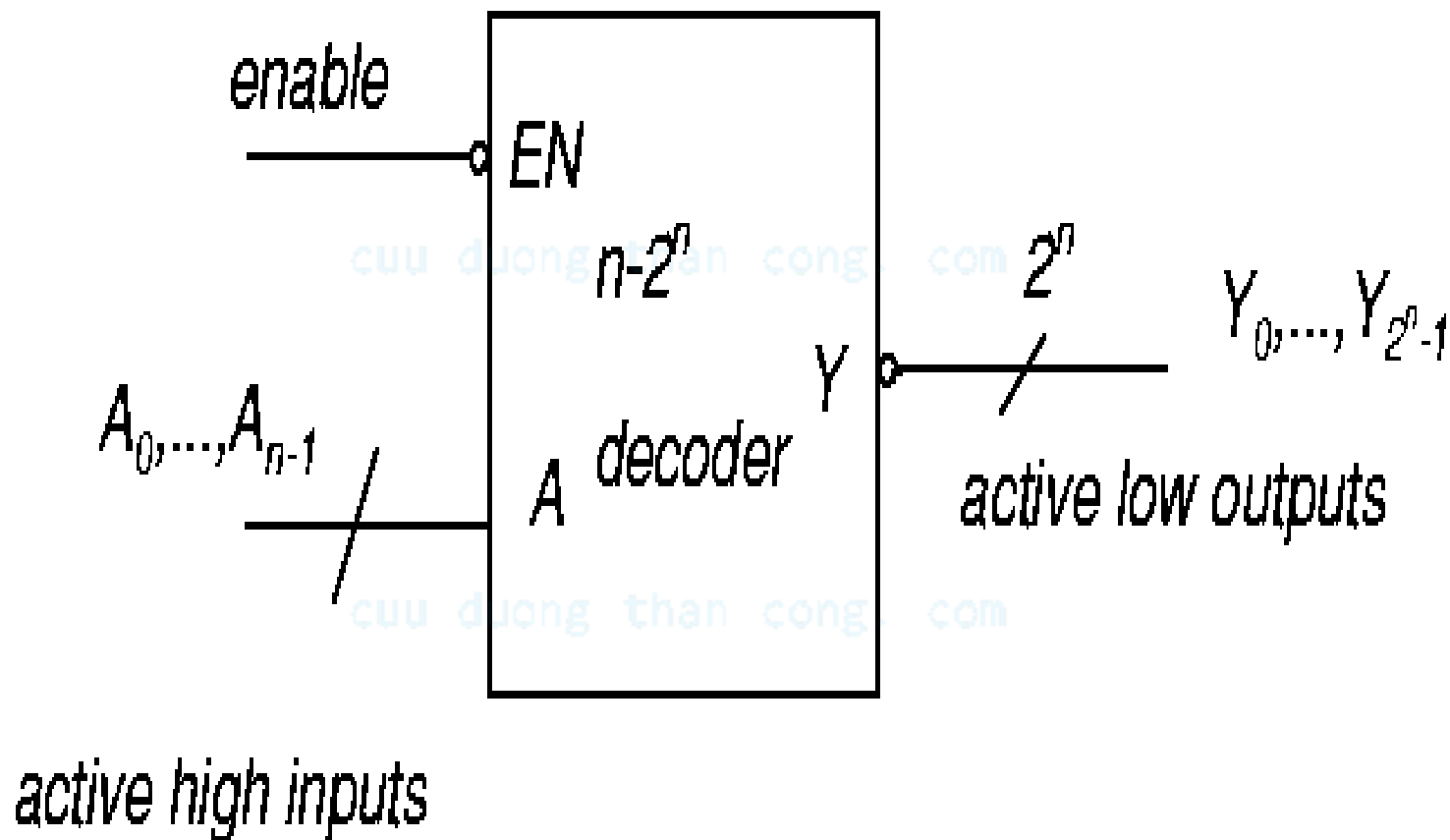


• Mã hoá ưu tiên 8 sang 3 đường (8-3)

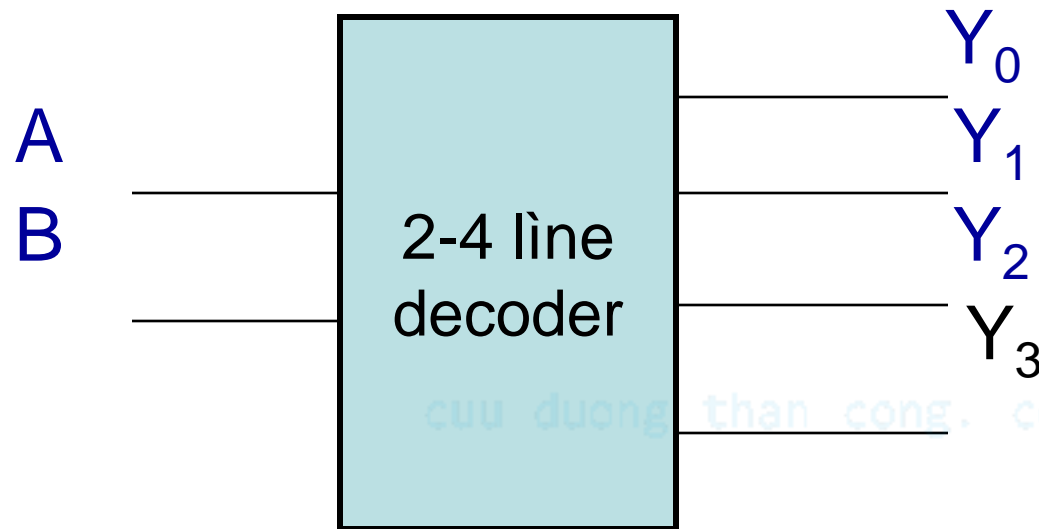


Ei	I0	I1	I2	I3	I4	I5	I6	I7	Gs	A0	A1	A2	EO
1	x	x	x	x	x	x	x	x	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	x	x	x	x	x	x	x	0	0	0	0	0	1
0	x	x	x	x	x	x	0	1	0	0	0	1	1
0	x	x	x	x	x	0	1	1	0	0	1	0	1
0	x	x	x	x	0	1	1	1	0	0	1	1	1
0	x	x	x	0	1	1	1	1	0	1	0	0	1
0	x	x	0	1	1	1	1	1	0	1	0	1	1
0	0	1	1	1	1	1	1	1	0	1	1	1	0

3. Mạch giải mã



- Mạch giải mã 2 sang 4 đường



$$Y_0 = \overline{B} \cdot \overline{A}$$

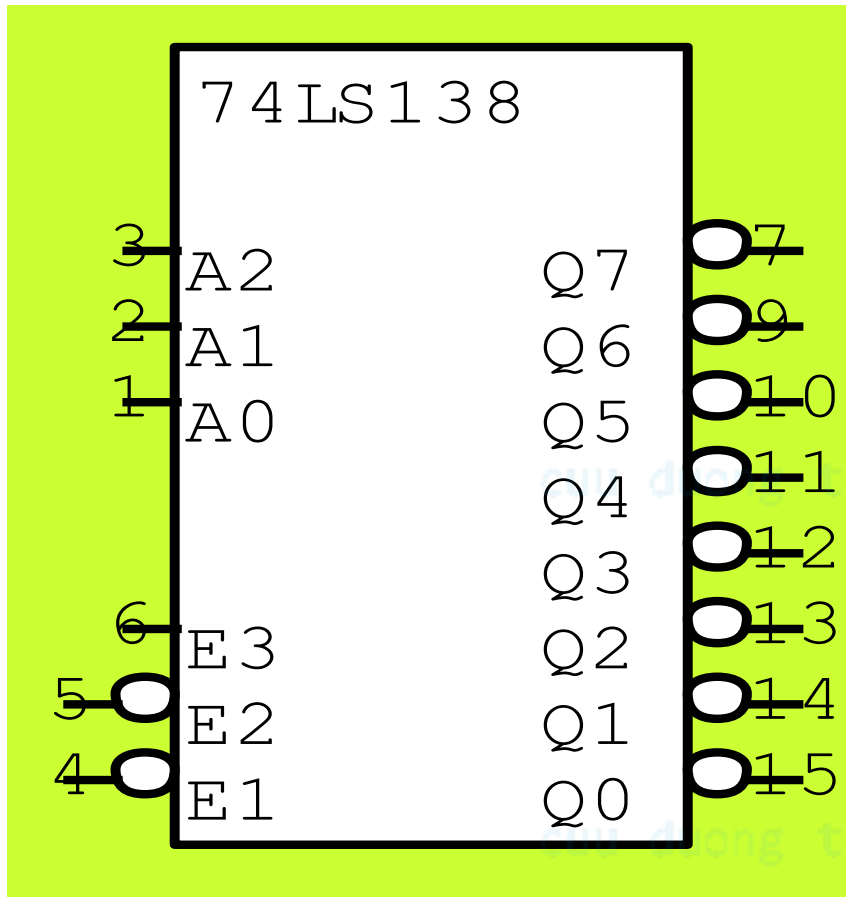
$$Y_1 = \overline{B} \cdot A$$

$$Y_2 = B \cdot \overline{A}$$

$$Y_3 = B \cdot A$$

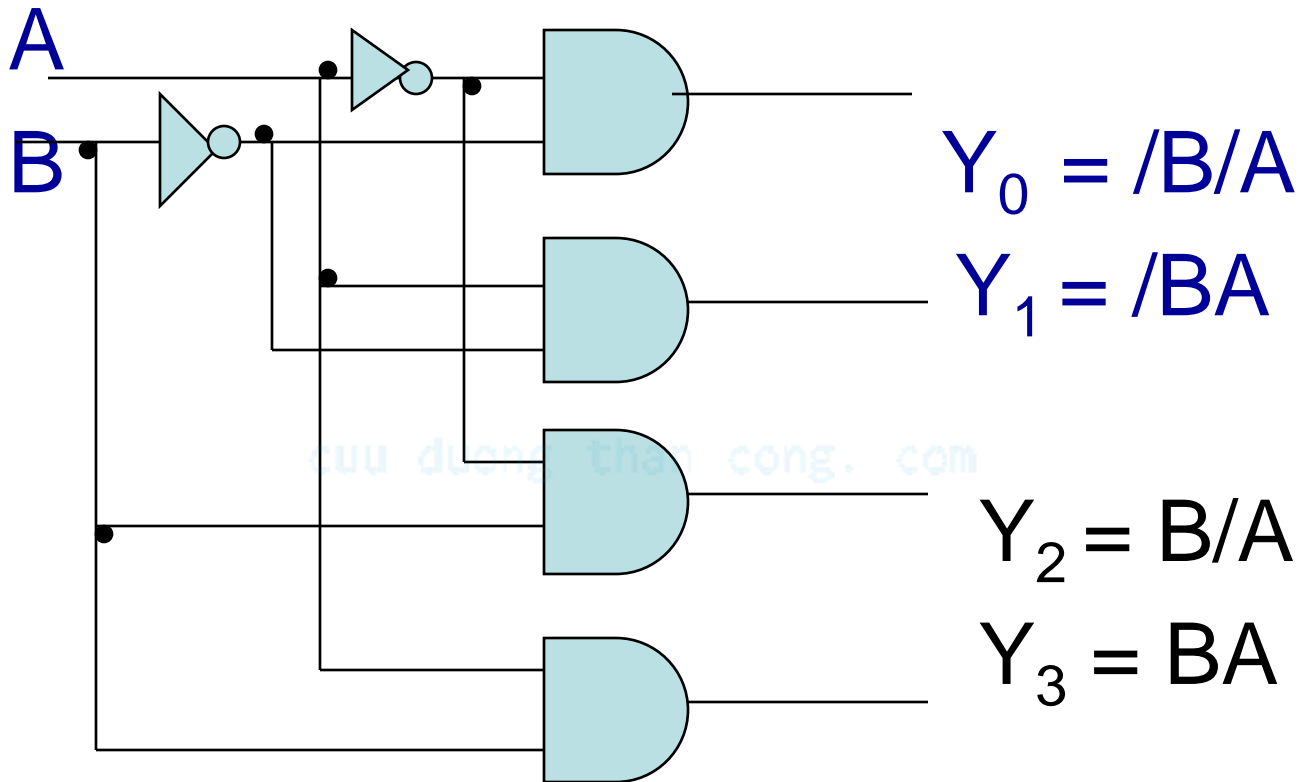
B	A	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

- Mạch giải mã 3-8 đường

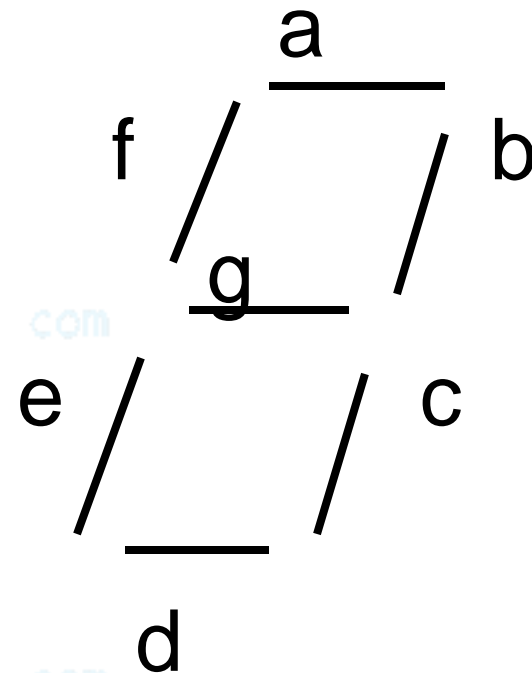
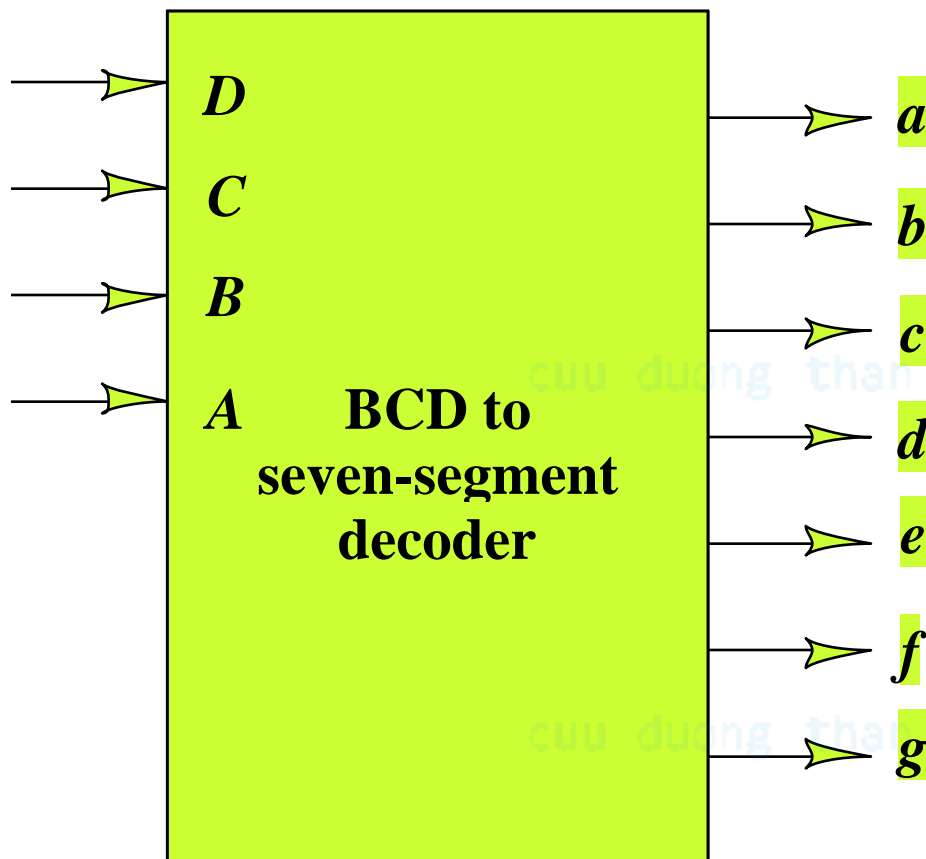


$$\begin{aligned}
 Q_0 &= \overline{C} \overline{B} \overline{A} \\
 Q_1 &= \overline{C} \overline{B} A \\
 Q_2 &= \overline{C} B \overline{A} \\
 Q_3 &= \overline{C} B A \\
 Q_4 &= C \overline{B} \overline{A} \\
 Q_5 &= C \overline{B} A \\
 Q_6 &= C B \overline{A} \\
 Q_7 &= C B A
 \end{aligned}$$

- Mạch thực hiện



- Giải mã BCD – 7 đoạn

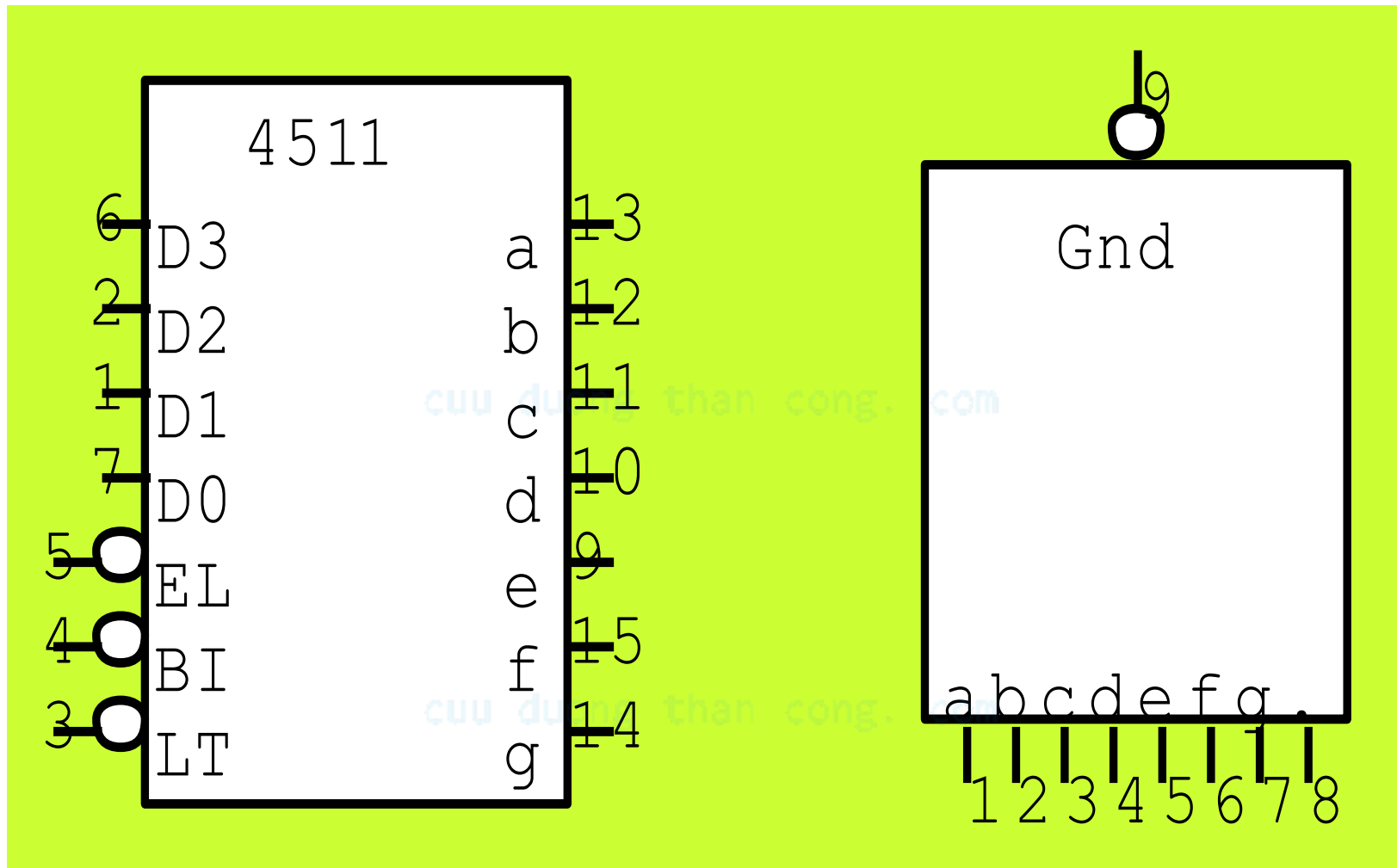


IC 7447A , CD 4511

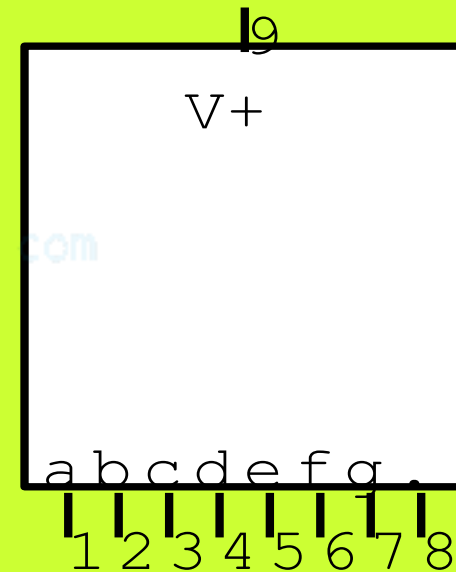
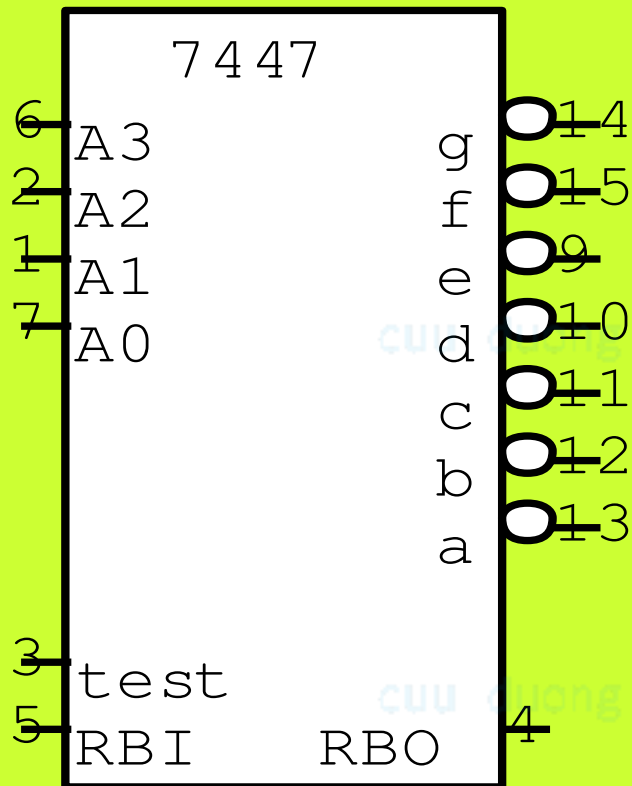
- Bảng chân trị

D C B A	a b c d e f g	STP
0 0 0 0	1 1 1 1 1 1 1	0
0 0 0 1	0 1 1 0 0 0 0	1
0 0 1 0	1 1 0 1 1 0 1	2
0 0 1 1	1 1 1 1 0 0 1	3
0 1 0 0	0 1 1 0 0 1 1	4
0 1 0 1	1 0 1 1 0 1 1	5
0 1 1 0	0 0 1 1 1 1 1	6
0 1 1 1	1 1 1 0 0 0 0	7
1 0 0 0	1 1 1 1 1 1 1	8
1 0 0 1	1 1 1 0 0 1 1	9
1 0 1 0	0 0 0 0 0 0 0	tắt hết

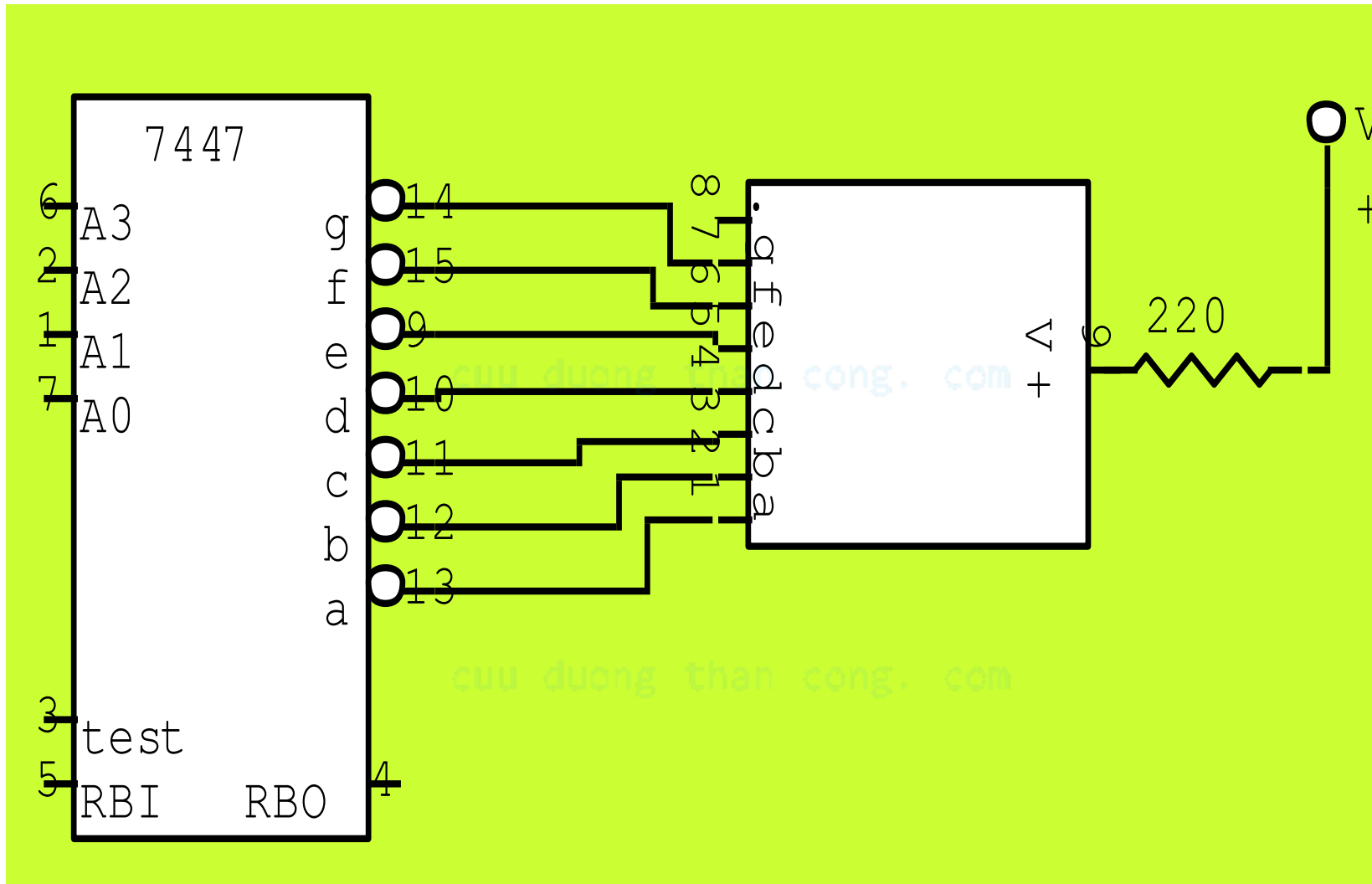
4511 + LED 7 đoạn catod chung



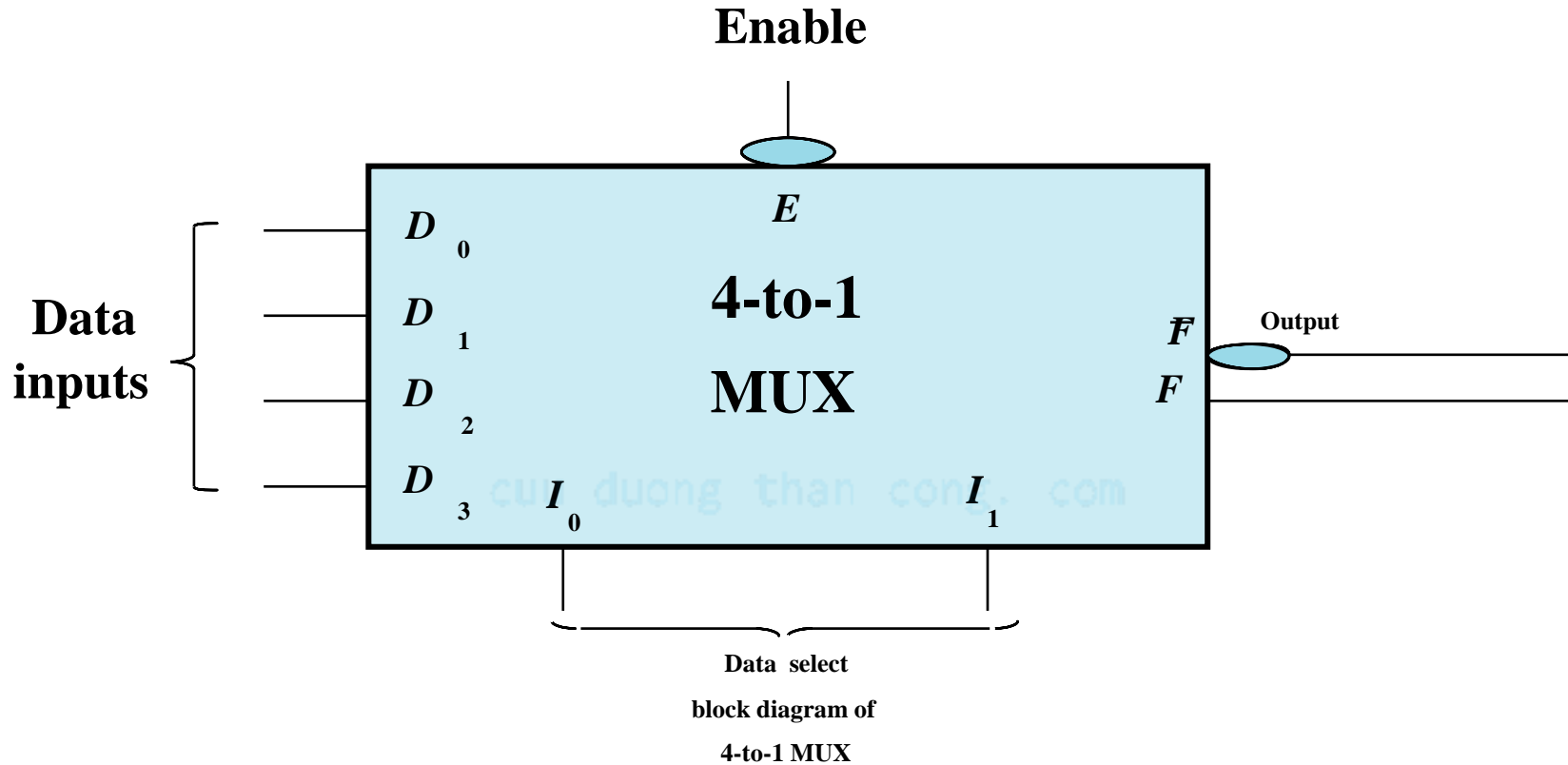
- 7447A+ LED 7 đoạn anod chung



Mạch giải mã và LED 7 đoạn



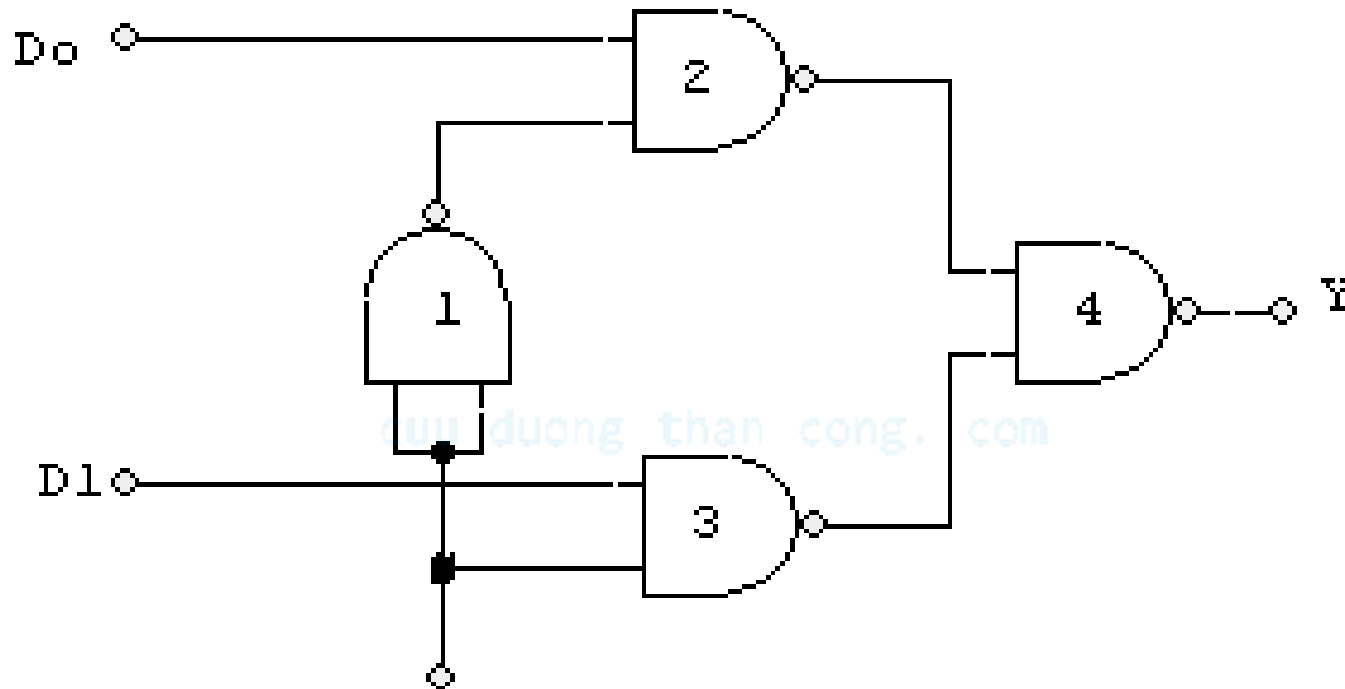
3. Mạch đa hợp (mạch dồn kênh 4-to-1)



I_1	I_0	F
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

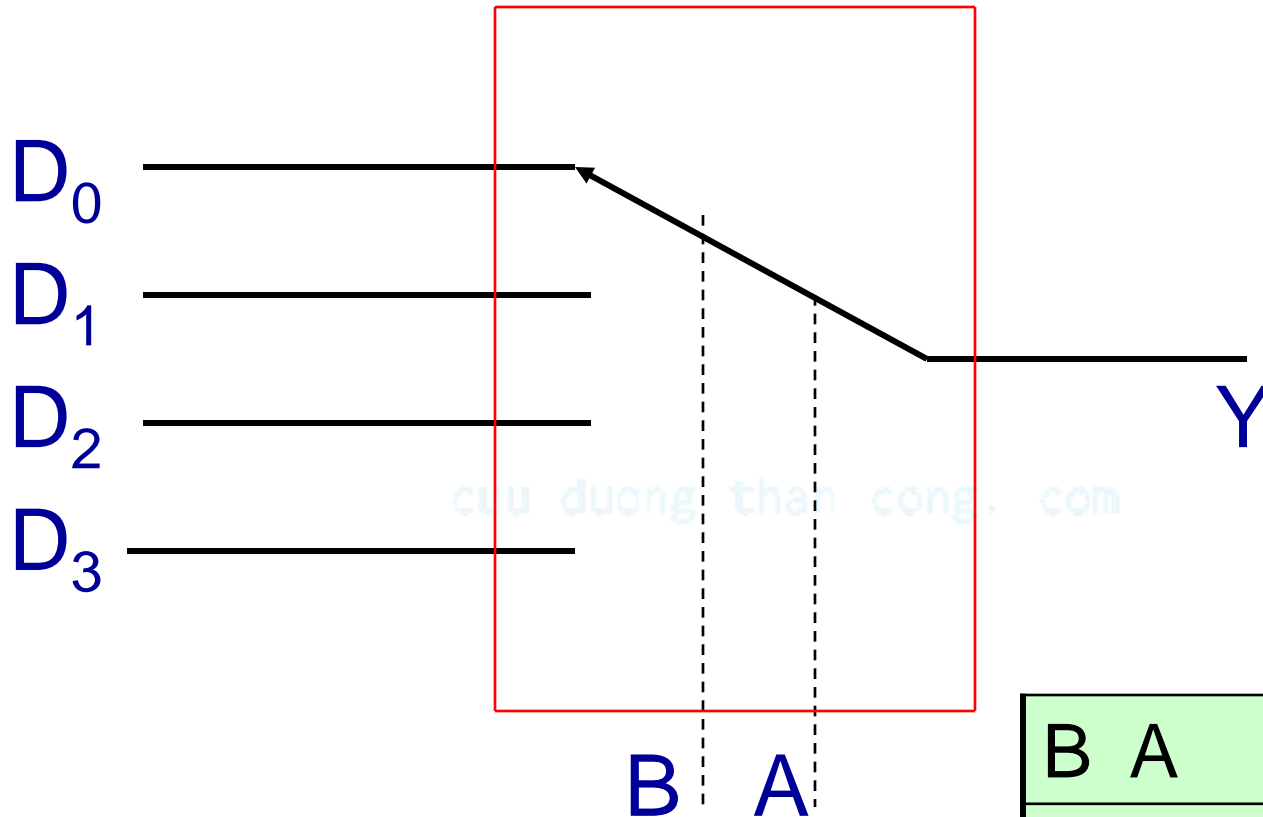
Truth table of

MẠCH ĐA HỢP 2-1 ĐƯỜNG



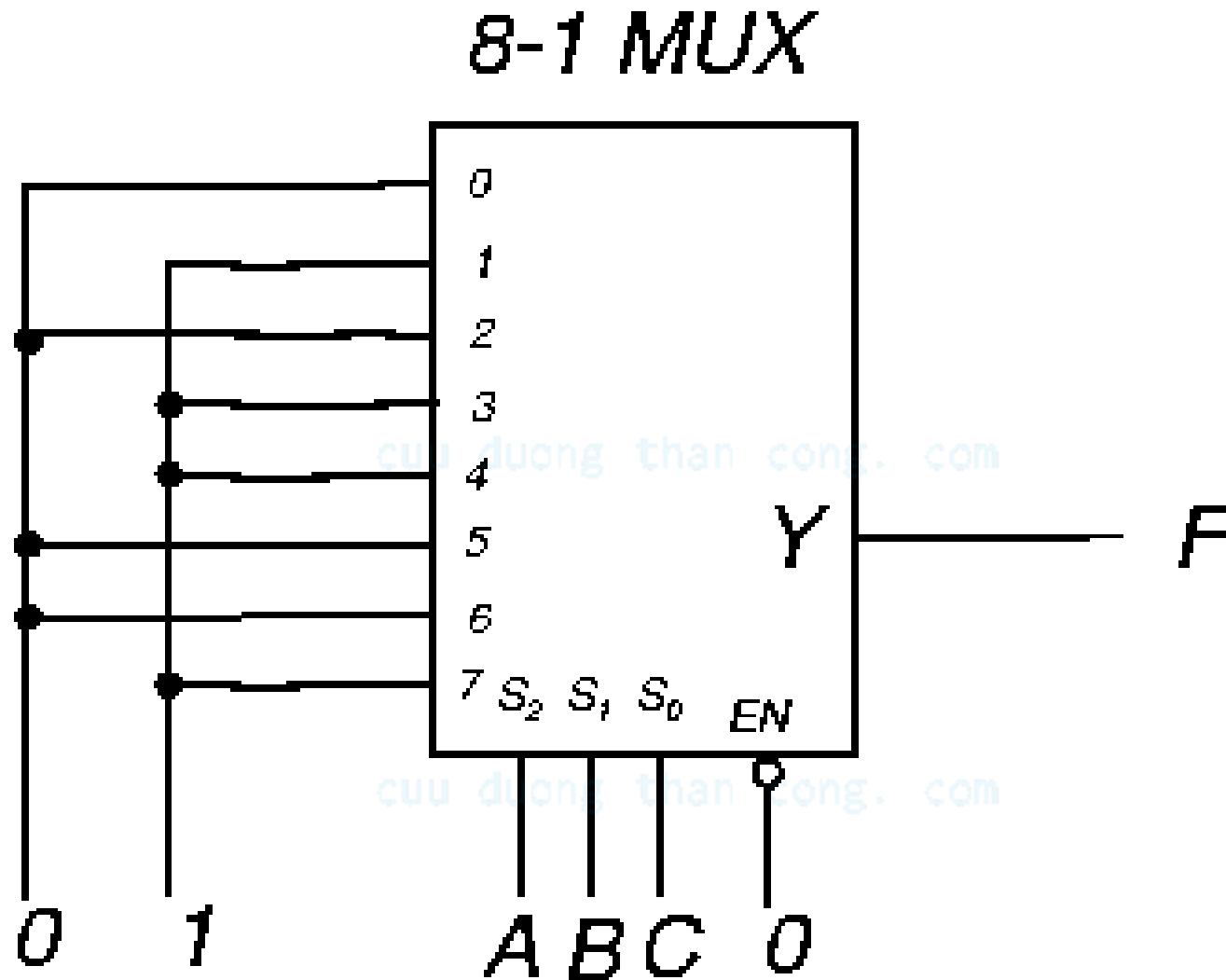
$$Y = \overline{S} D_0 + S D_1$$

- Mạch cho một ngõ ra của nhiều ngõ vào



B	A	Y
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

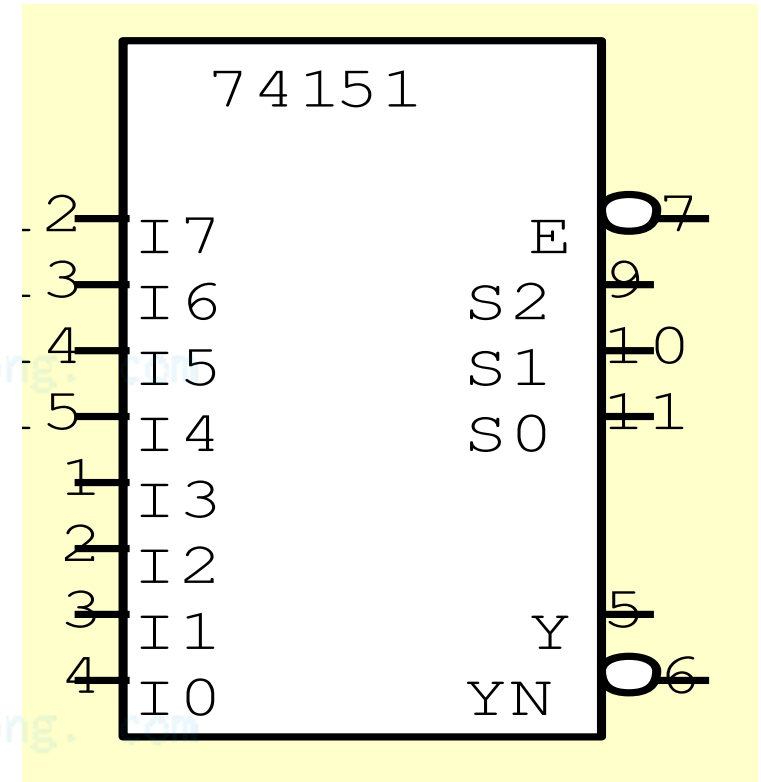
- Mạch dồn kênh 8-sang- 1



74151 8 sang 1 đường Mux/

Data selector

E	S2	S1	S0	Y	Y\
1	x	x	x	0	1
0	0	0	0	D0	D0\
0	0	0	1	D1	D1\
0	0	1	0	D2	D2\
0	0	1	1	D3	D3\
0	1	0	0	D4	D4\
0	1	0	1	D5	D5\
0	1	1	0	D6	D6\
0	1	1	1	D7	D7\



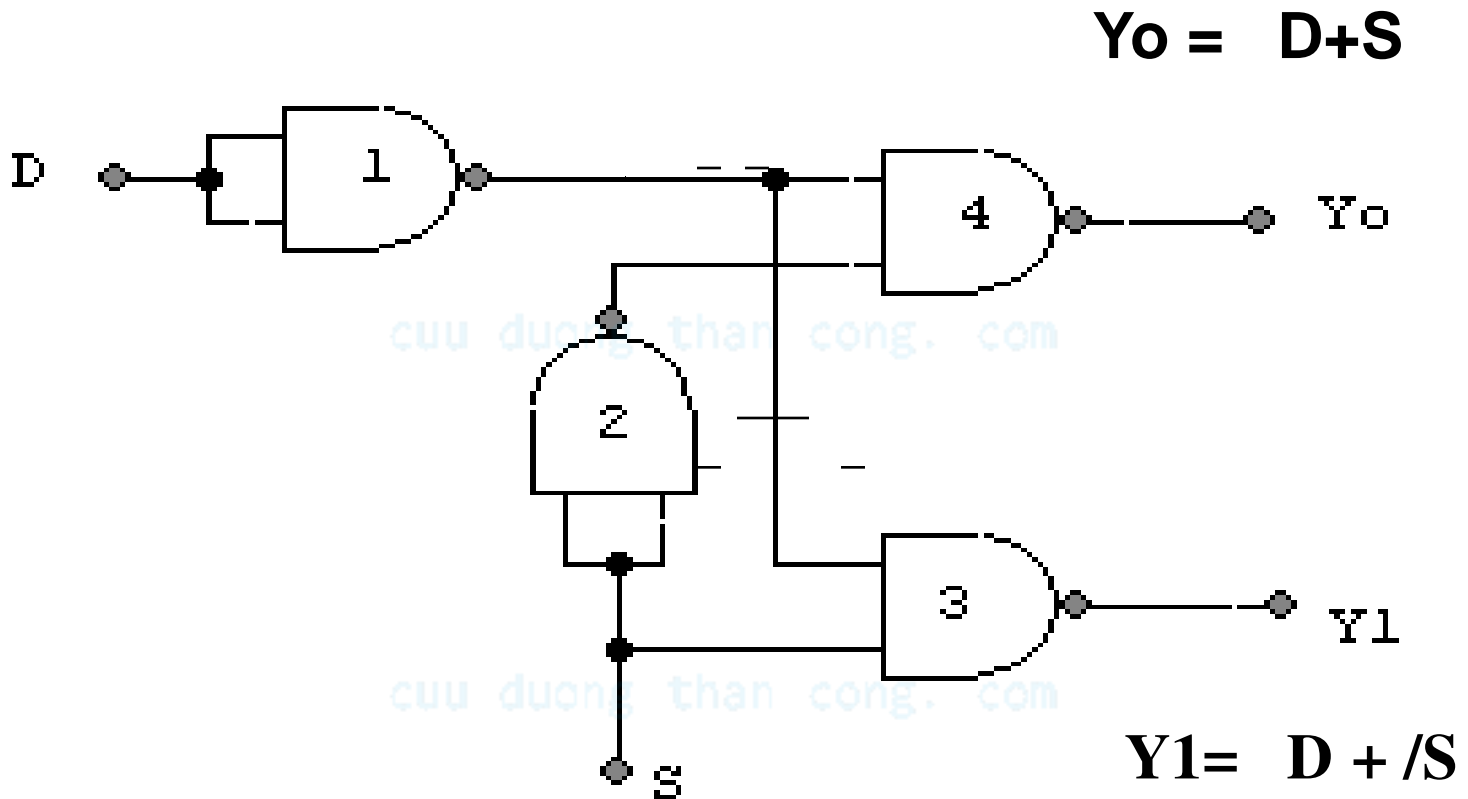
4 . Mạch phân kênh (Giải đa hợp)

- **Mạch chọn một ngõ vào cho ra một trong các ngõ ra tương ứng**

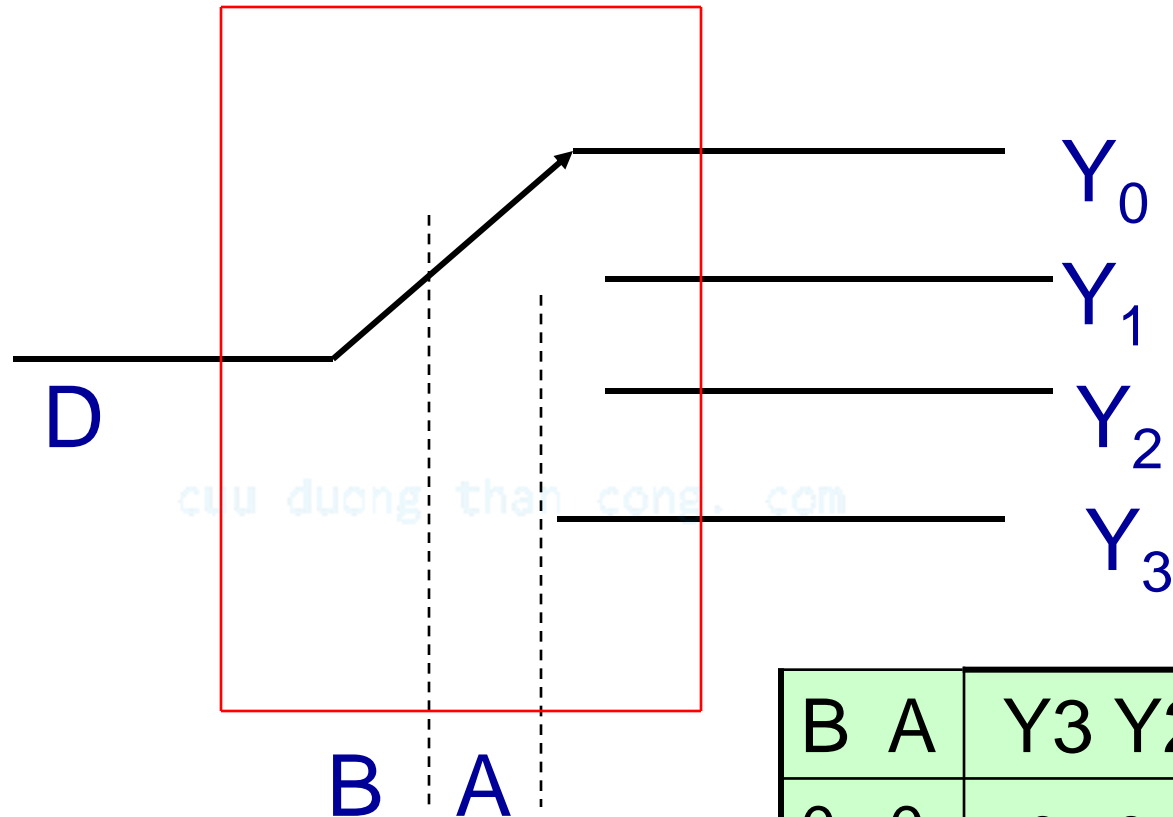
cuu duong than cong. com

cuu duong than cong. com

Mạch giải đa hợp 1-2 đường

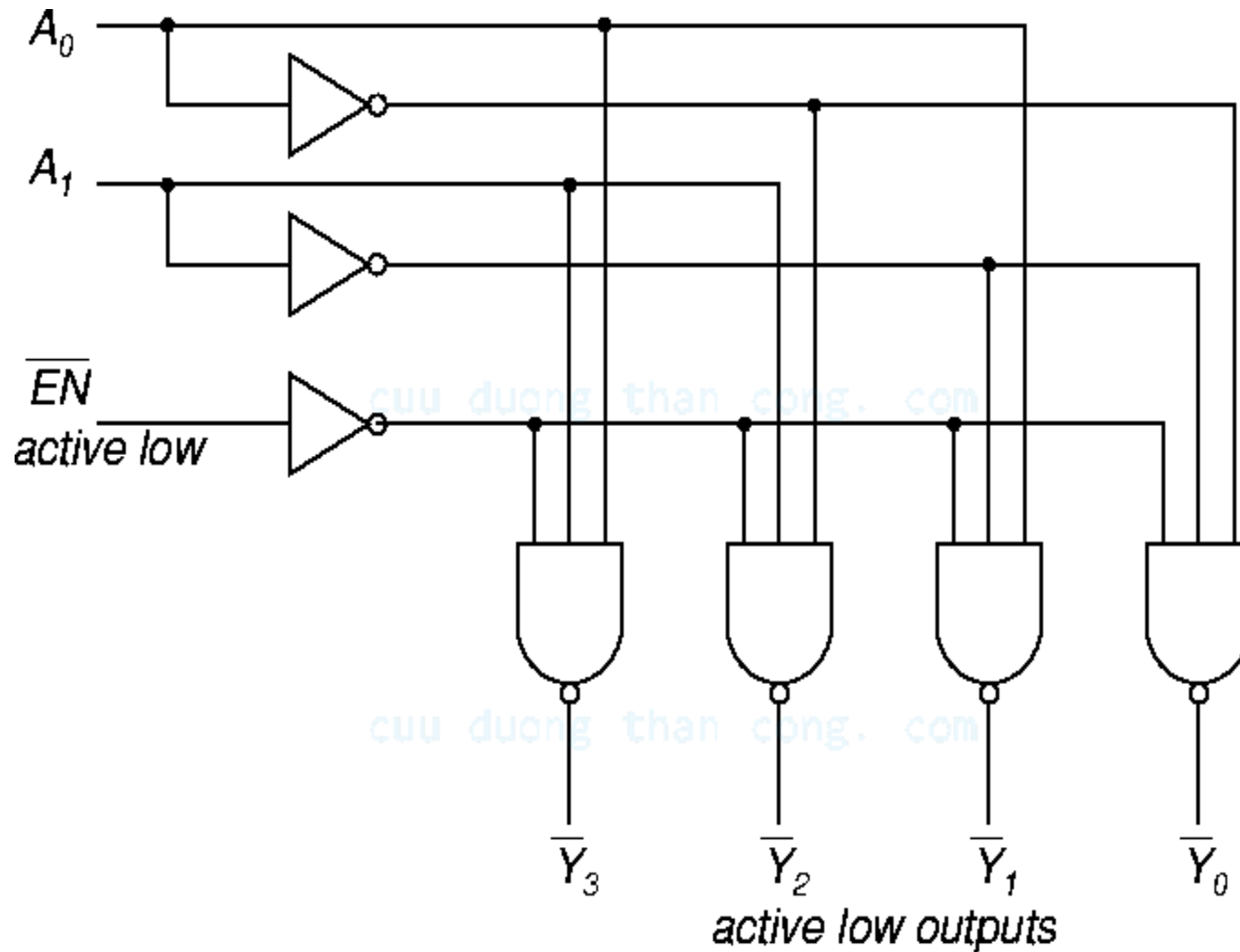


- Mạch cho một ngõ ra của nhiều ngõ vào



B	A	Y3	Y2	Y1	Y0
0	0	0	0	0	D
0	1	0	0	D	0
1	0	0	D	0	0
1	1	D	0	0	0

4. Mạch phân kênh (demultiplexer)



74LS138 3-8 Mux/Dec.

Cho $E3 = 1$; $E2 = 0$

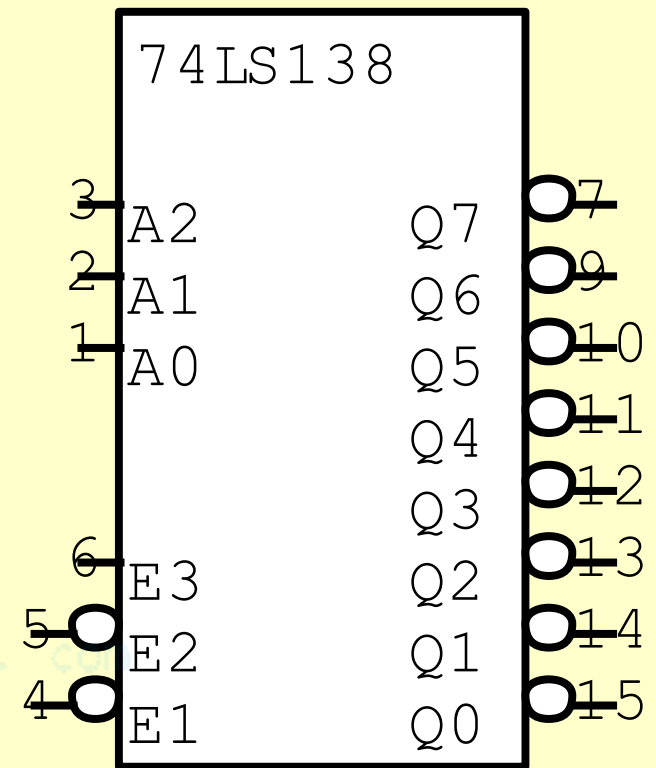
Data vào E1 ra Yi

Tùy theo mã chọn CBA

sẽ cho Data ra Yi tương

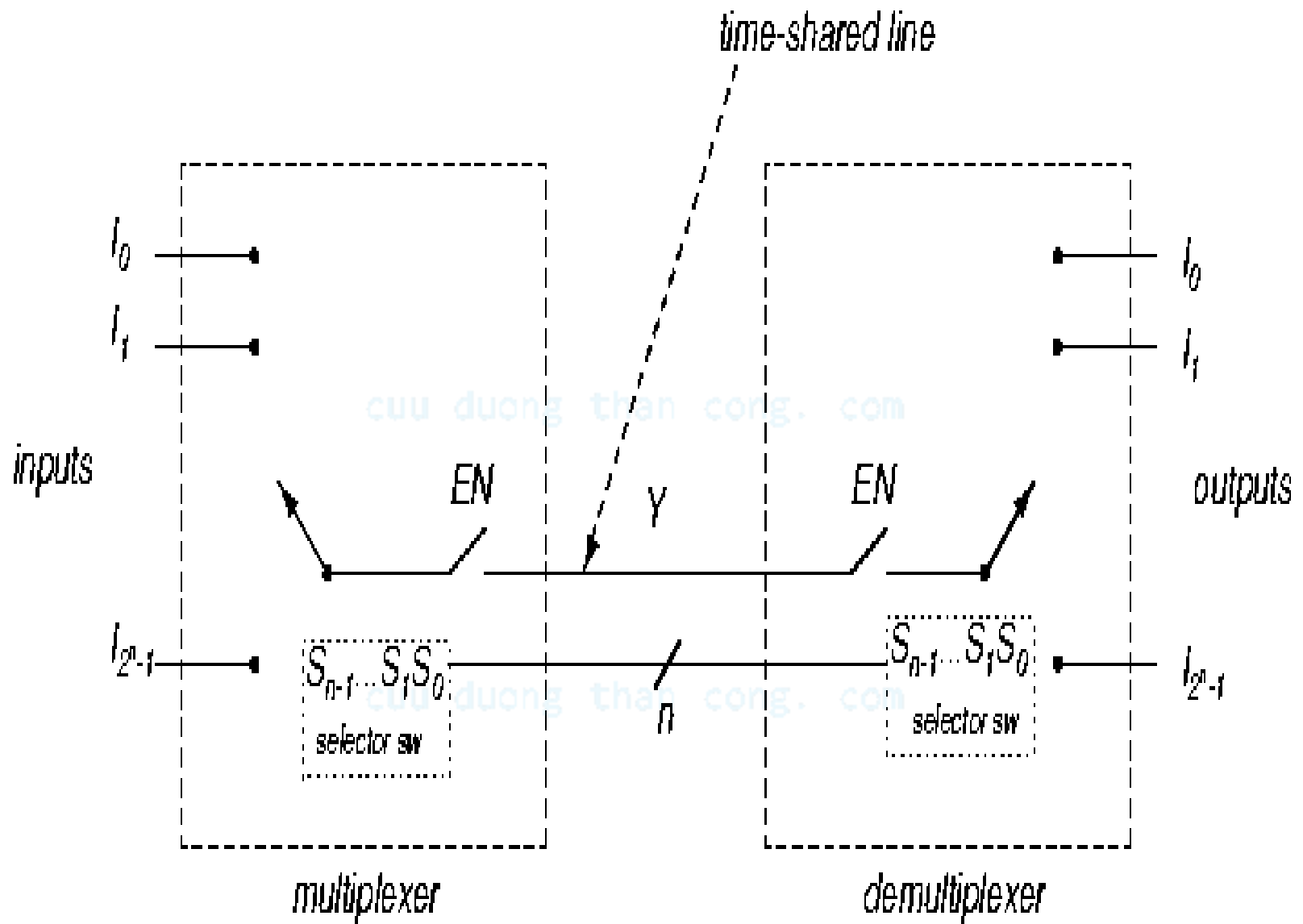
ứng :Thí dụ Cho CBA =010

Data ra ở Y2

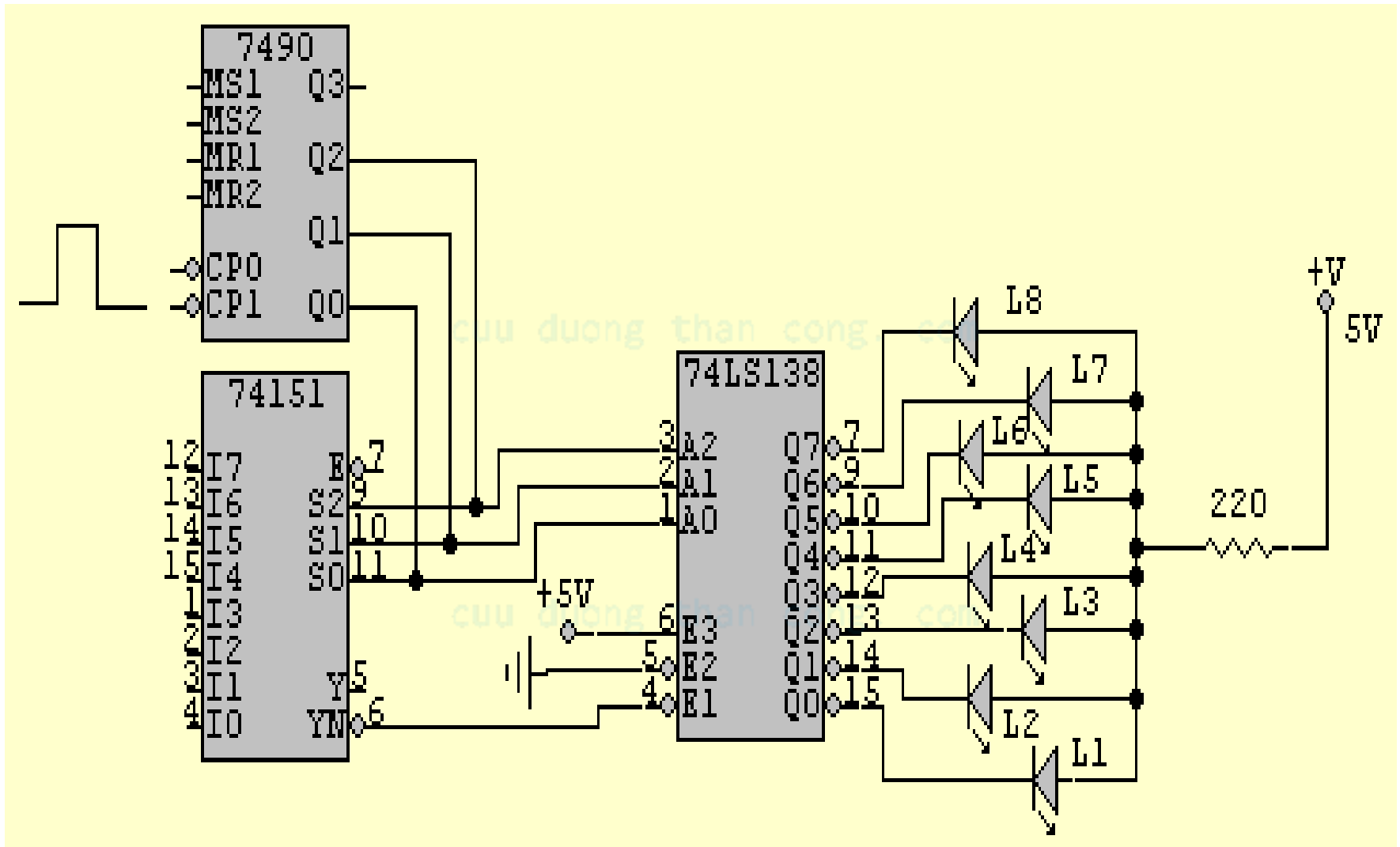


Mode	C B A	E1 E2 E3
Decoder	Data input	Data enable
Demux.	Select code	Data input

- Cách truyền số liệu (DATA)



Hệ thống kiểm tra qua hiển thị - Truyền Data

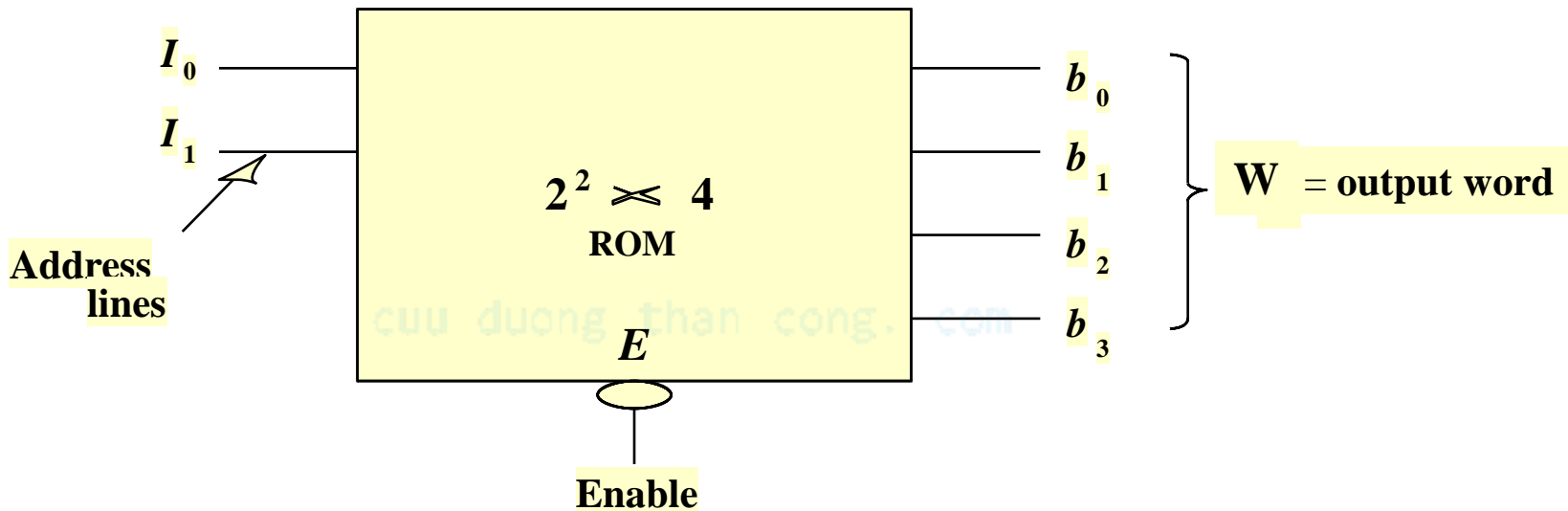


5.ROM(Read-only memory)

ROM
address

ROM content
(4-bit words)

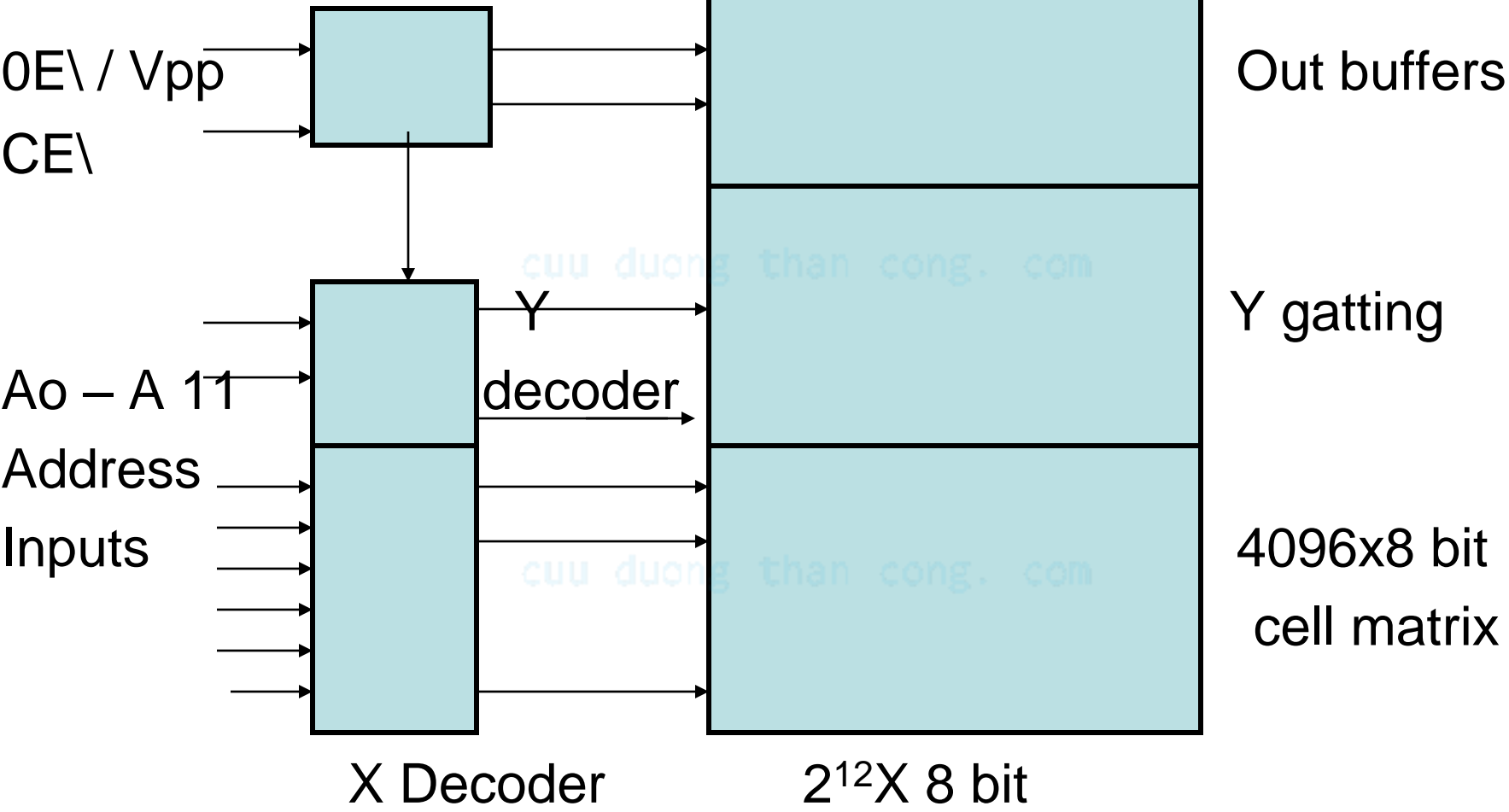
I_1	I_0	b_3	b_2	b_1	b_0	
0	0	0	1	1	0	W_0
0	1	1	0	0	1	W_1
1	0	0	1	1	0	W_2
1	1	1	1	1	1	W_3



Cách tổ chức ROM

Data out 0o – 07

Program logic



- **Dung lượng bộ nhớ**

Khi có m-bit địa chỉ và n-bit ngõ ra thì dung lượng của ROM là:

$$C = 2^m \times 8n$$

Thí dụ : 2732 EPROM có 12- bit địa chỉ và 8-bit ngõ ra thì dung lượng :

$$C = 2^{12} \times 8 = 4096 \times 8 \text{ bit} = 4k \times 8 \text{ bit}$$

8228 : 4096 bit Bipolar ROM (1024 x 4 bit)

1702A : 2048-Bit EP MOS ROM (256 x 8 bit)

ROM có nhiều loại:

EPROM , EEROM, EAROM...

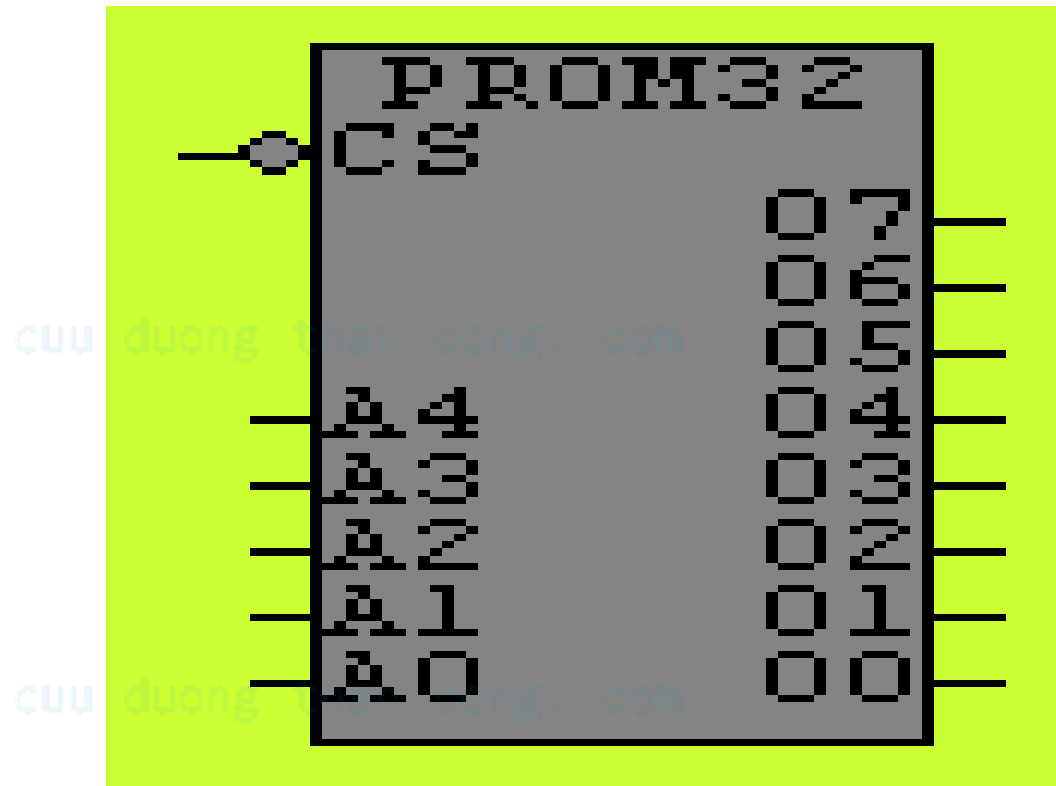
- **IC ROM**

2716

27232

2764

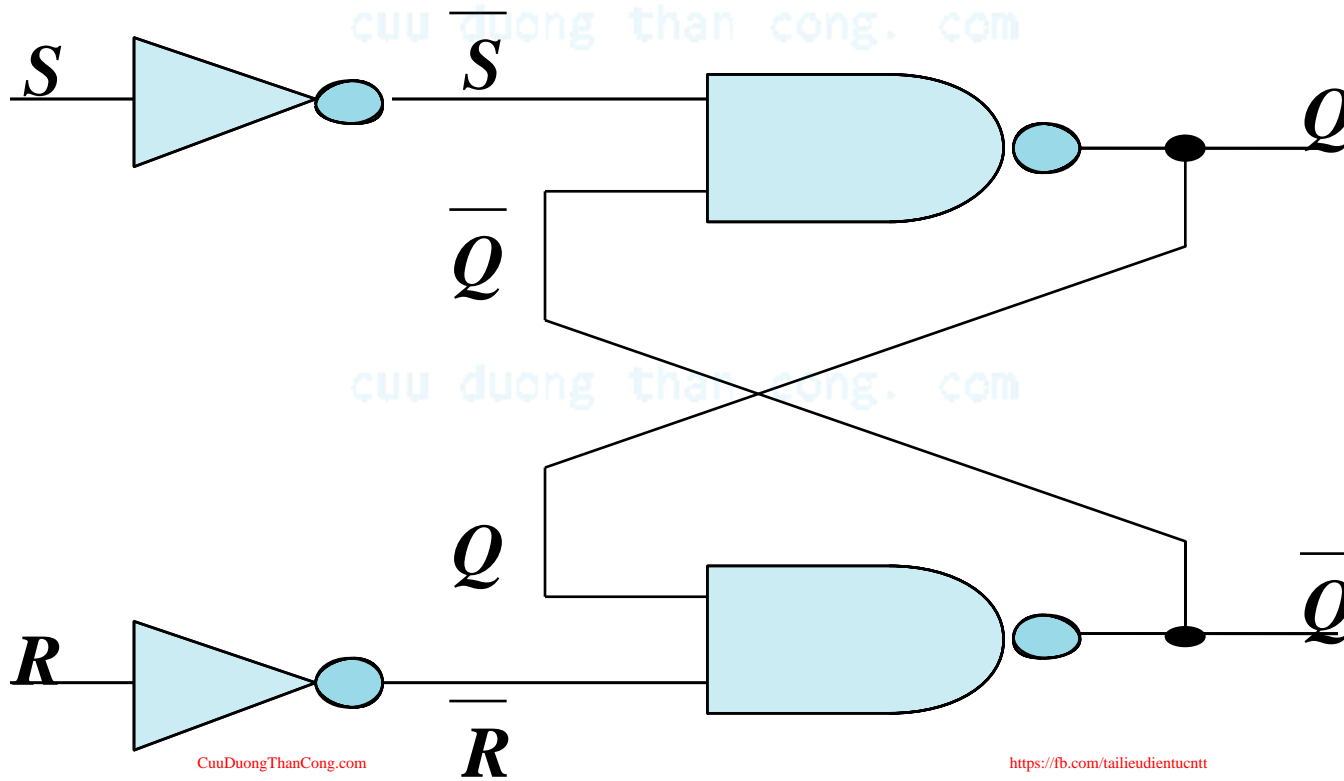
27128



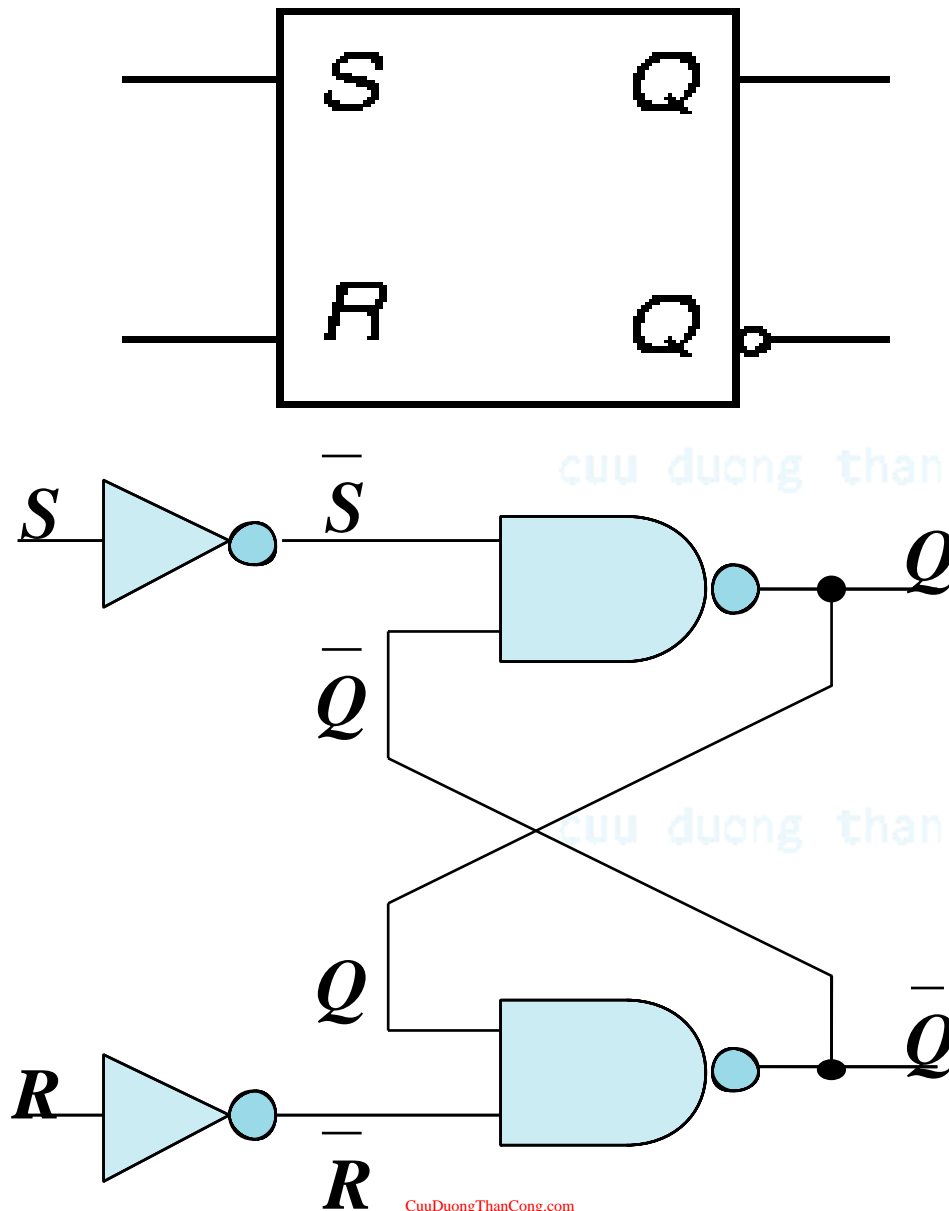
IV. Mạch logic tuần tự

1. Mạch FlipFlop

- **SR-FF**



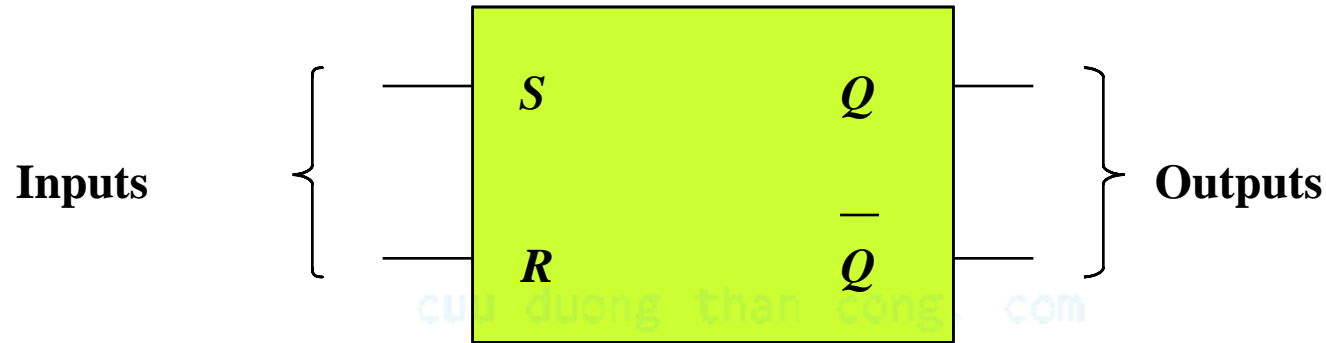
FlipFlop SR-FF



Bảng chân trị

S	R	Q^+	function
0	0	Q^-	store
0	1	0	reset
1	0	1	set
1	1	X	inhibit

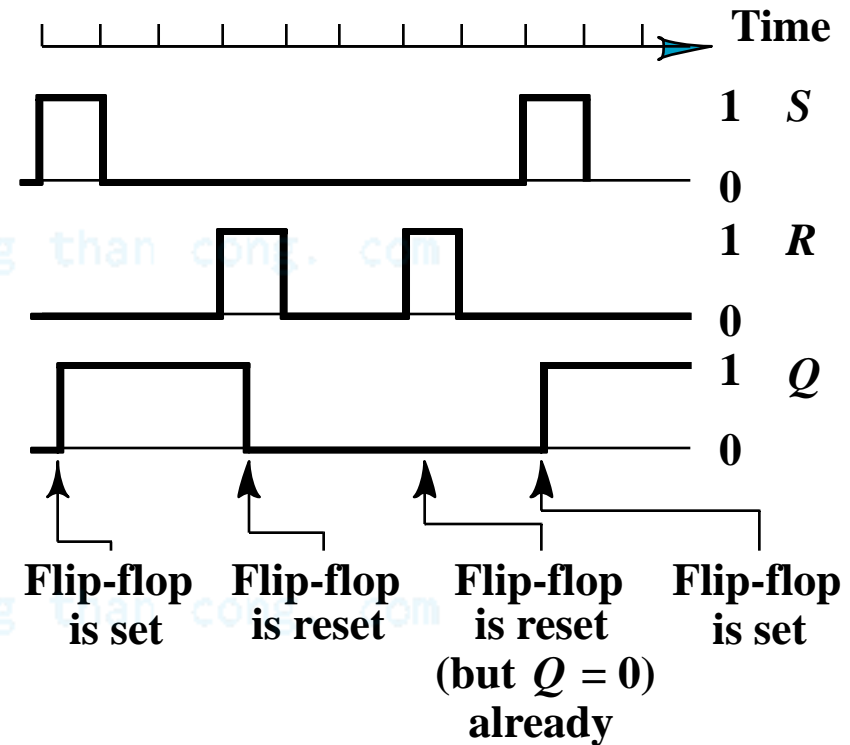
Mạch SR-FlipFlop và bảng trạng thái



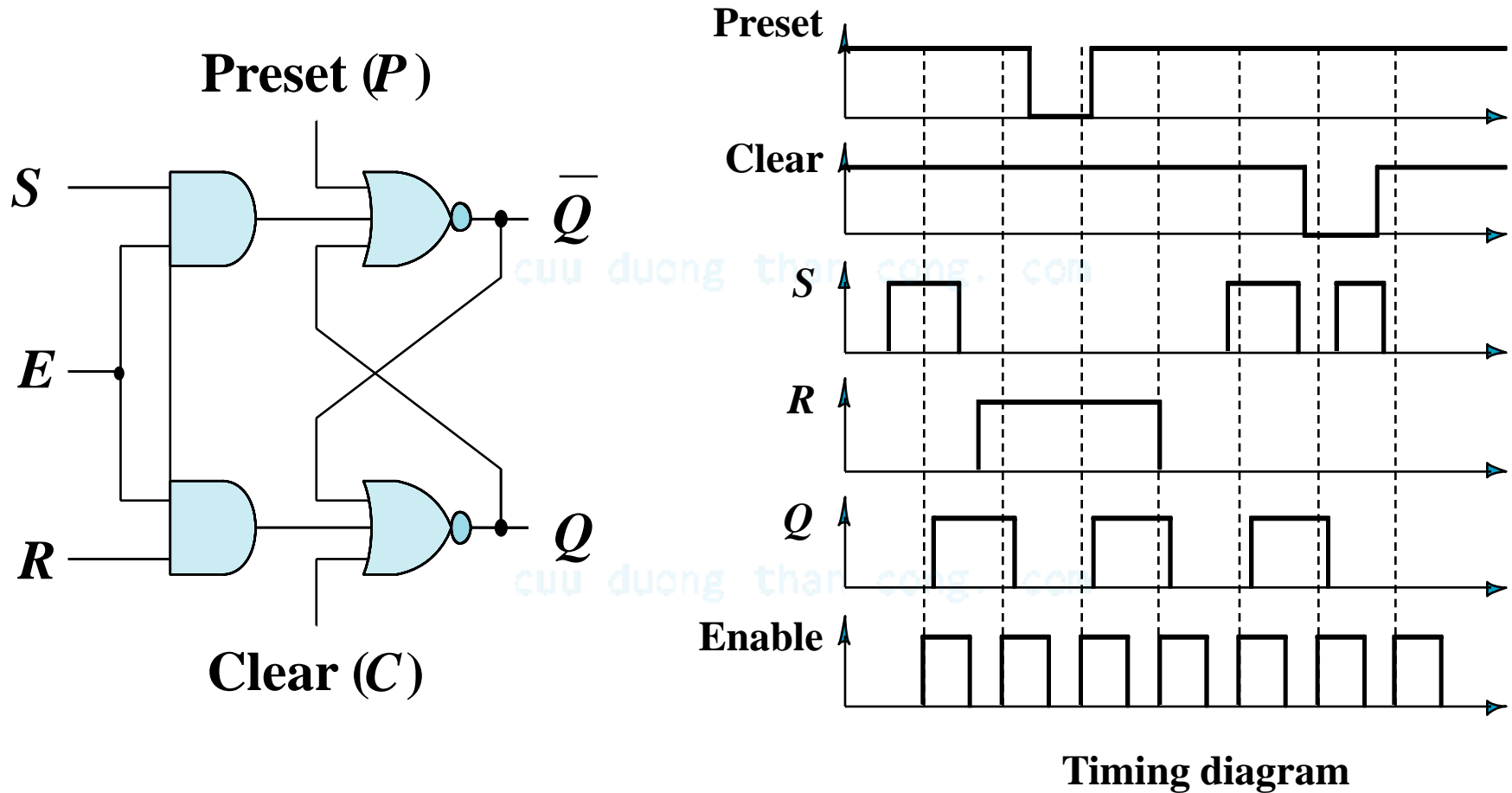
S	R	Q
0	0	Present state
0	1	Reset
1	0	Set
1	1	Disallowed

Giải đồ thời gian RS flip-flop

<i>S</i>	<i>R</i>	<i>Q</i>
1	0	1
0	0	1
0	0	1
0	1	0
0	0	0
0	0	0
0	1	0
0	0	0
1	0	1
0	0	1

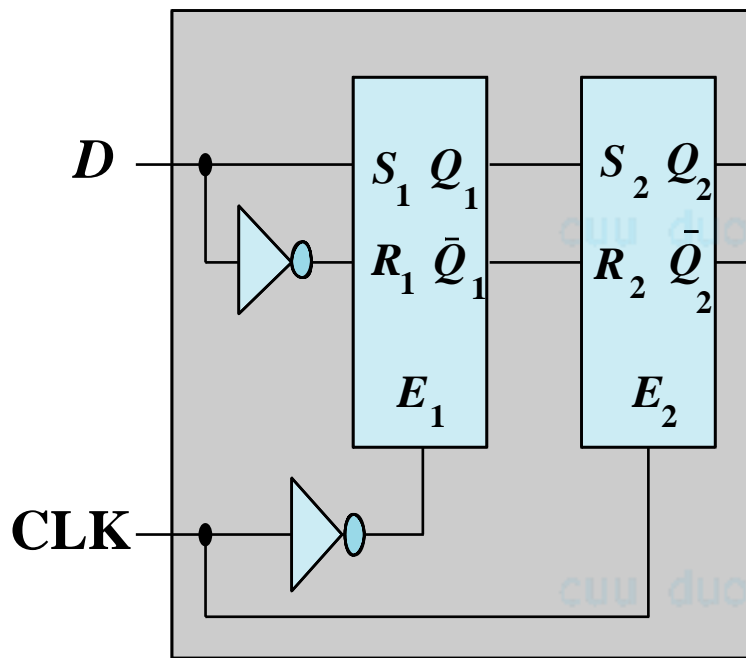


RS flip-flop với các ngõ enable, preset, và clear

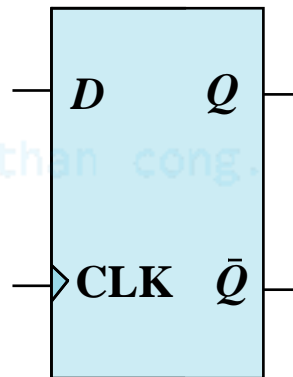


Mạch D flip-flop :

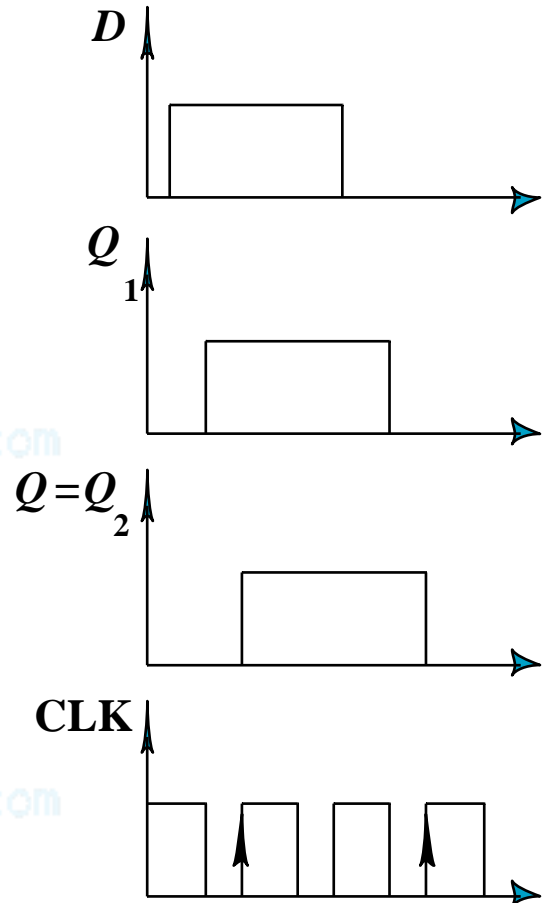
Sơ đồ chức năng, ký hiệu, và giản đồ thời gian



Functional diagram

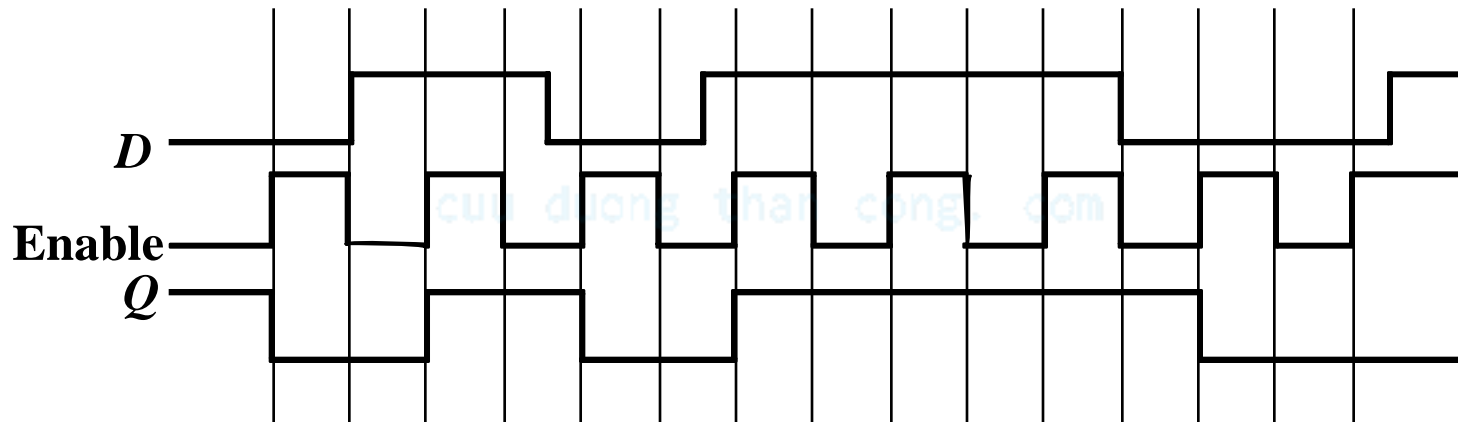
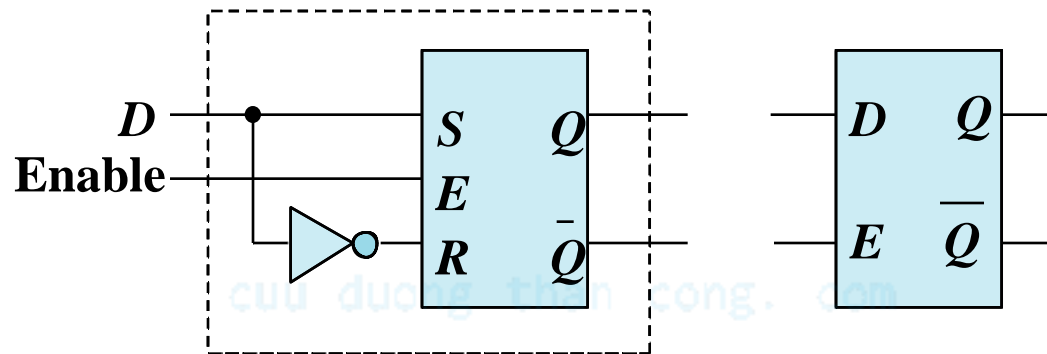


Device symbol

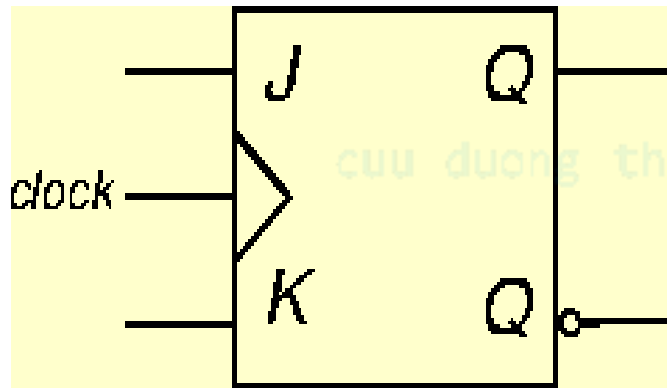


Timing diagram

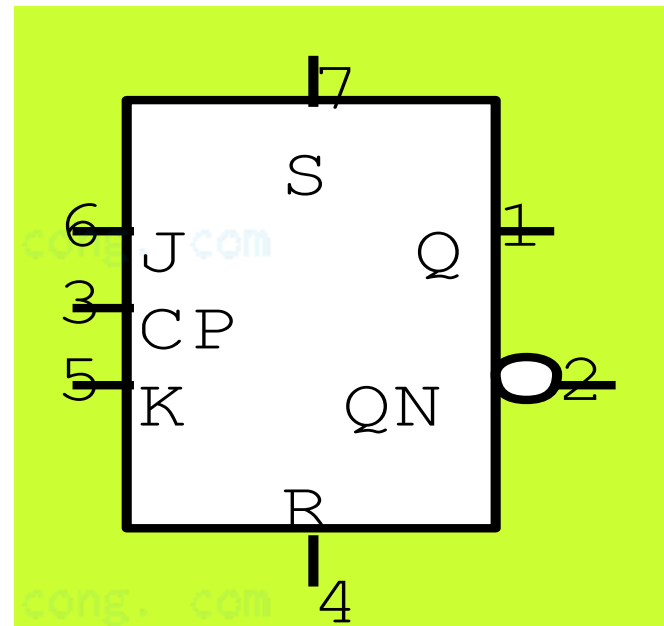
Mạch chốt(Data latch) và giản đồ thời gian



- ***JK- Flip Flop***



4027

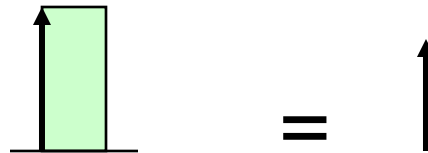


Ký hiệu xung kích (xung nảy)

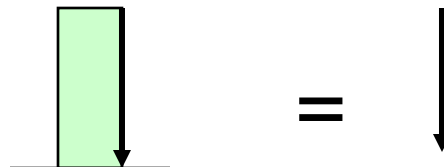
- Nảy bằng mức cao của xung:



- Nảy bằng cạnh lên (hướng dương) của xung:



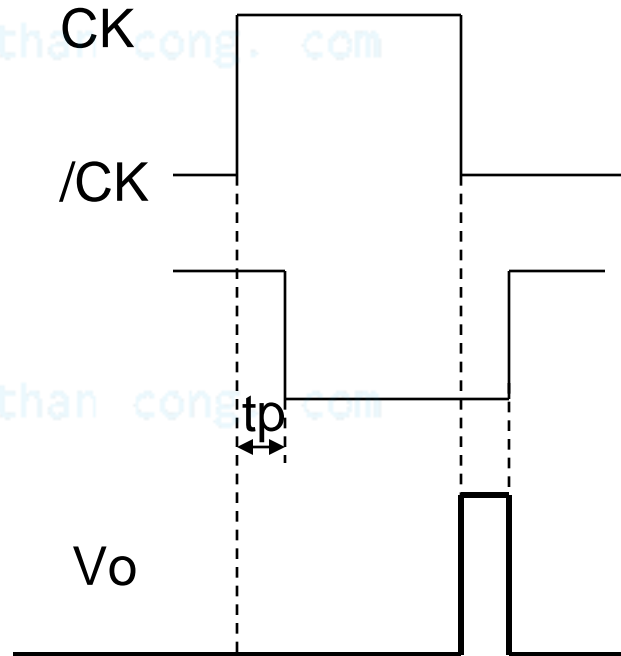
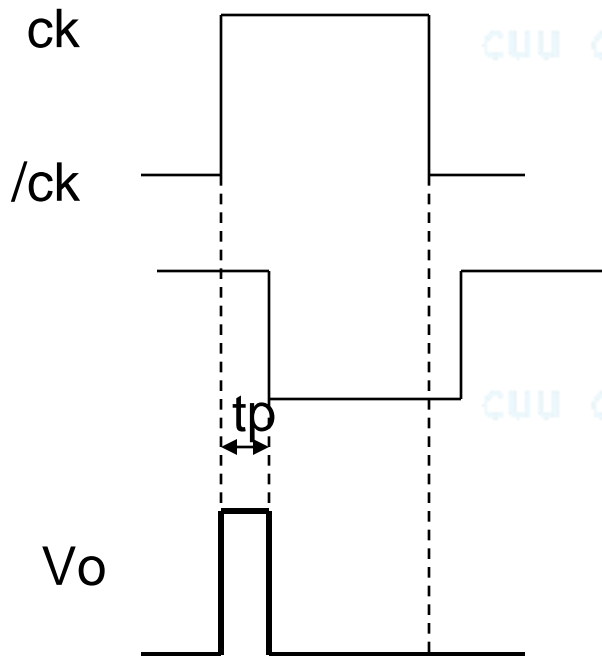
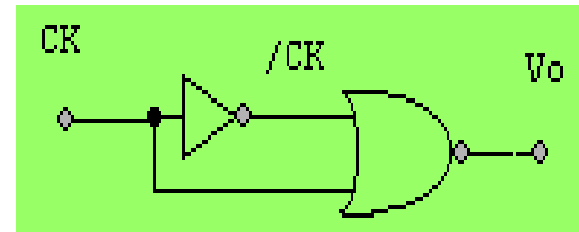
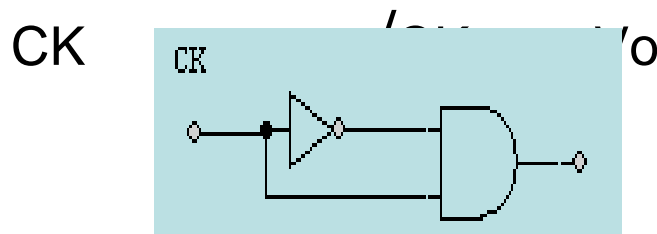
- Nảy bằng cạnh xuống (hướng âm) của xung:



- Do có mắc các cổng ở ngõ vào như sau:

a. Nảy ở cạnh lên:

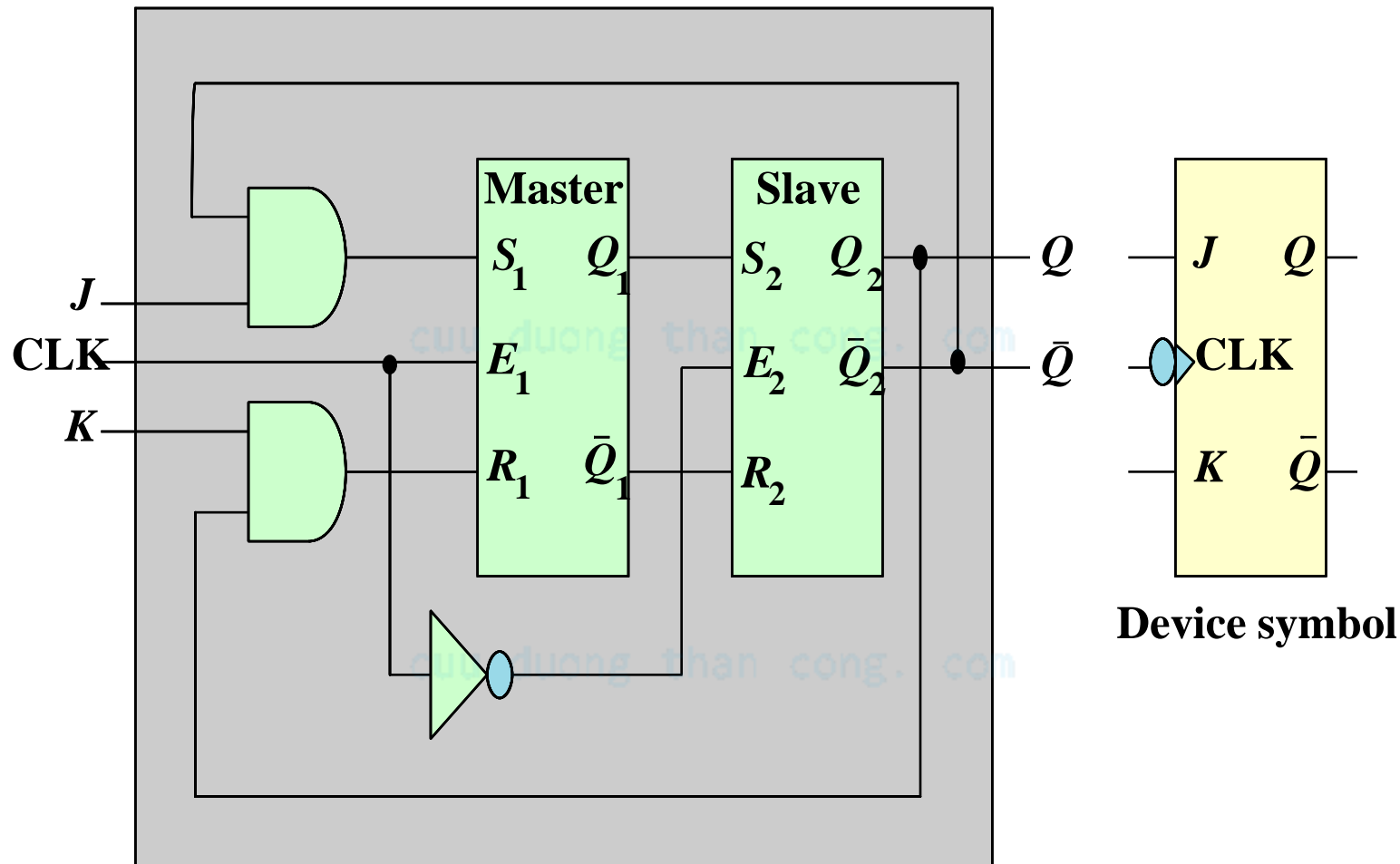
b. Nảy bởi cạnh xuống



a. Nảy bởi cạnh lên

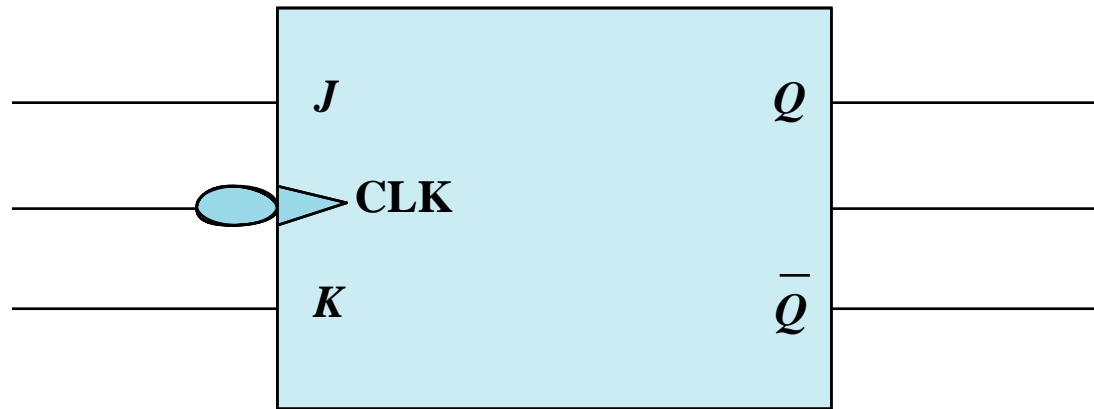
b. Nảy bởi cạnh xuống

***JK* flip-flop** : sơ đồ chức năng và ký hiệu linh kiện



Functional diagram

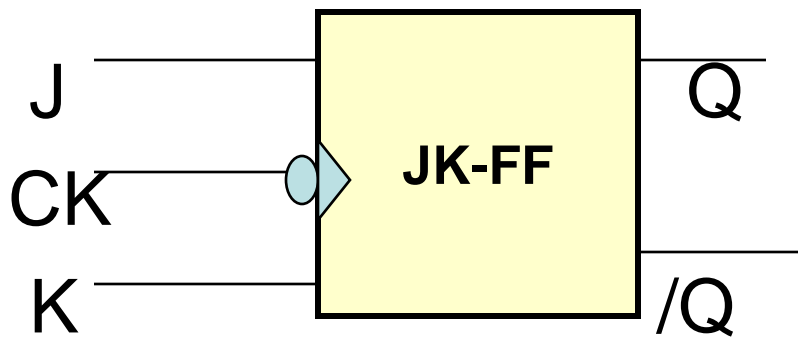
Bảng chân lý của JK flip-flop



JK flip-flop

J_n	K_n	Q_{n+1}
0	0	Q_n
0	1	0 (reset)
1	0	1 (set)
1	1	\bar{Q}_n (toggle)

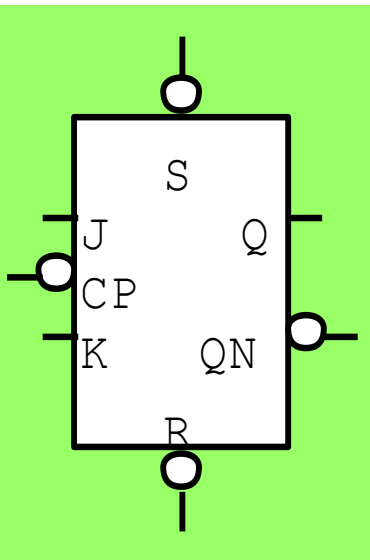
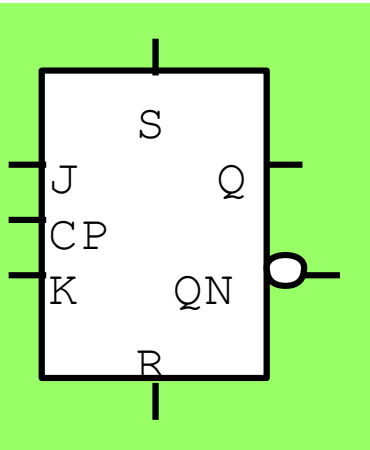
• JK-Flip Flop



Khắc phục trạng thái
 $S = R = 1$ bị cấm,
trở thành $J = K = 1$
các ngõ ra bị đảo
(toggle).
**JK-FF có rất nhiều
ứng dụng trong kỹ thuật số.**

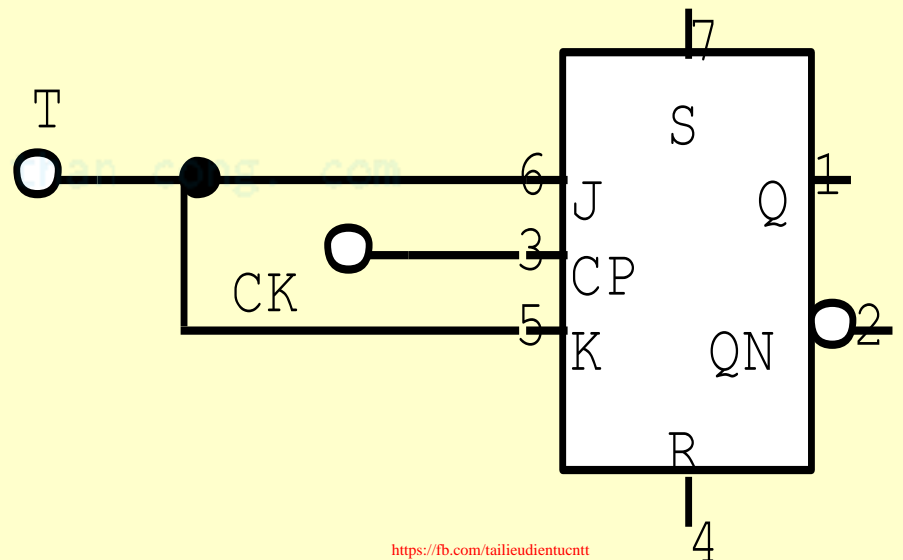
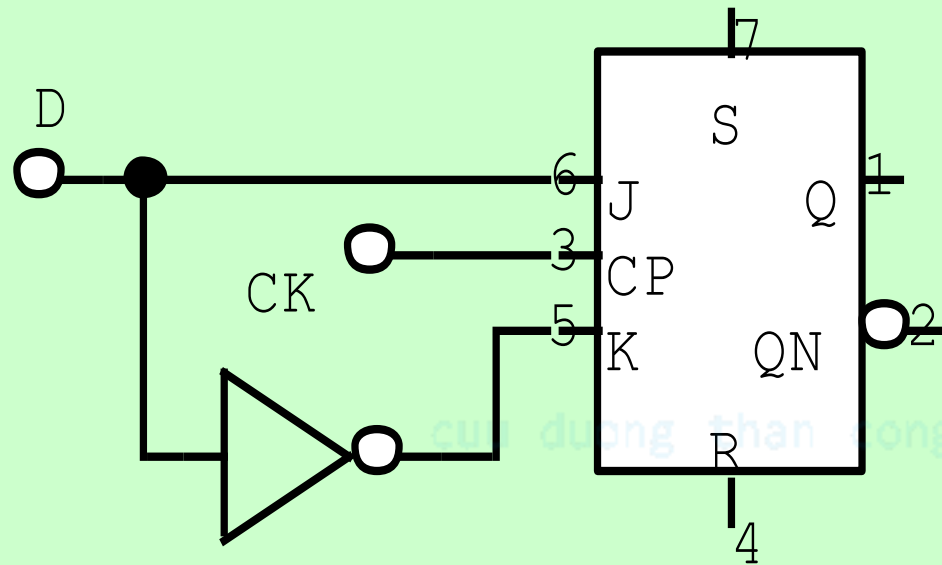
CK	J	K	Q	/Q
0	x	x	Q_0	$/Q_0$
↓	0	0	Q_0	$/Q_0$
↓	0	1	0	1
↓	1	0	1	0
↓	1	1	$/Q_0$	Q_0

JK-Flip Flop với Preset (hoặc S) và Clear (hoặc R)

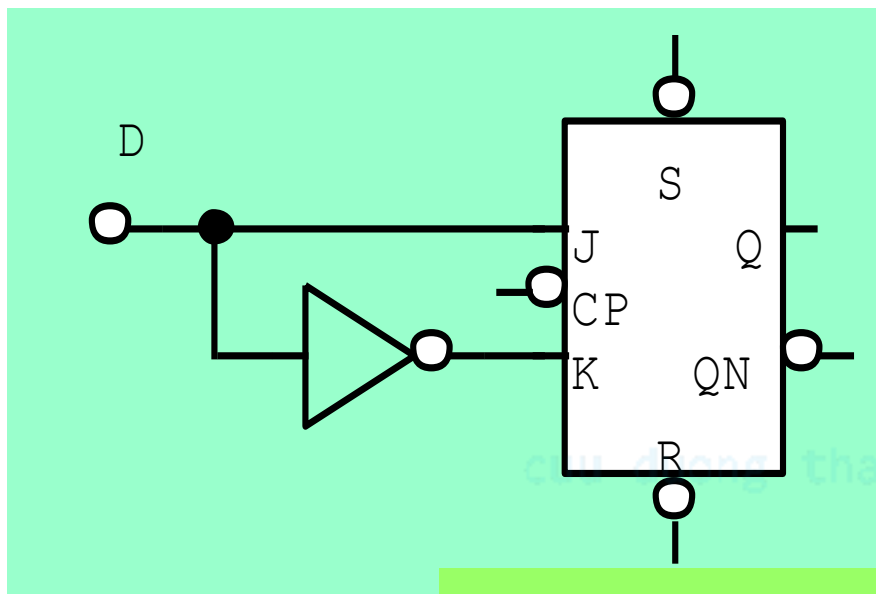


PRE	CLR	CK	S	R	Q	/Q	
0	0	x	x	x	*	*	Nonstable
0	1	x	x	x	1	0	
1	0	x	x	x	0	1	
1	1	1	0	0	Q ₀	/Q ₀	Hold
1	1	1	0	1	0	1	Reset
1	1	1	1	0	1	0	Set
1	1	1	1	1	/Q ₀	Q ₀	Toggle

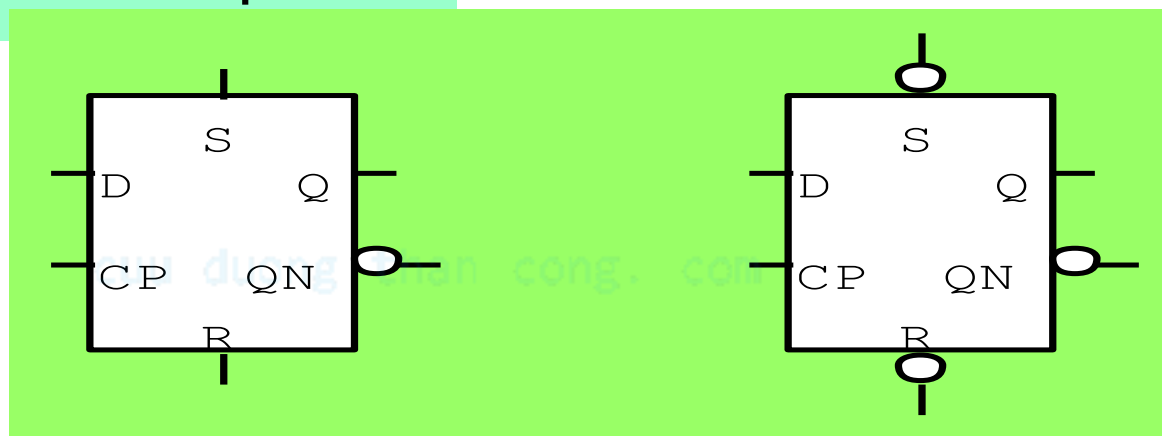
• D-Flip Flop và T- Flip Flop



D-Flip Flop

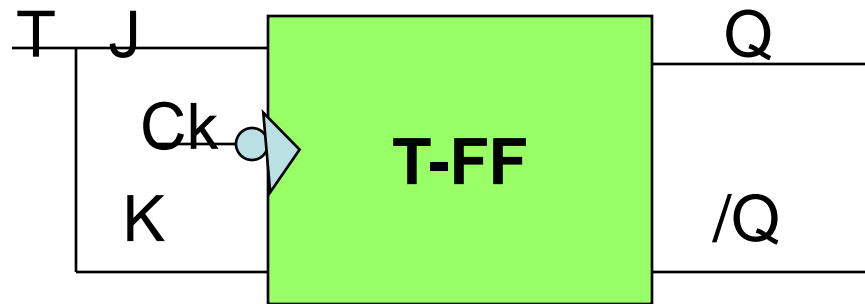


CK	D _n	Q _{n+1}
0	x	Q _n
1	0	0
1	1	1



Ứng dụng D-FF : bộ truyền số liệu, bộ ghi dịch.

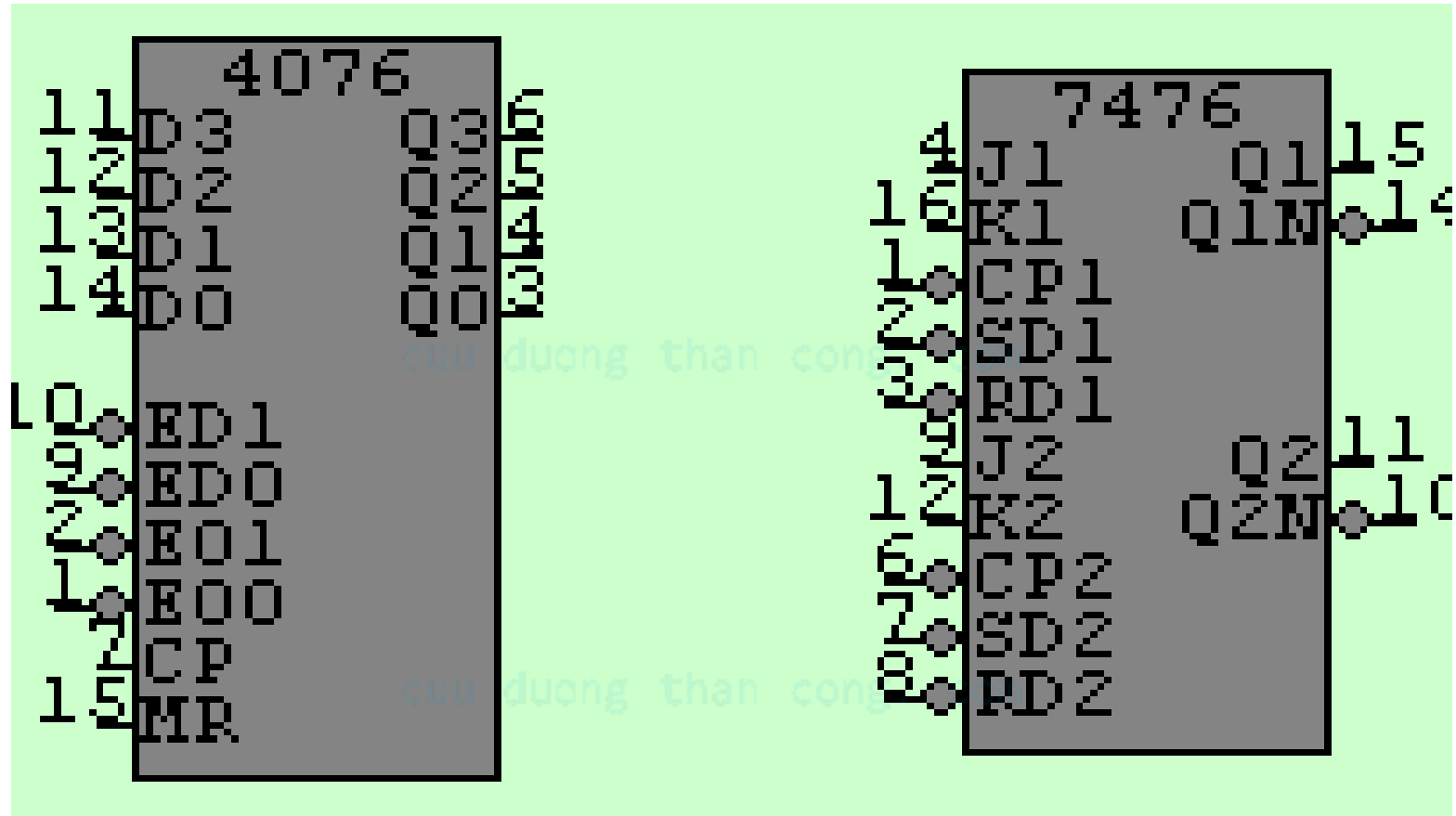
- **T-Flip Flop**



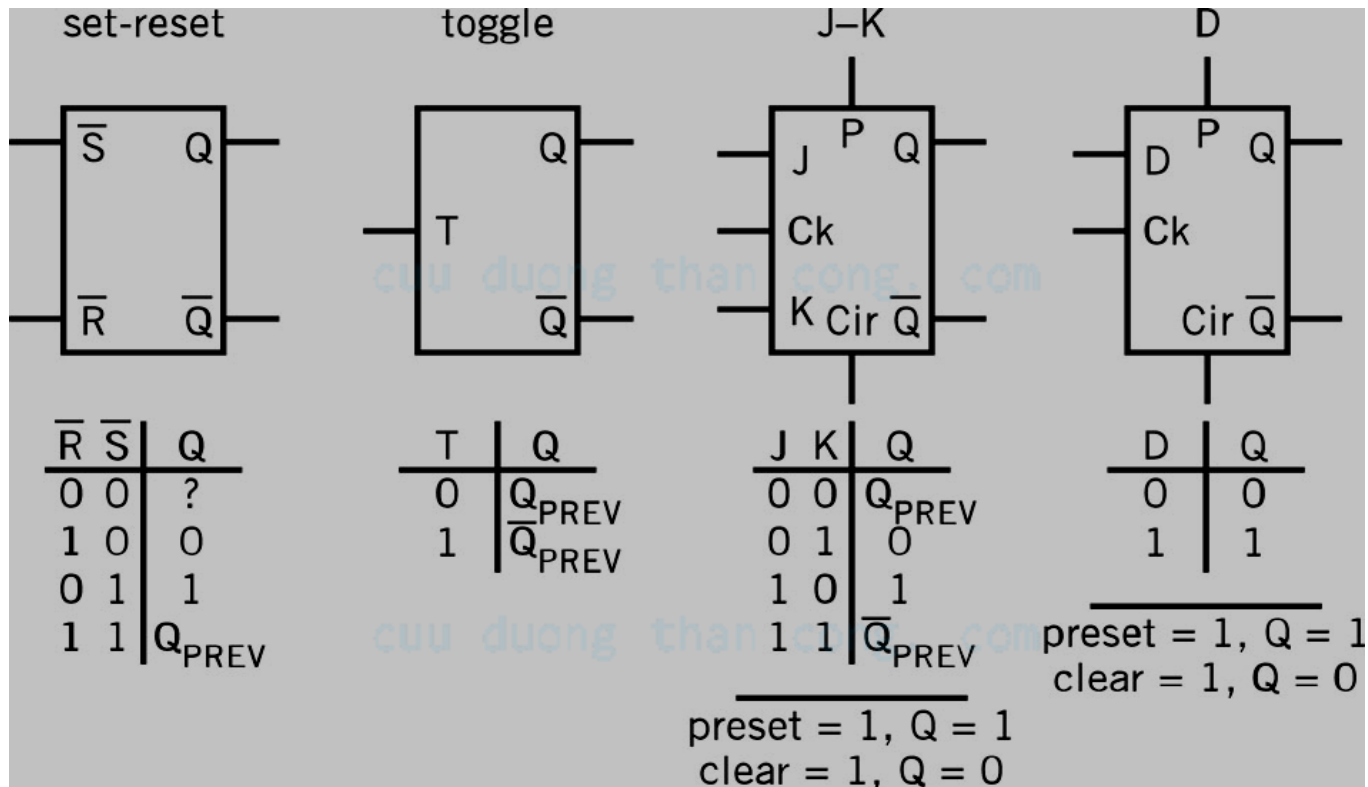
CK	T _n	Q _{n+1}
↓	0	Q _n
↓	1	/Q _n

**T-FF được sử dụng
trong thiết kế các mạch đếm (counter)
(xem lại chương 8. IC)**

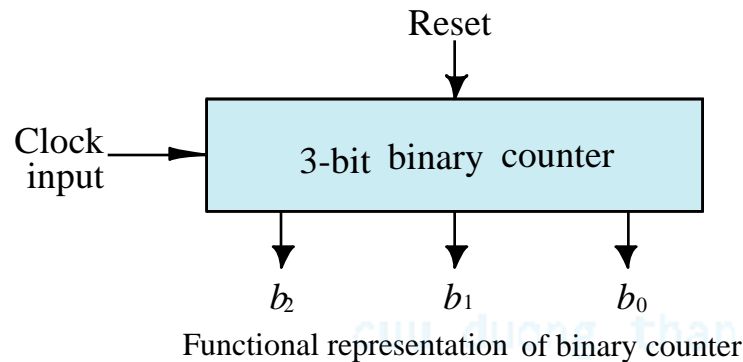
Sơ đồ chân các IC FlipFlop thường gặp



Flip-Flop Types with State Tables

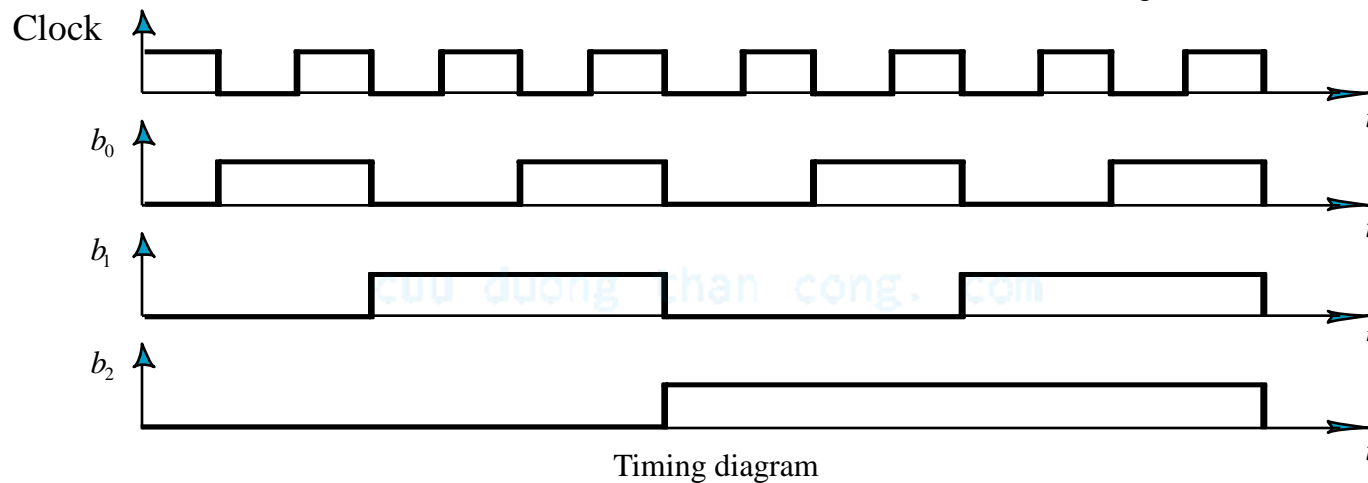


2. Mạch đếm (counter) ký hiệu, bảng trạng thái và giản đồ thời gian



Input pulses	State		
	b_2	b_1	b_0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

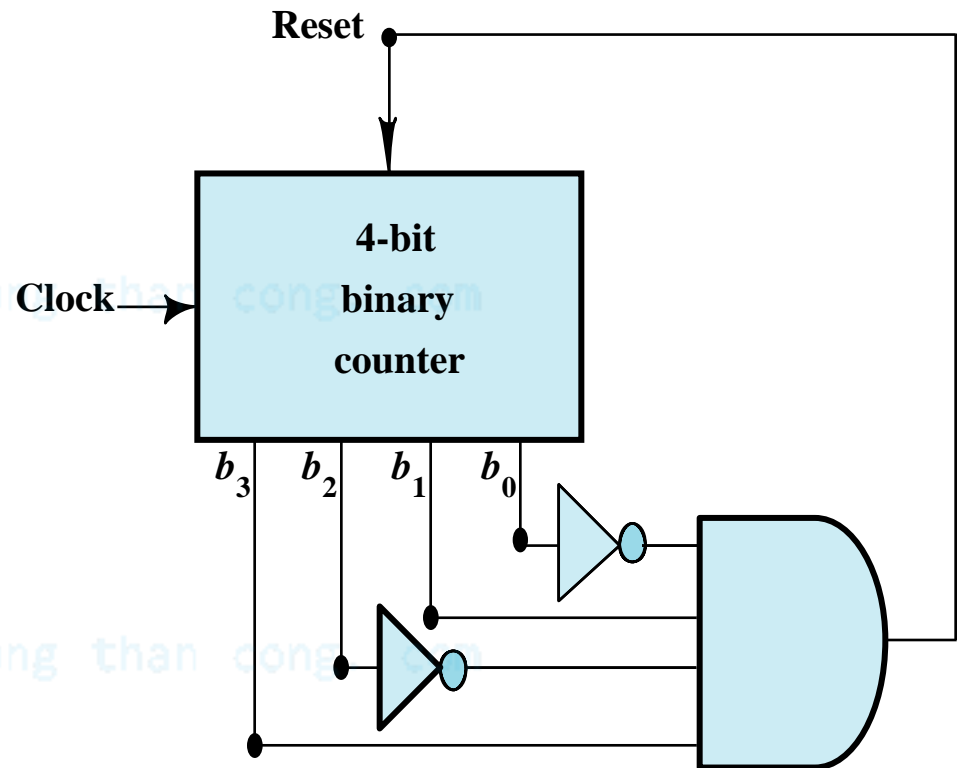
Timing table



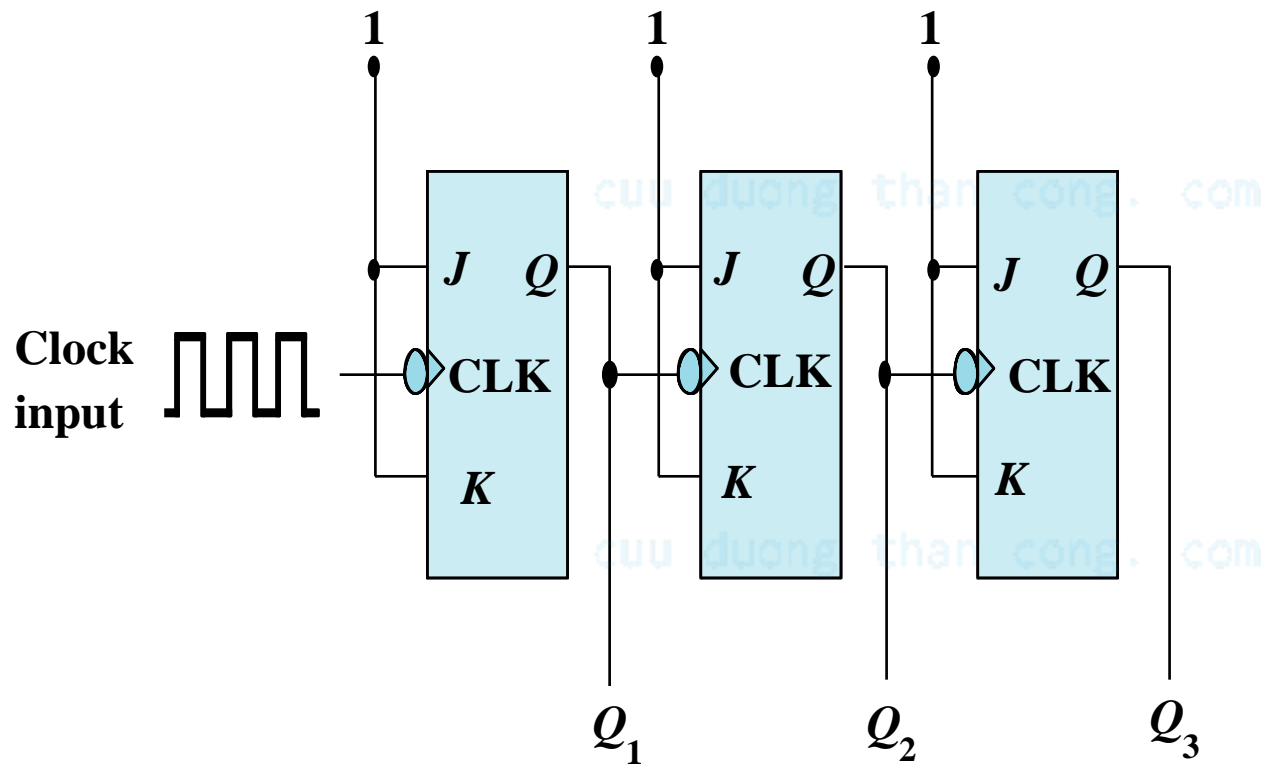
Mạch đếm 10

Input pulses	b_3	b_2	b_1	b_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0

Reset

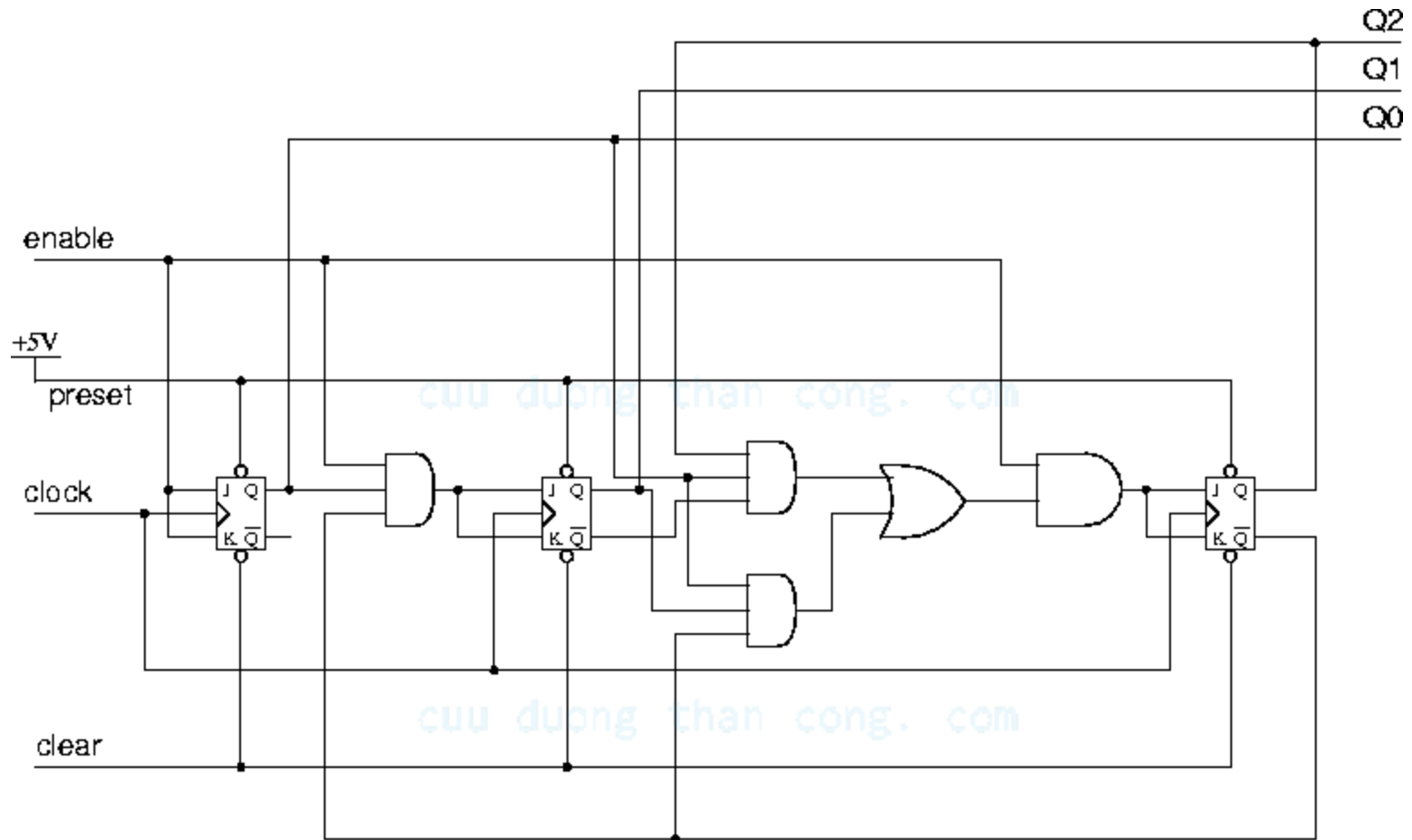


Mạch đếm không đồng bộ (Ripple counter)

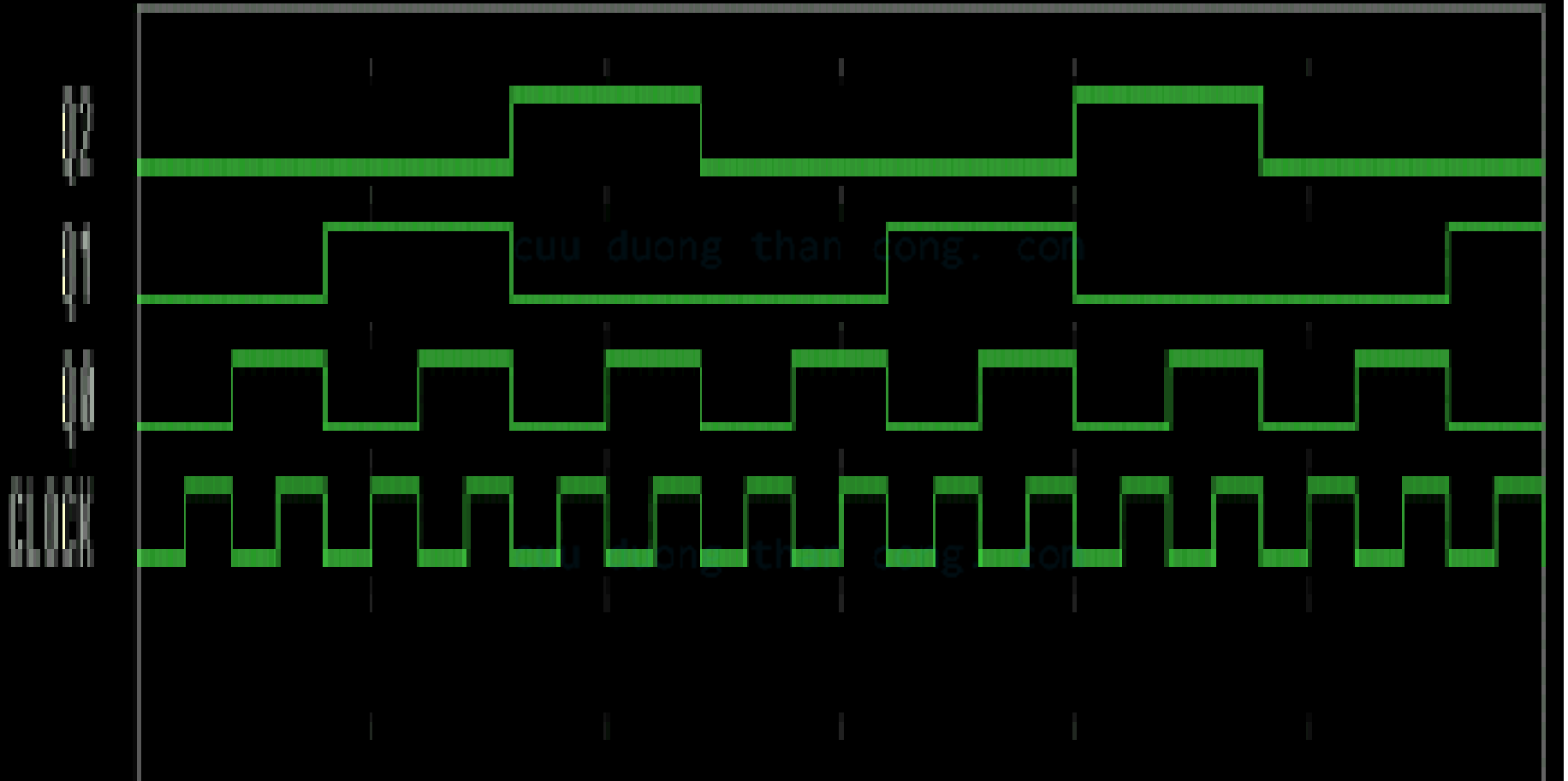


Input	Q_3	Q_2	Q_1
	0	0	0
	0	0	1
	0	1	0
	0	1	1
	1	0	0
	1	0	1
	1	1	0
	1	1	1

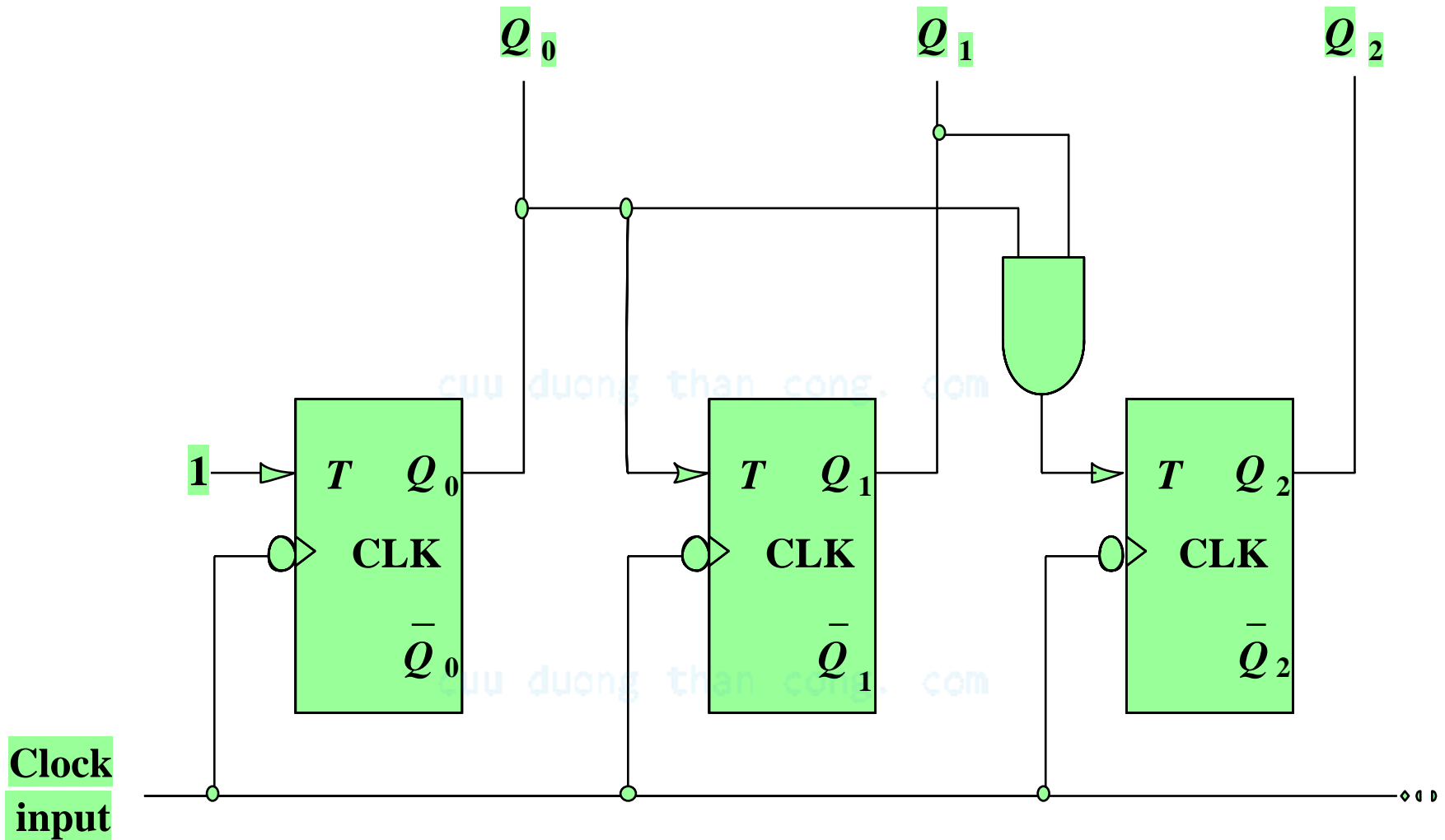
Mạch đếm không đồng bộ



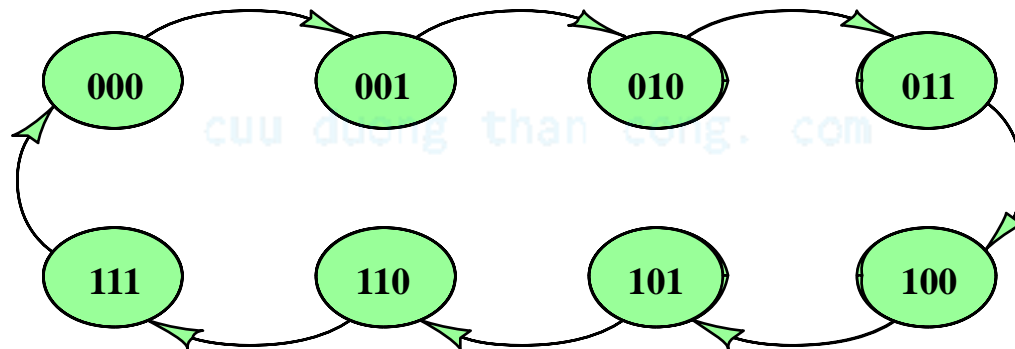
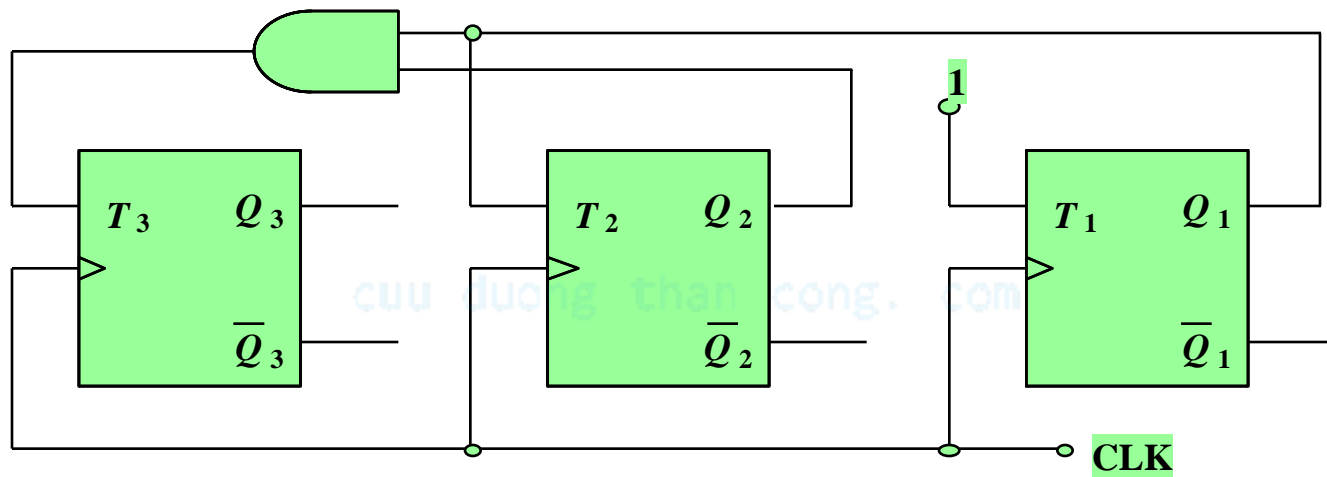
- **Dạng sóng mạch đếm**



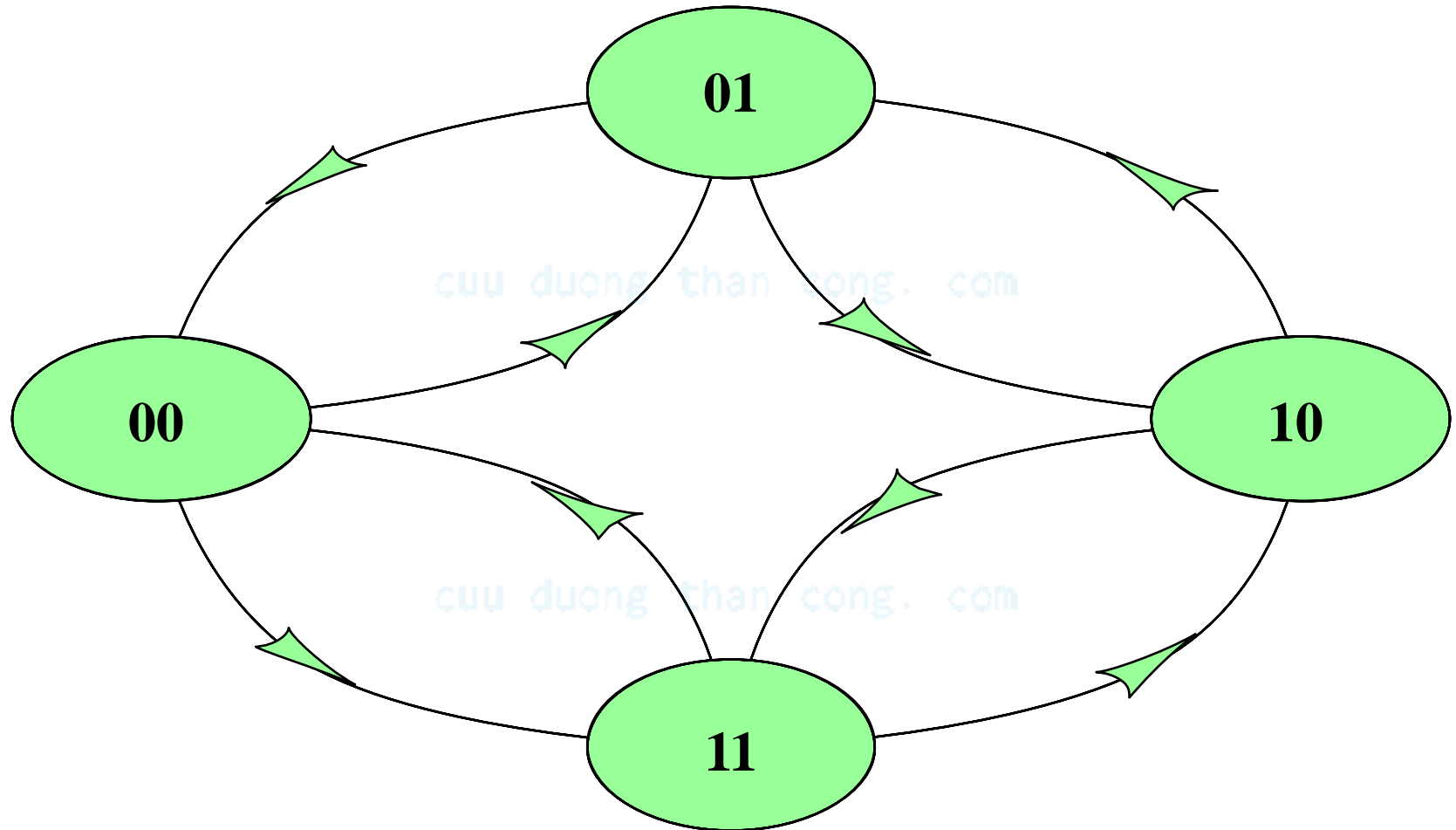
Mạch đếm đồng bộ 3- bit



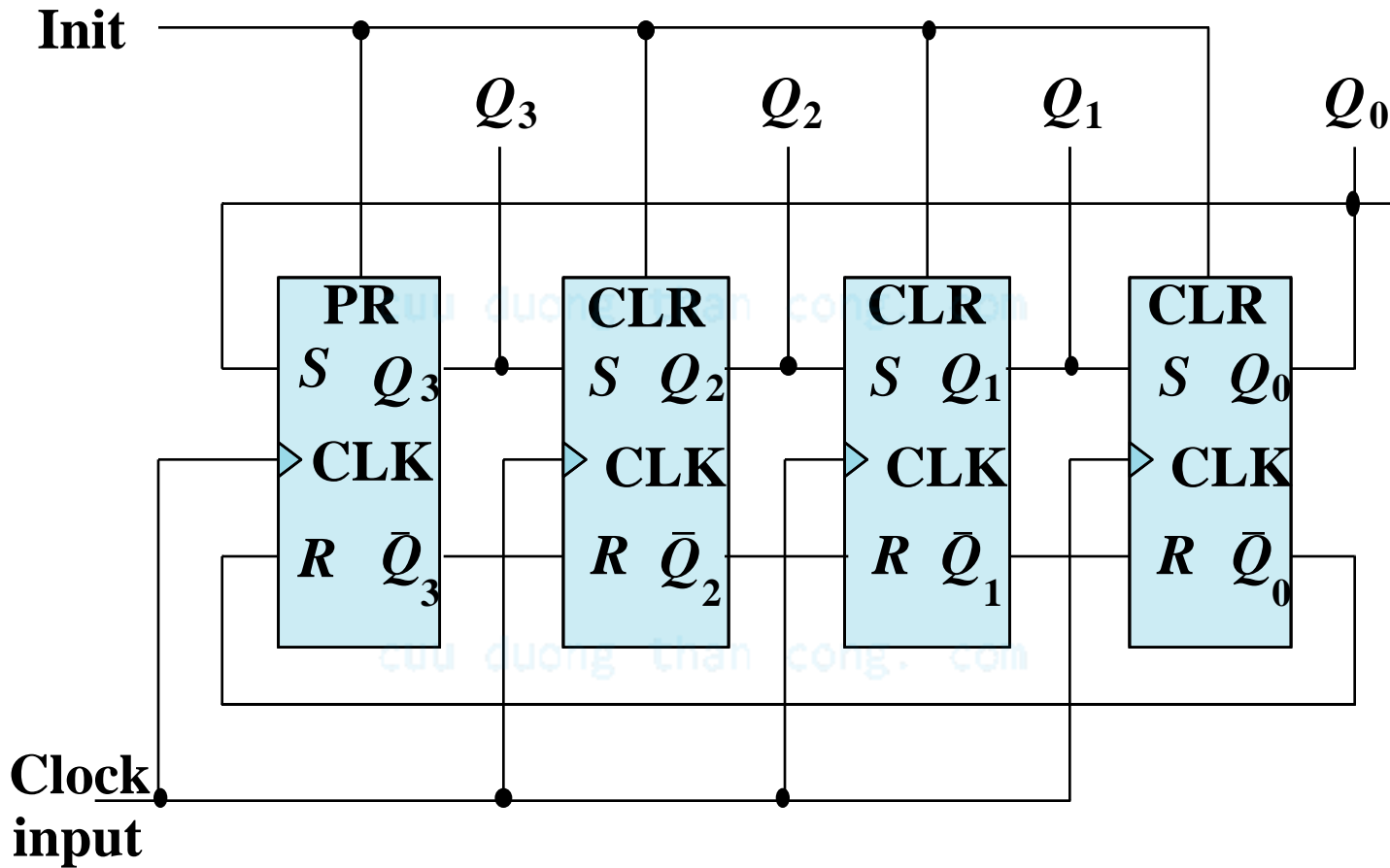
Mạch đếm nhị phân 3-bit và giản đồ trạng thái



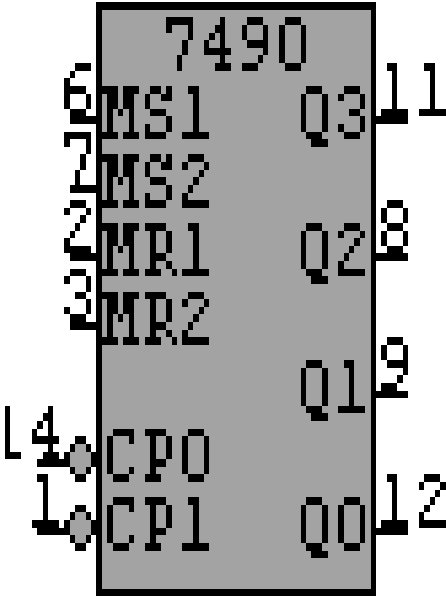
Sơ đồ trạng thái mạch đếm lên - xuống 4 bit



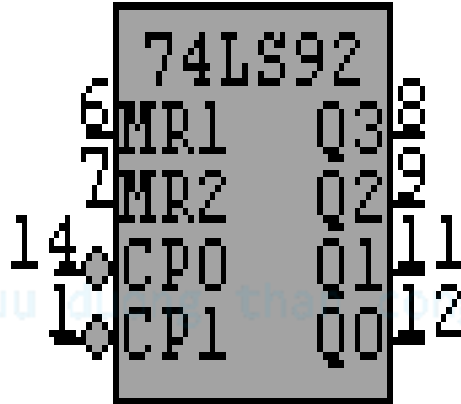
Mạch đếm vòng (Ring counter)



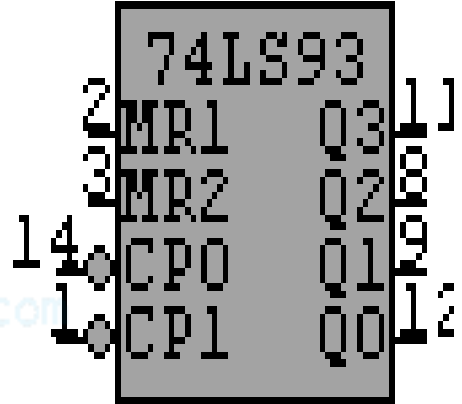
- IC đếm thường gặp



- Đếm 10

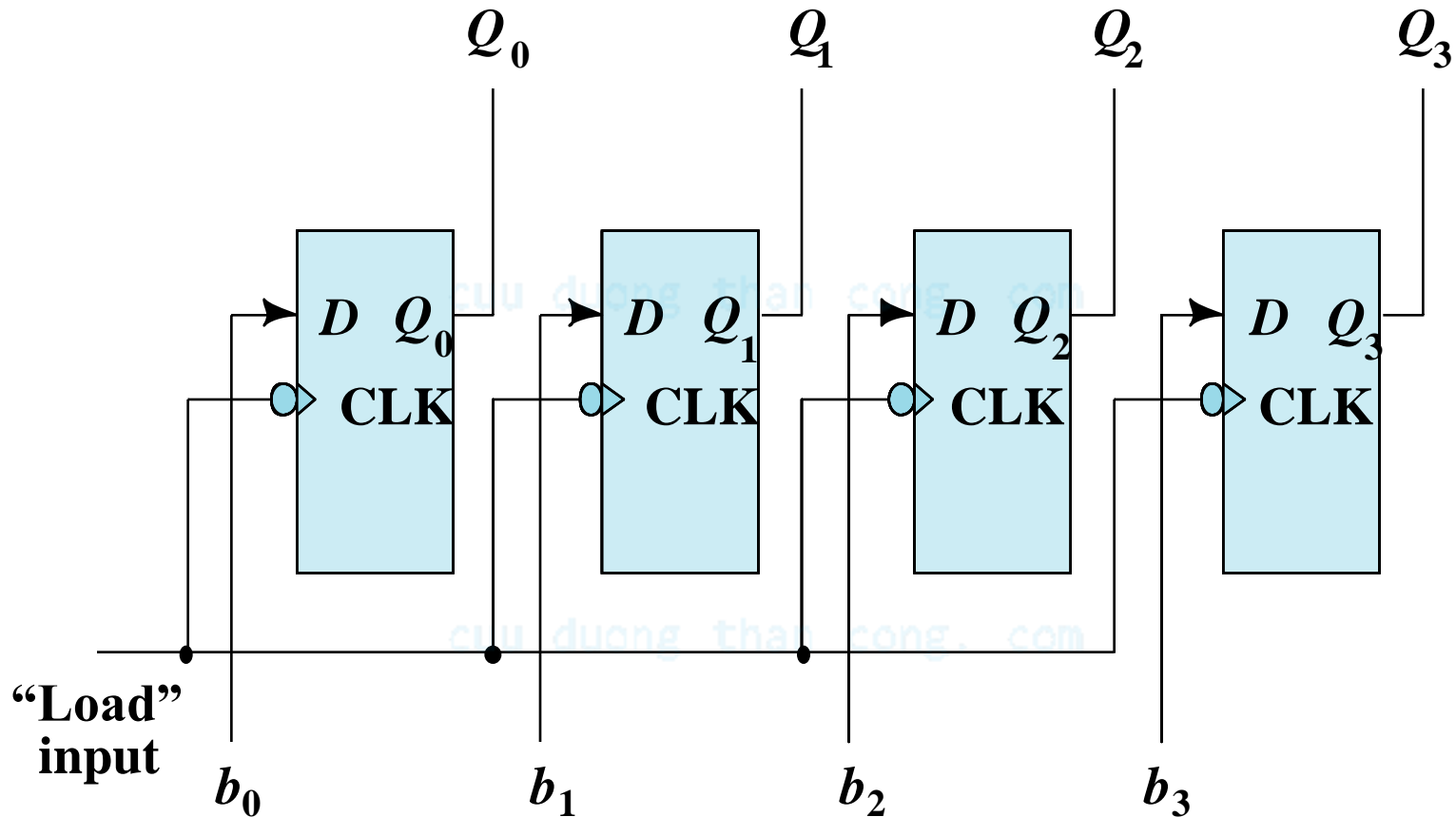


Đếm 12

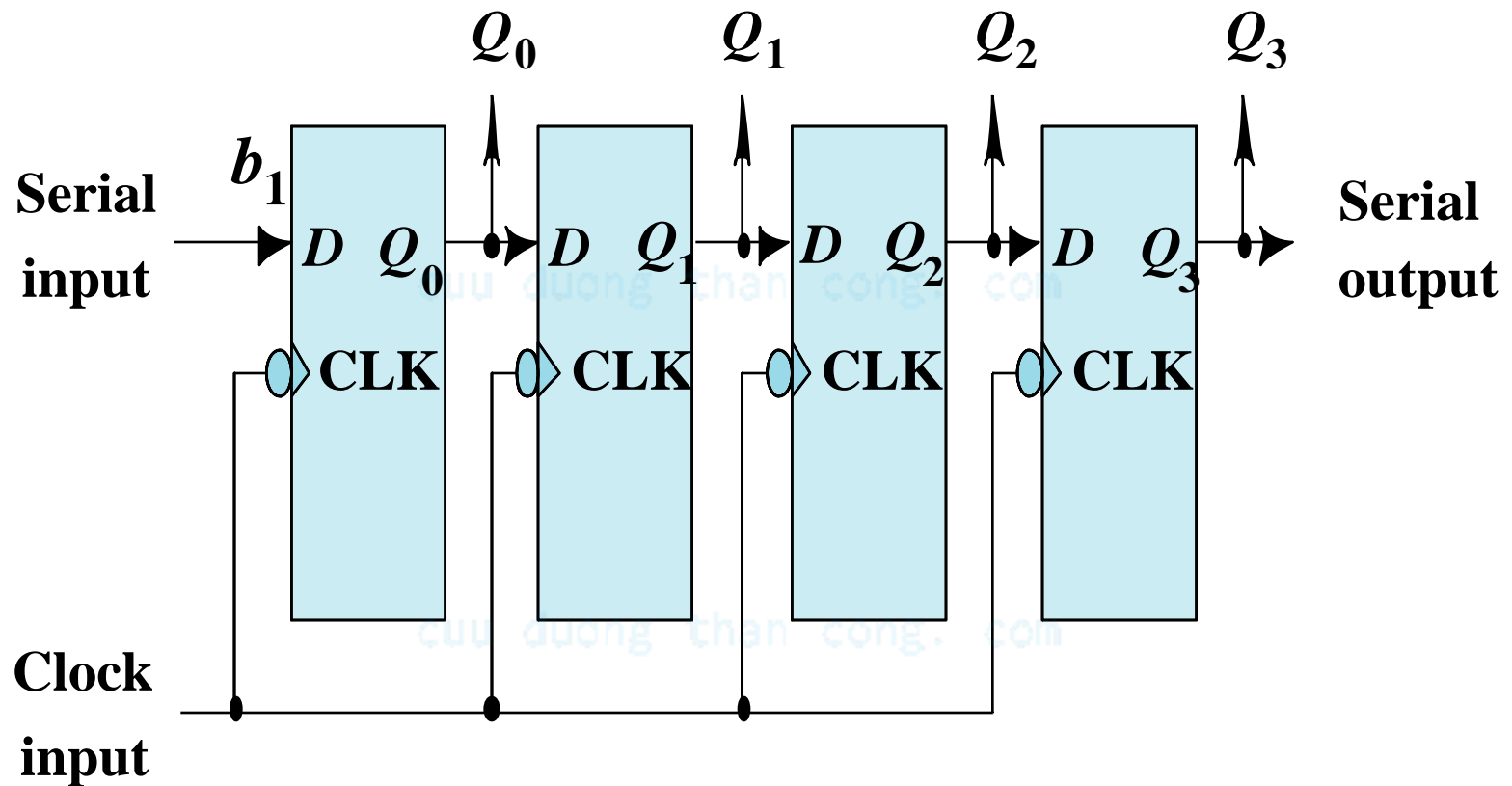


Đếm 16

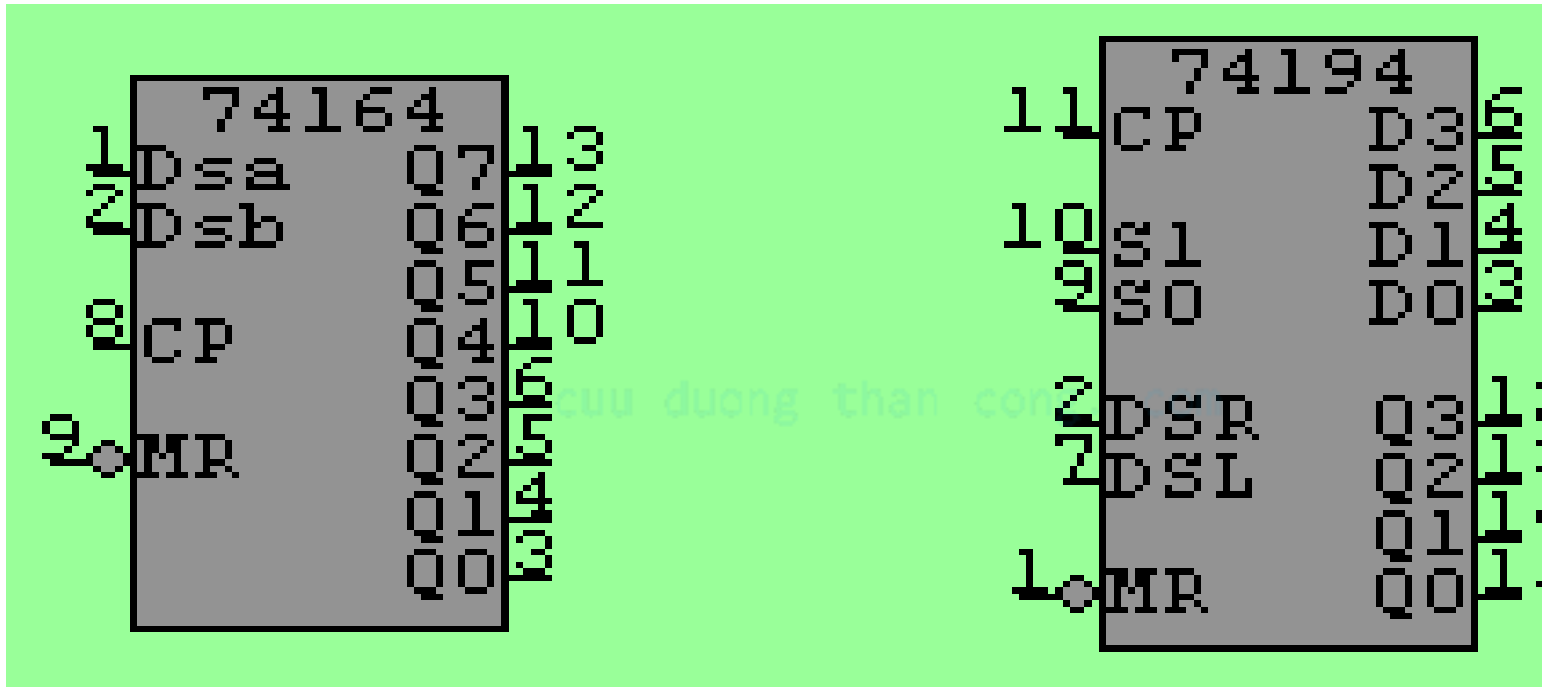
3. Mạch ghi dịch song song 4 – bit (Four-bit parallel register)



Mạch ghi dịch 4-bit (Four-bit shift register)



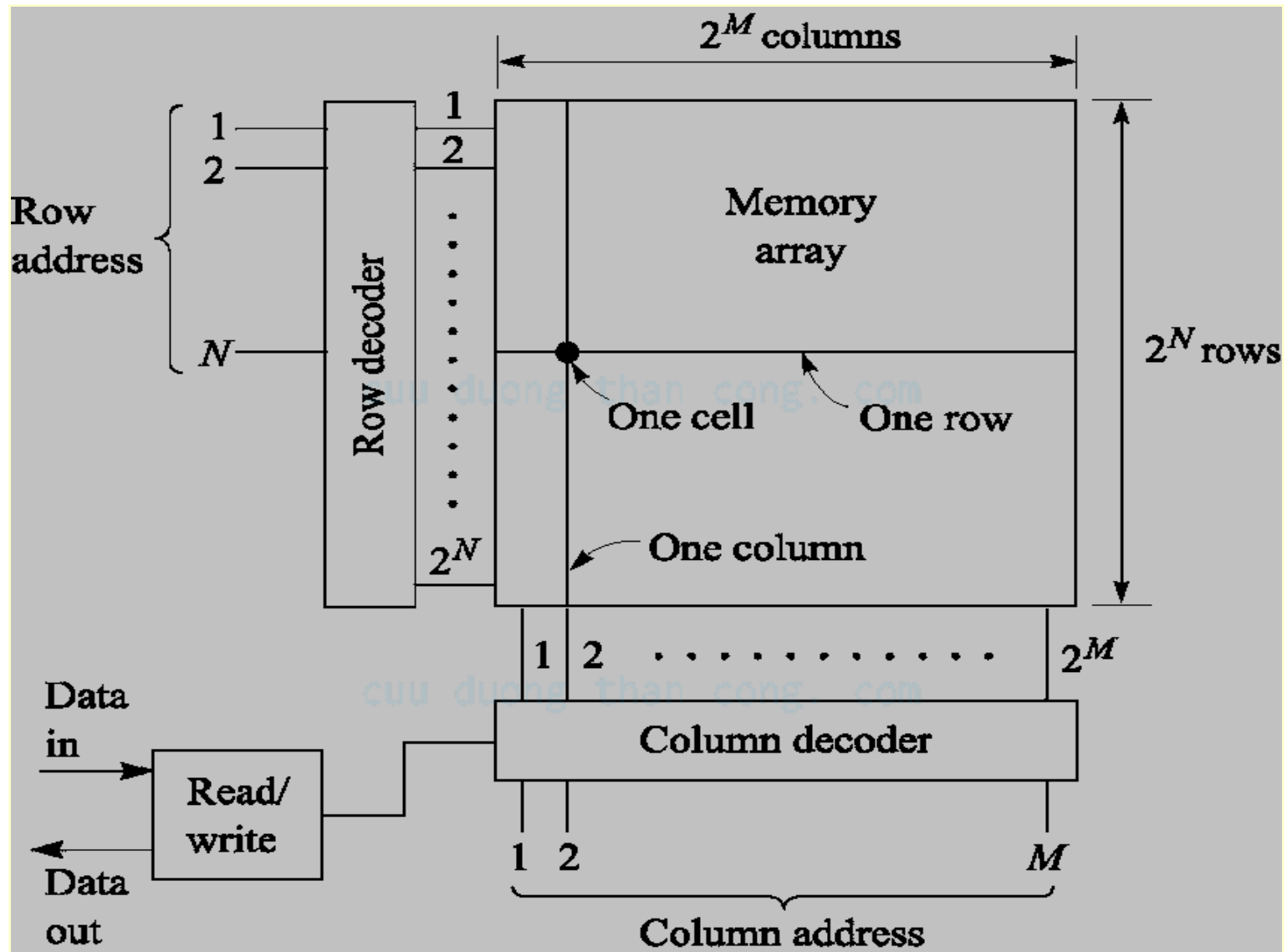
- IC Ghi dịch thông dụng



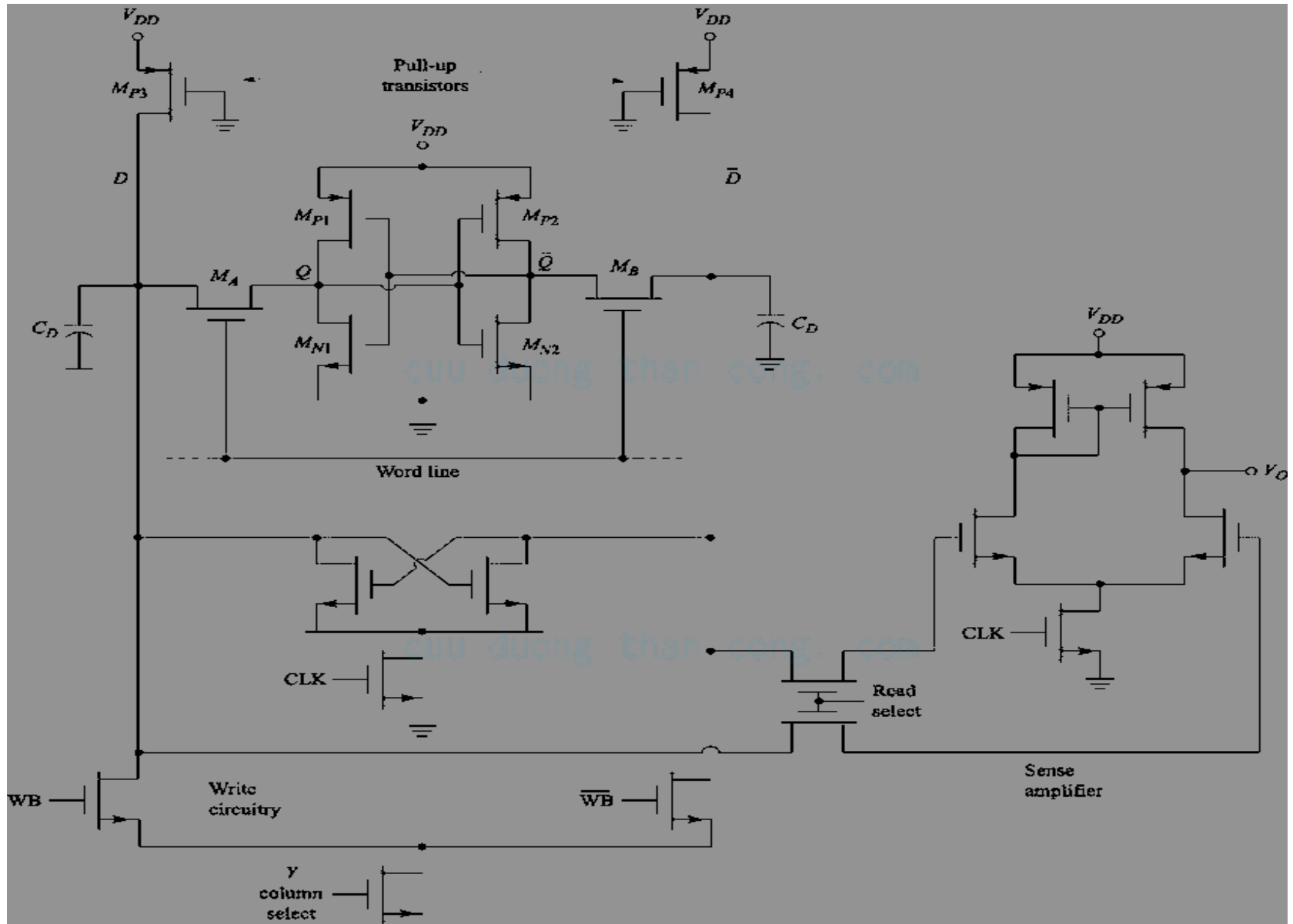
vào song song-ra nối tiếp

Phổ dụng

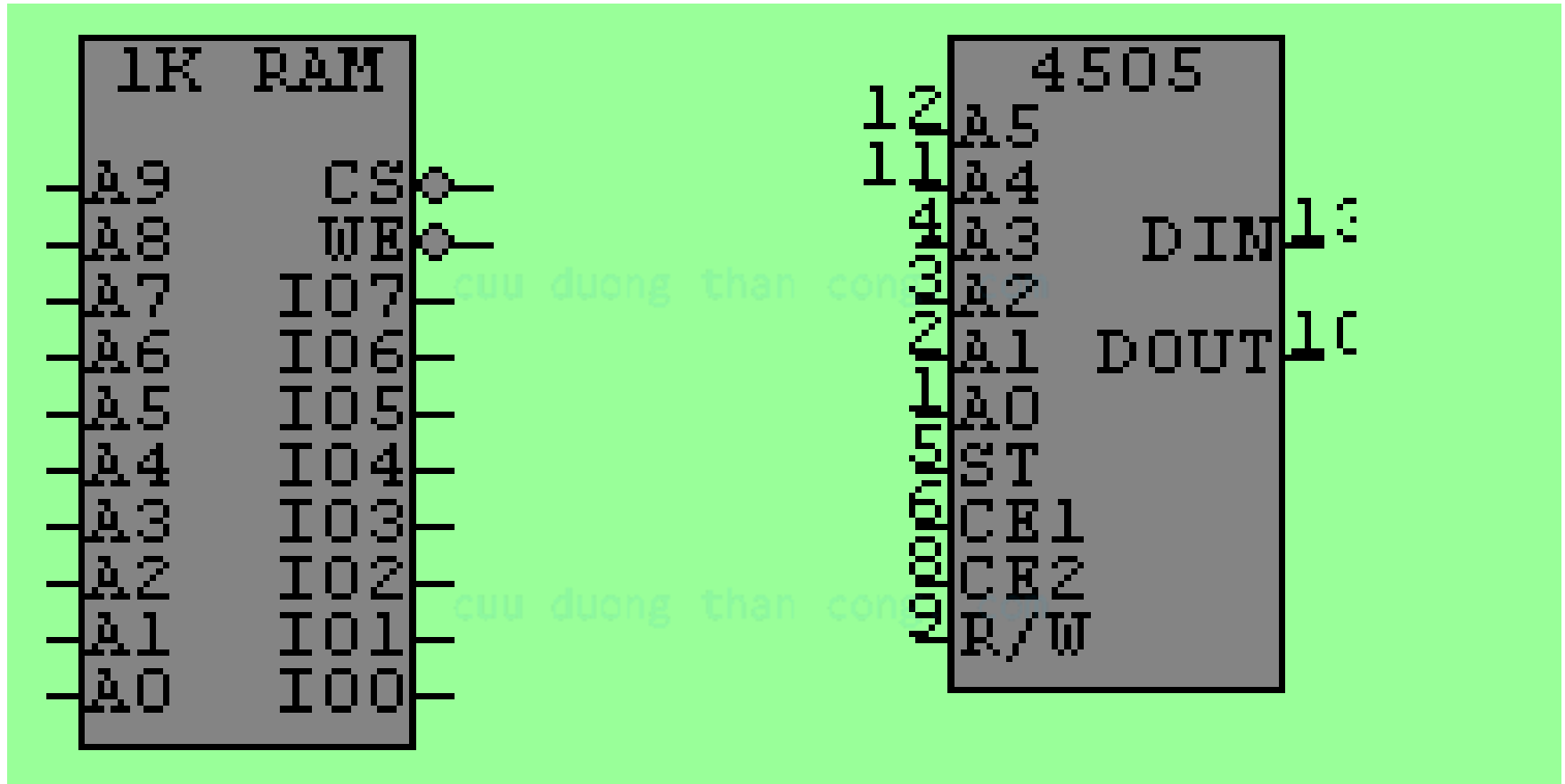
5. Sơ đồ RAM (dung lượng $C = 2^m \times 2^n$)



Sơ đồ RAM dùng MOS

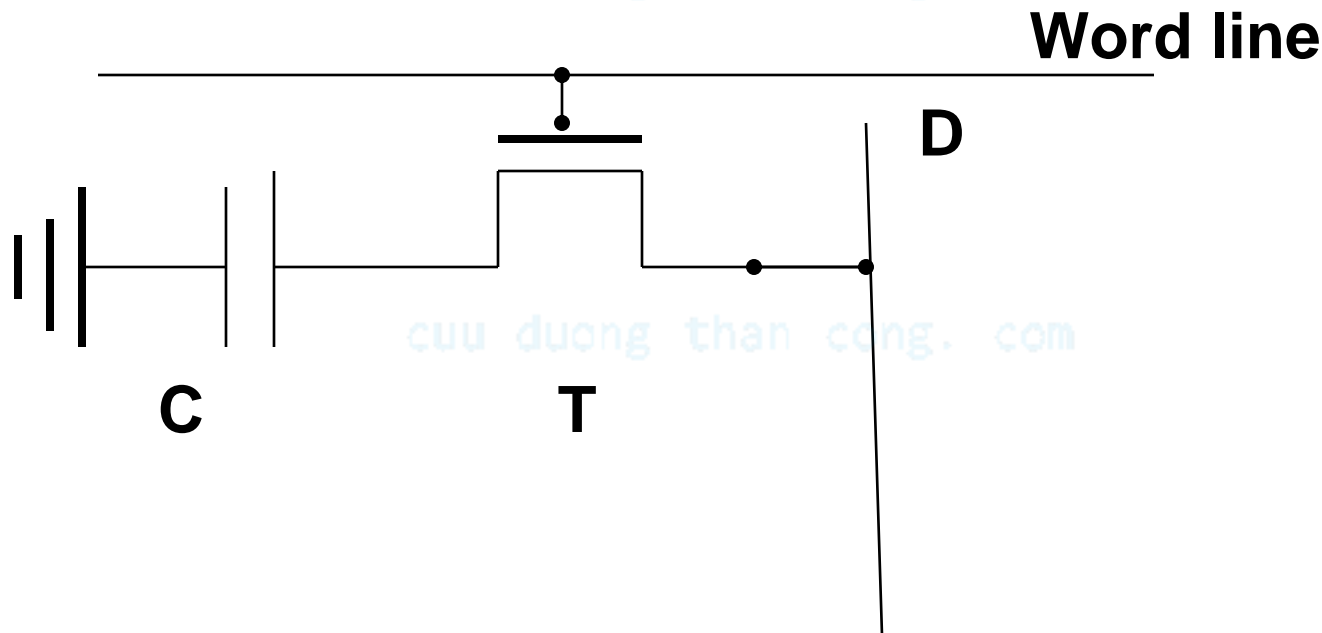


- IC RAM

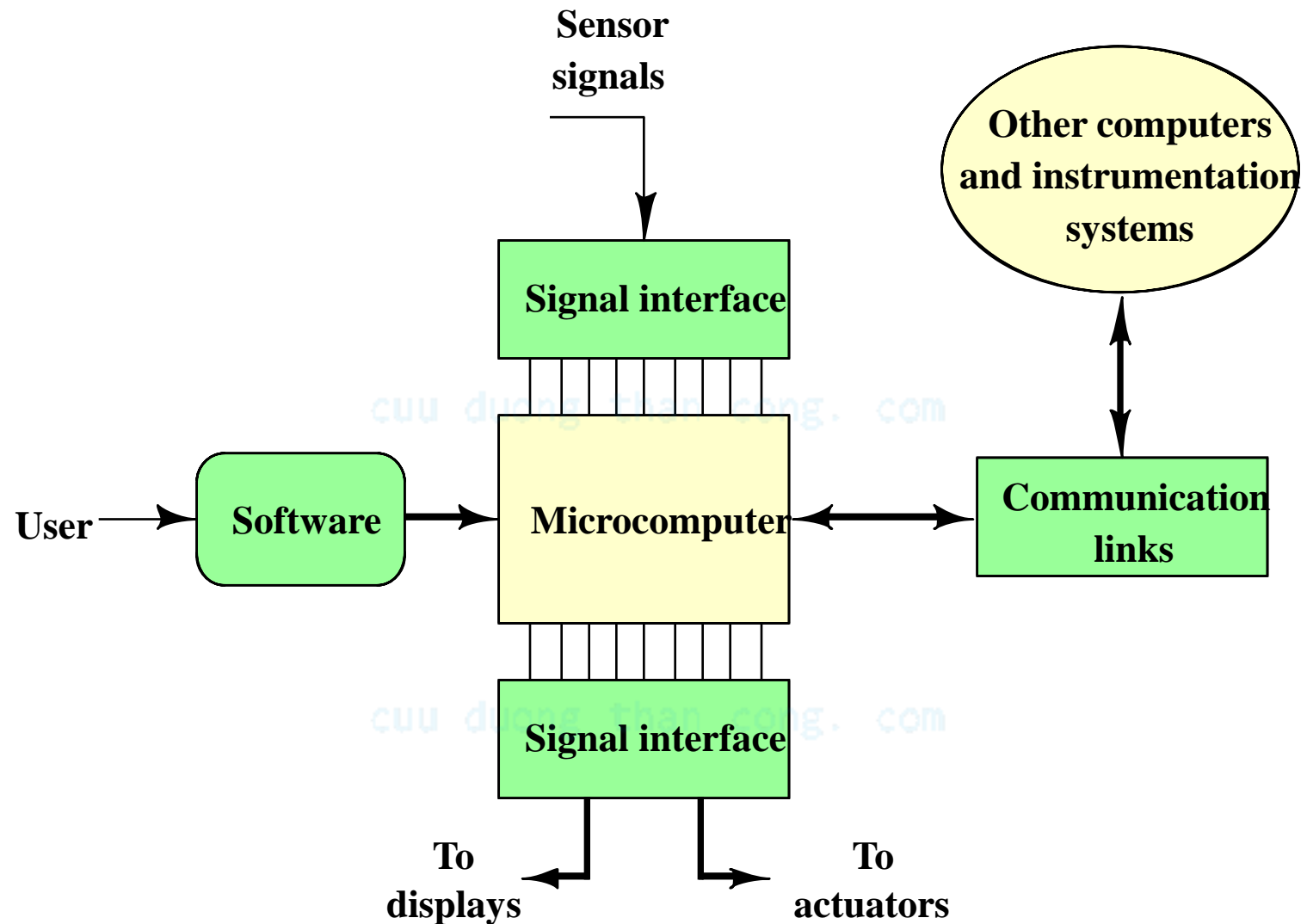


DRAM (Dynamic RAM-Dynamic MOS cell)

- Khác với SRAM (Static RAM) gồm 1 tế bào nhớ là FlipFlop MOS.
- DRAM 1 tế bào nhớ là 1 tụ MOS , khi nạp đầy là mức cao, khi xả hết là ở mức thấp.

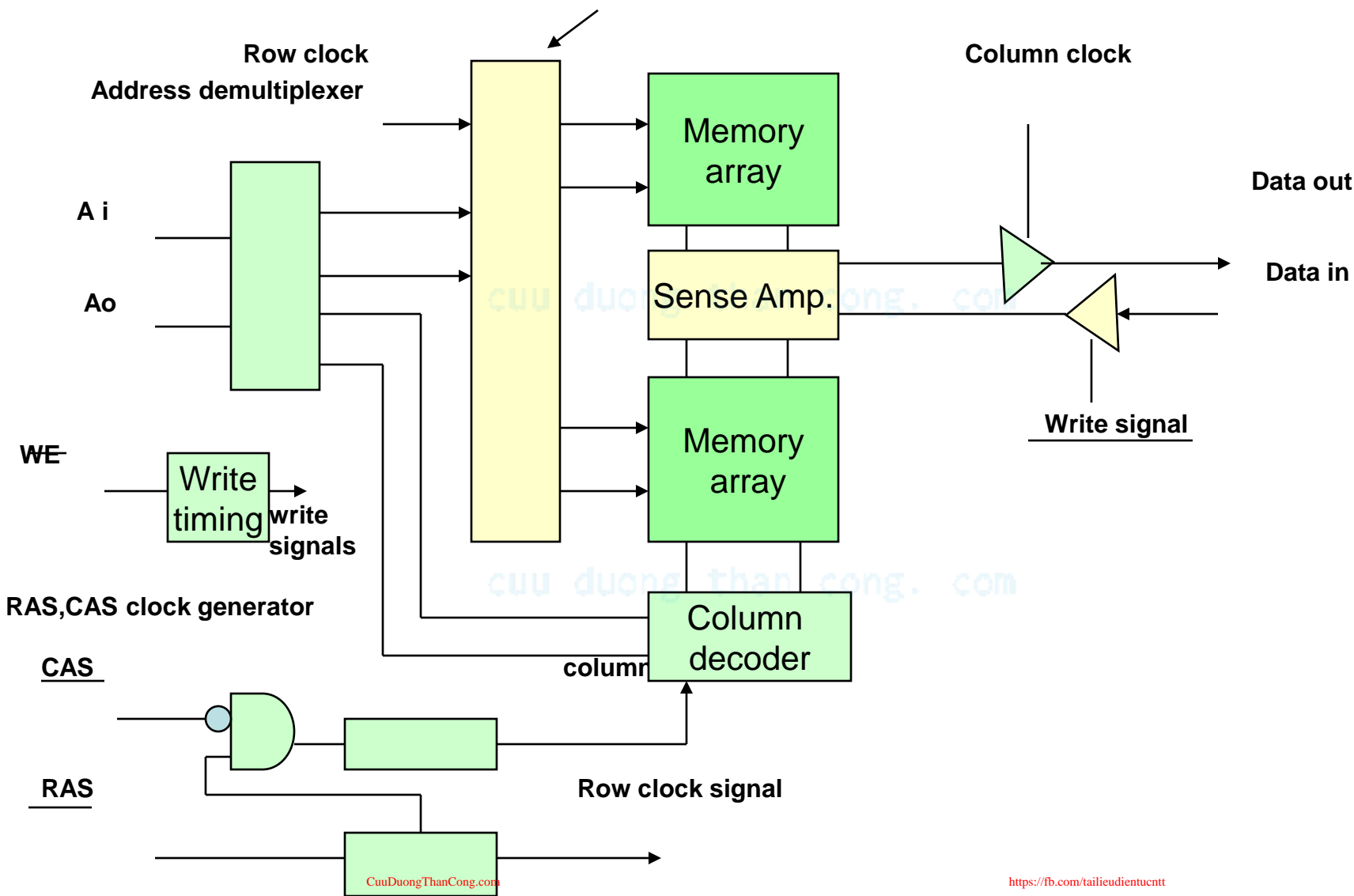


7. Cấu trúc 1 hệ thống nhận và điều khiển

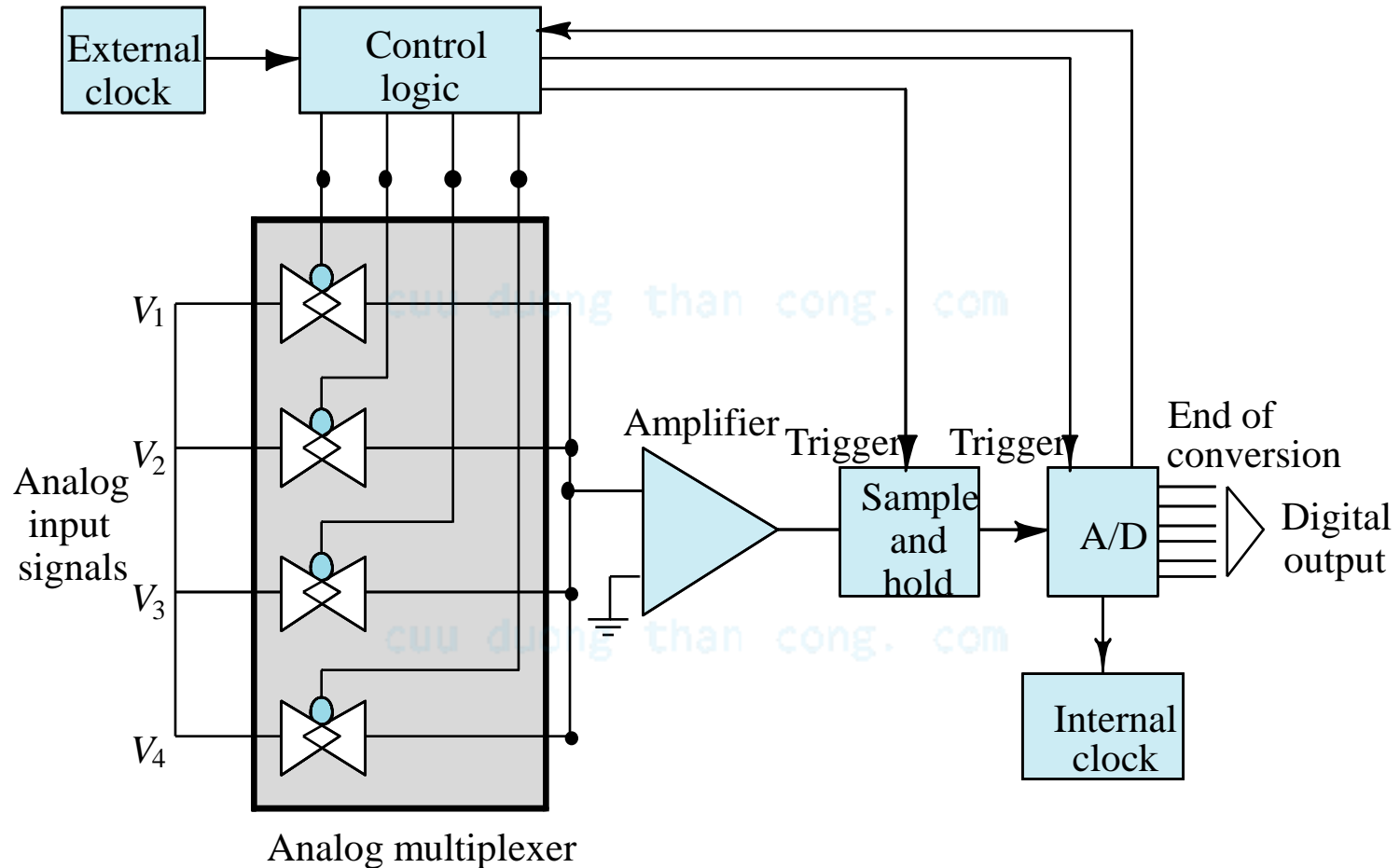


Cấu trúc bên trong DRAM

- Sơ đồ DRAM Row decoders

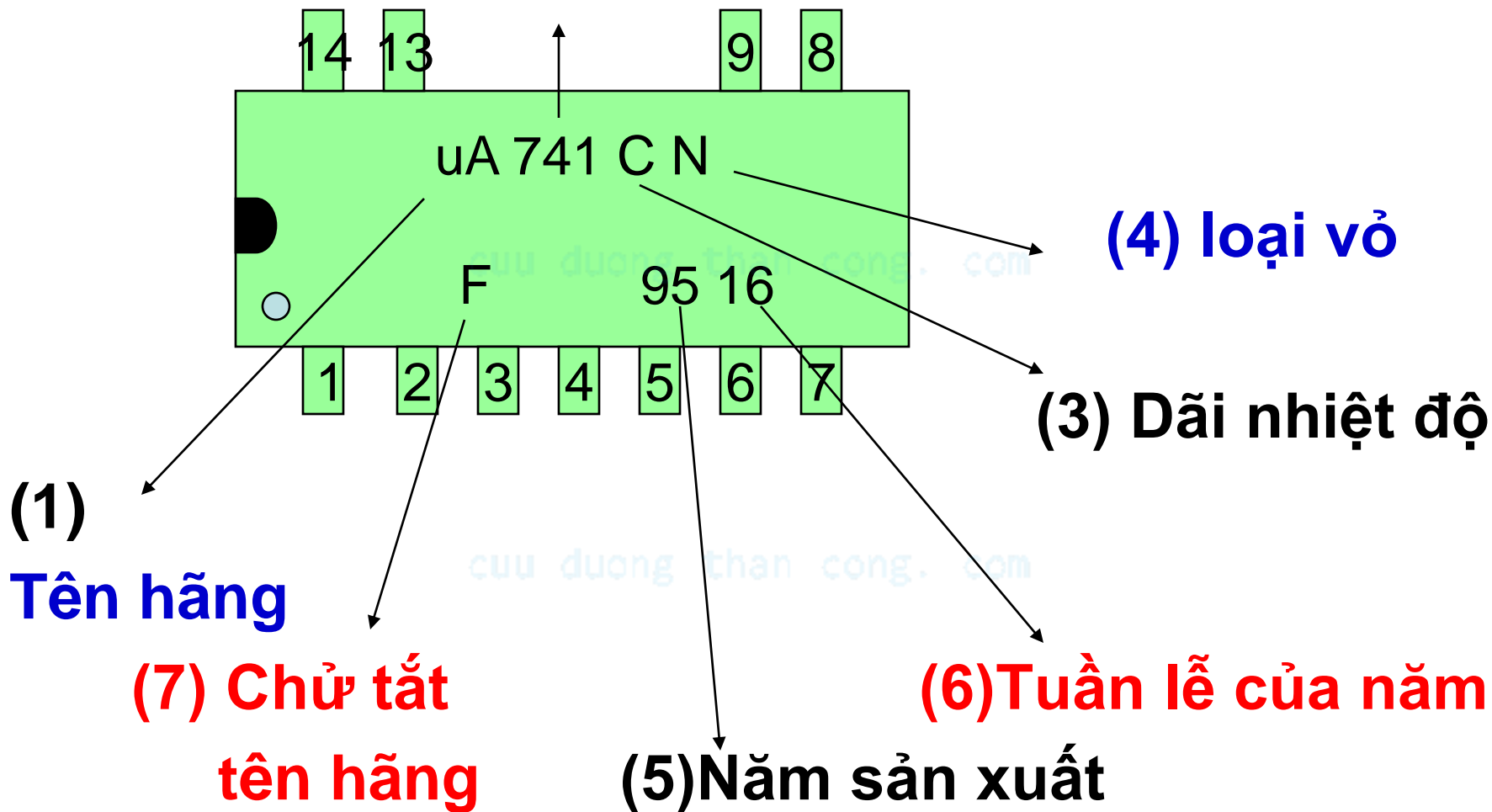


Hệ thống nhận Data



Cách đọc tên ghi trên IC

- **Mã số IC** (2) loại linh kiện



- **Giải thích từ ngữ:**

- (1). Tên hãng:**

- uA – FND hãng Fairchild;**

- AD - Analog Devices;**

- CA , CD – RCA;**

- TL,TIL,SN Texas Instruments;**

- LM-National Semiconductor Corp.**

- MC, MOC - Motorola**

- ICM – Intersil**

- BB – BurrBrown**

- NE, SE Signetics**

(2) Chức năng linh kiện:

OP.amp:

LM741; 52 741; 72 741; CA 3741;

TL062/082/084 ; MC 1741;

IC số:

7474; 7476 FlipFlop

74LS00, CD 4011 Cổng NAND

7447; 4511 Giải mã

(3). Dải nhiệt độ:

C (commercial -thương mại): từ 0 đến 75°C

I (Industrial -công nghiệp) : từ -25 đến + 80°C

M (Militaty -quân đội) : từ - 55 đến + 125°C

(4) Loại vỏ:

D plastic dual-in-line package (DIL, DIP)

FH, FK ceramic chip carrier

FN plastic chip carrier

J, JD, JG ceramic dual-in-line

LP, LU plastic plug-in

N, P plastic dual-in-line

U , W ceramic flat

cuu duong than cong. com