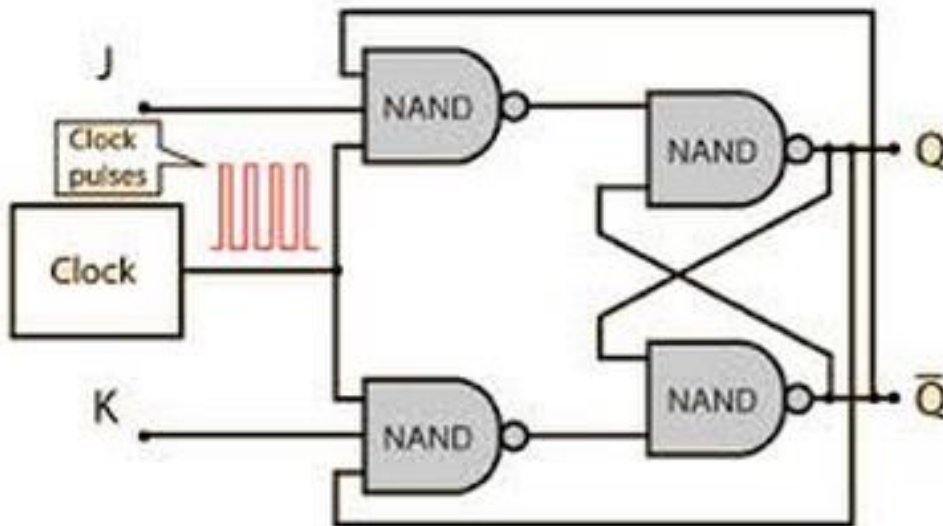


Chương 5

Linh Kiện Mạch Tuần Tự

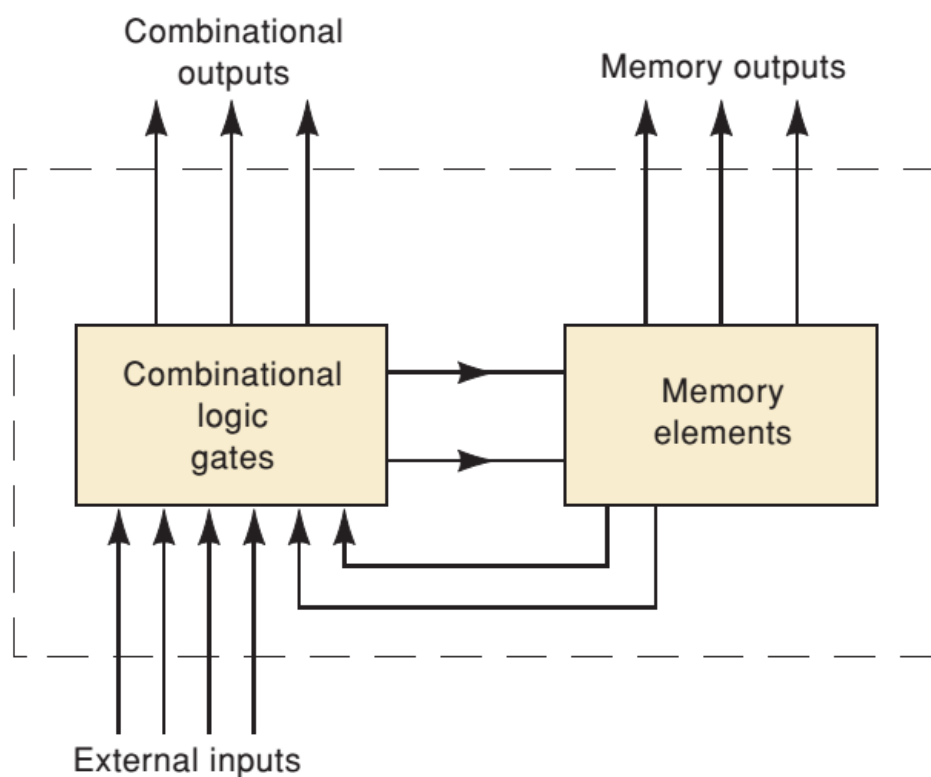


Nội dung

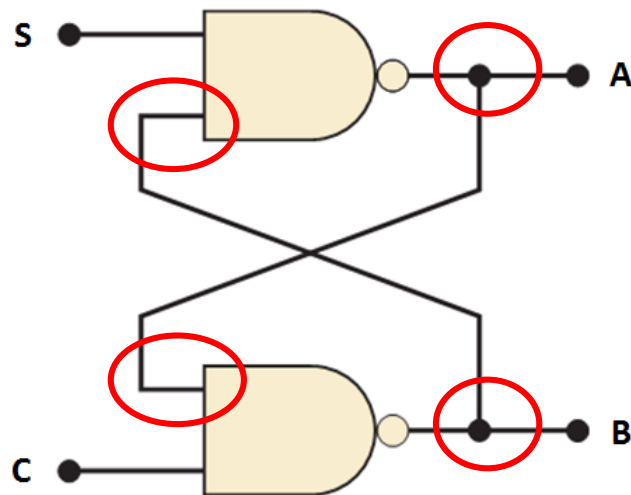
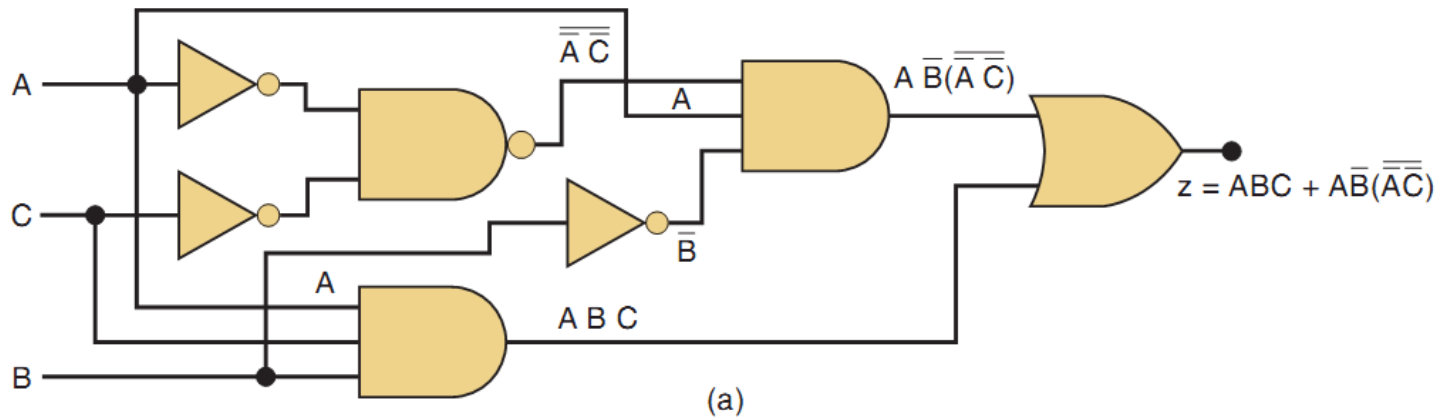
- Mạch tuần tự
- Phần tử nhớ Latch
- Clock và Clocked-FlipFlop
- Đồng bộ
- Ngõ nhập bất đồng bộ.
- Vấn đề Timing
- Ứng dụng FlipFlop

Giới thiệu

- Mạch tổ hợp không có bộ nhớ
- Hầu hết các hệ thống số được tạo thành từ mạch tổ hợp và các phần tử nhớ → mạch tuần tự.

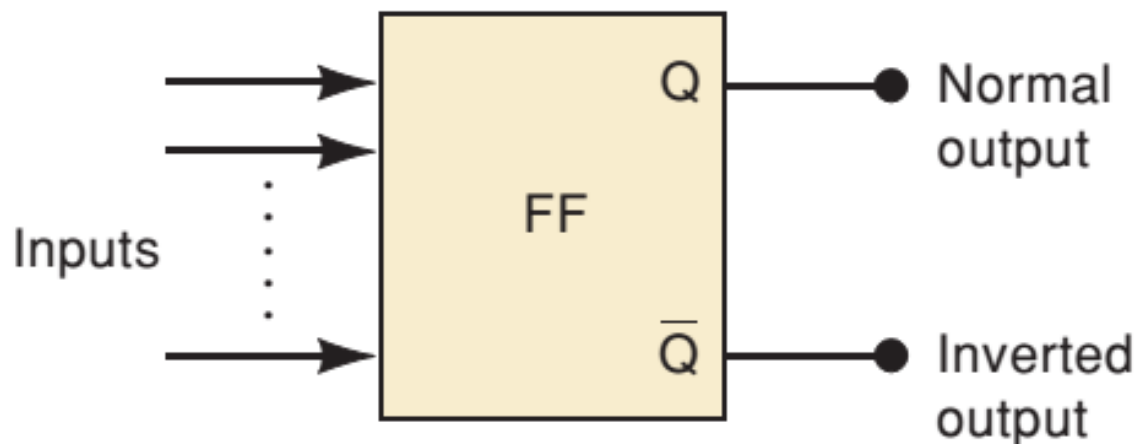


Giới thiệu (tt)



Feedback

Giới thiệu (tt)



- FF có 2 trạng thái

SET : $Q=1, Q'=0$ - trạng thái **HIGH** hoặc **1**.

CLEAR/RESET: $Q=0, Q'=1$ - trạng thái **LOW** hoặc **0**

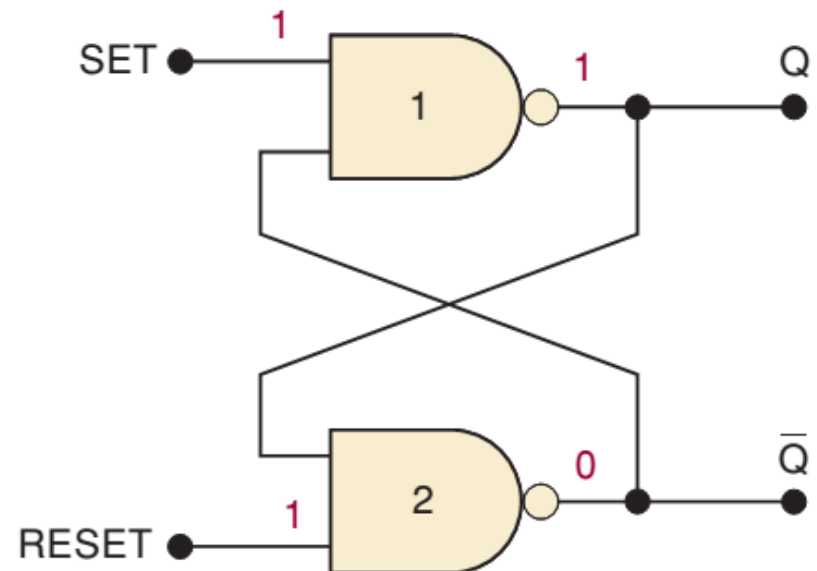
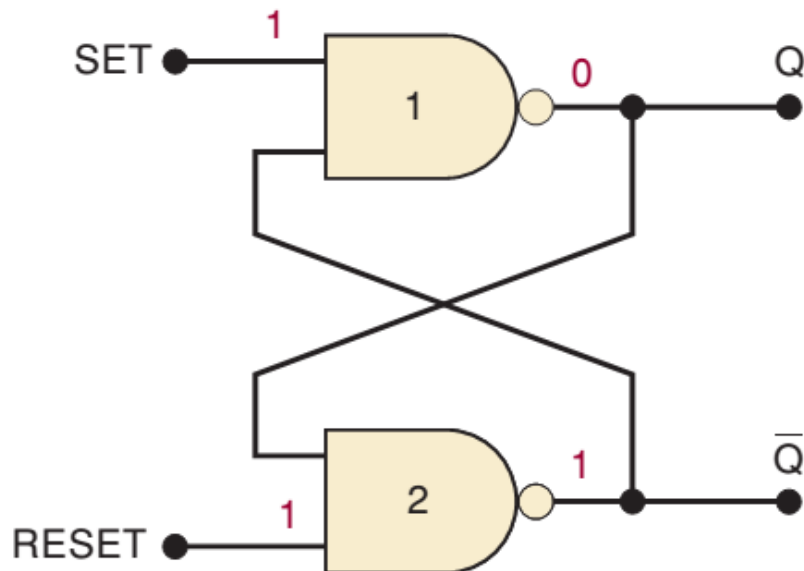
FF còn có tên gọi khác là **Latch** (cài)

NAND Gate Latch

- FF cơ bản nhất có thể được xây dựng từ 2 cổng NAND hoặc 2 cổng NOR
- FF tạo thành từ 2 cổng NAND được gọi là **NAND gate latch** hay **latch**
- Ngõ ra cổng NAND-1 nối vào ngõ nhập của cổng NAND-2 và ngược lại
- Output được đặt tên là Q và Q' (Q và Q' luôn ngược nhau trong điều kiện bình thường – X/X', A/A'...)
- Có 2 input
 - **SET input**: set $Q = 1$
 - **CLEAR input**: set $Q = 0$

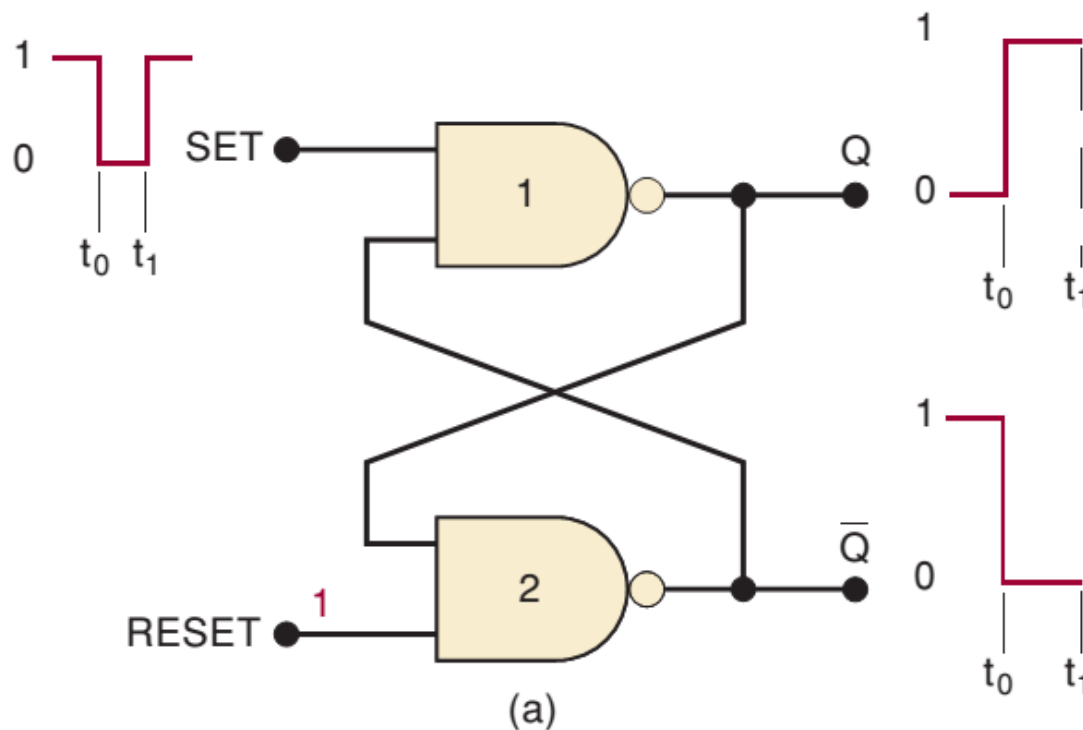
NAND Gate Latch

- **Recalling:** Khi $SET = 1$ và $CLEAR = 1$ thì mạch NAND latch có 2 trường hợp có thể xảy ra
 - Ngõ xuất phụ thuộc vào trạng thái các ngõ nhập trước đó



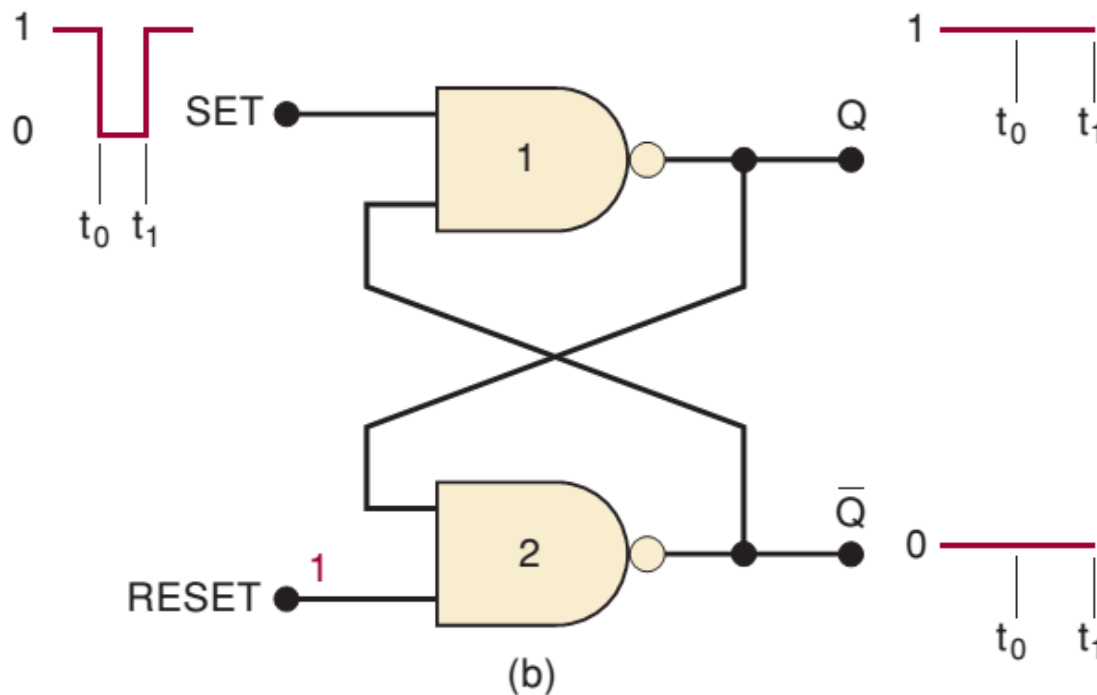
NAND Gate Latch

- **Setting** - xảy ra khi SET input có một xung xuống 0 trong khi CLEAR input vẫn bằng 1
 - Trường hợp $Q = 0$



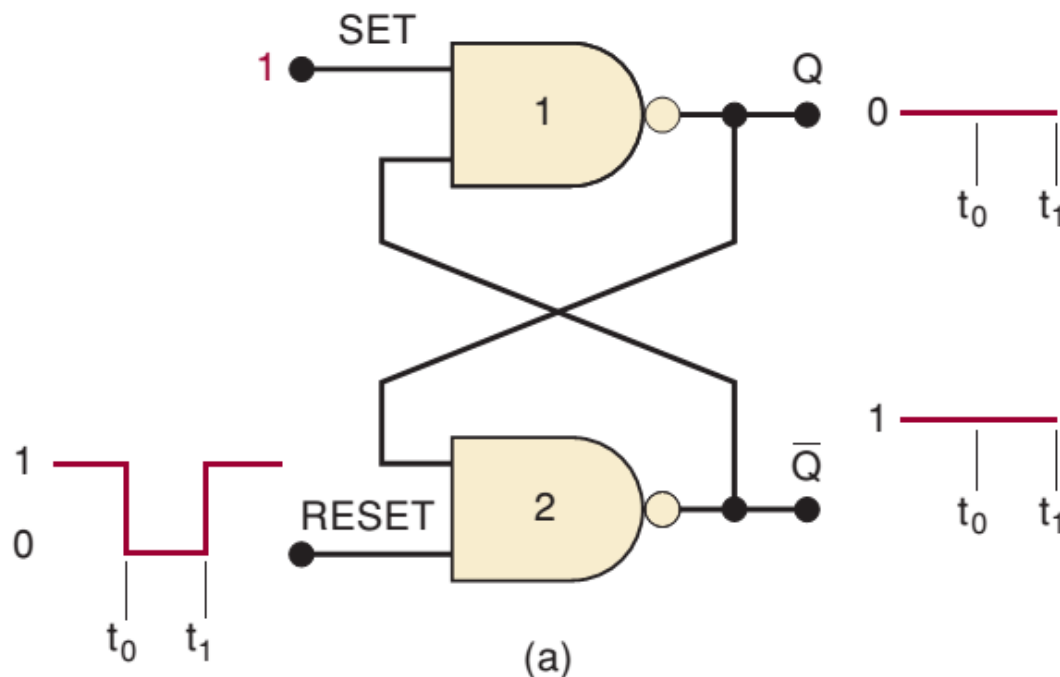
NAND Gate Latch

- **Setting** - xảy ra khi SET input có một xung xuống 0 trong khi CLEAR input vẫn bằng 1
 - Trường hợp **$Q = 1$**



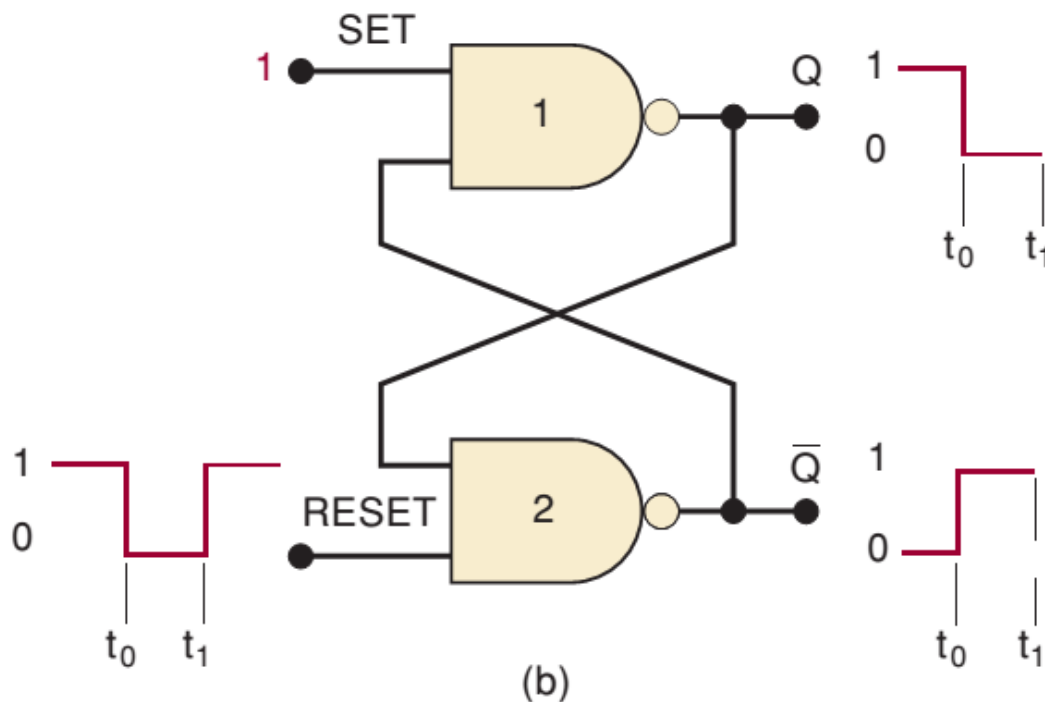
NAND Gate Latch

- **Clearing** - xảy ra khi CLEAR input có một xuống 0 trong khi SET input vẫn bằng 1
 - Trạng thái $Q = 0$



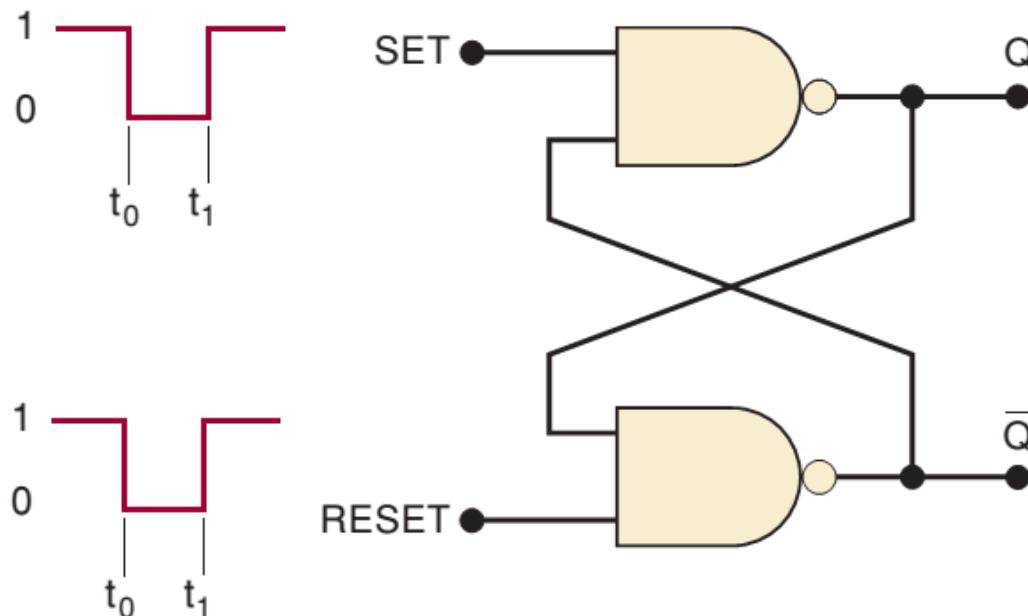
NAND Gate Latch

- **Clearing** - xảy ra khi CLEAR input có một xuống 0 trong khi SET input vẫn bằng 1
 - Trạng thái **$Q = 1$**

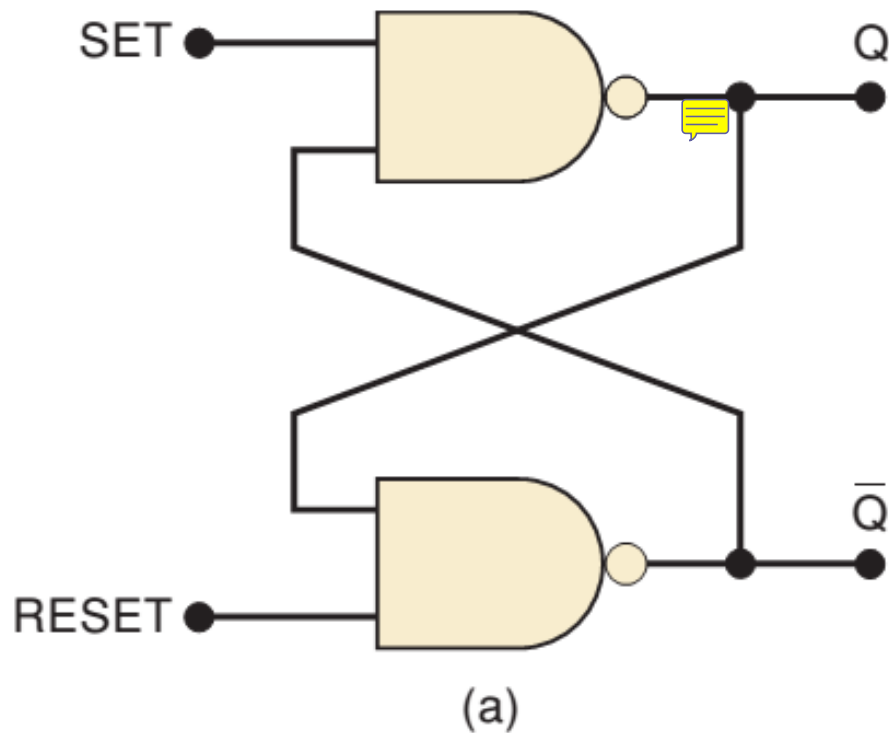


NAND Gate Latch

- Khi $\text{SET} = \text{CLEAR} = 0$, giá trị nhớ của Latch không thể đoán trước được. Tùy thuộc vào tín hiệu nào **lên 1 trước**.
- Vì vậy, trong NAND latch điều kiện $\text{SET} = \text{CLEAR} = 0$ không được sử dụng



NAND Gate Latch

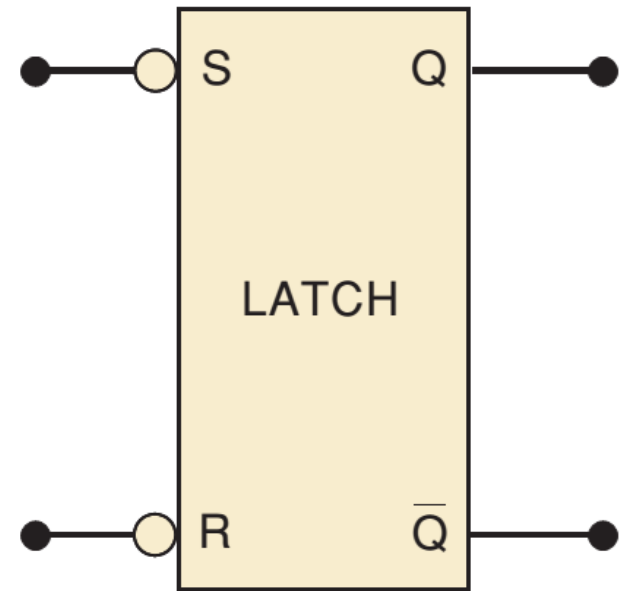
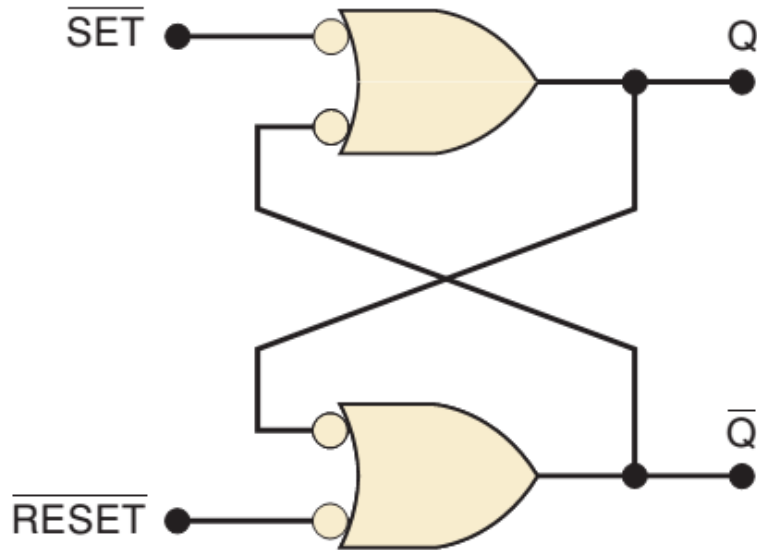


Set	Reset	Output
1	1	No change
0	1	$Q = 1$
1	0	$Q = 0$
0	0	Invalid*

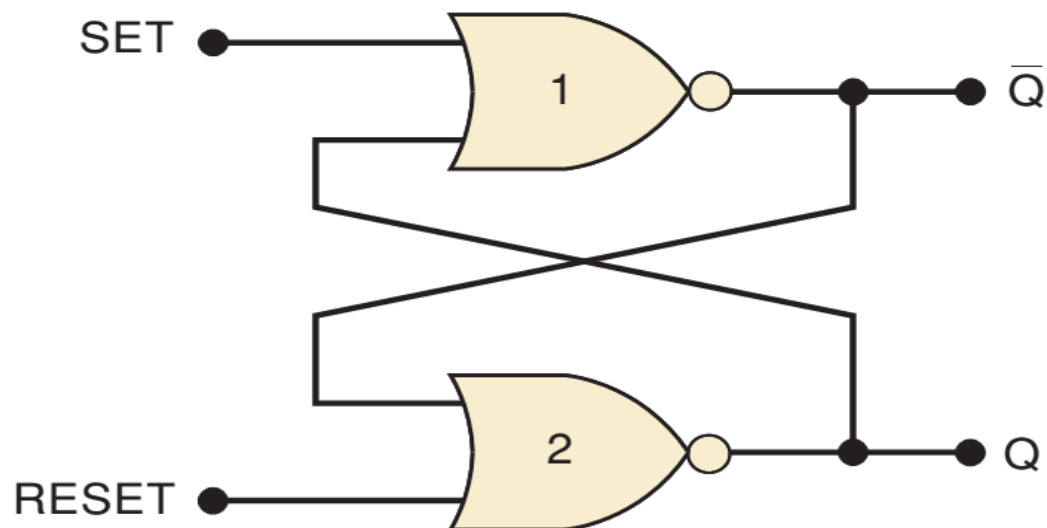
*Produces $Q = \bar{Q} = 1$.

(b)

Biểu diễn tương đương

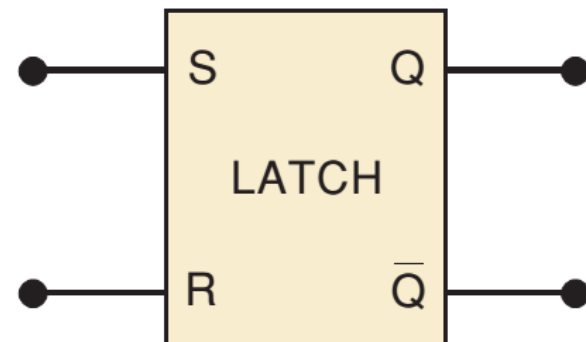


NOR Gate Latch



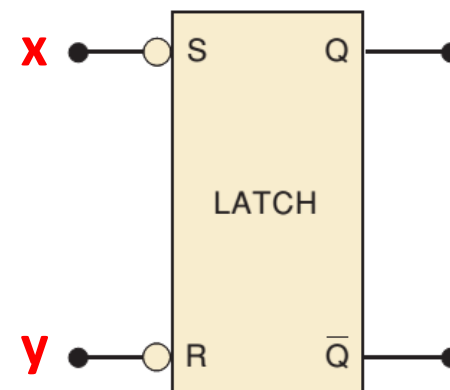
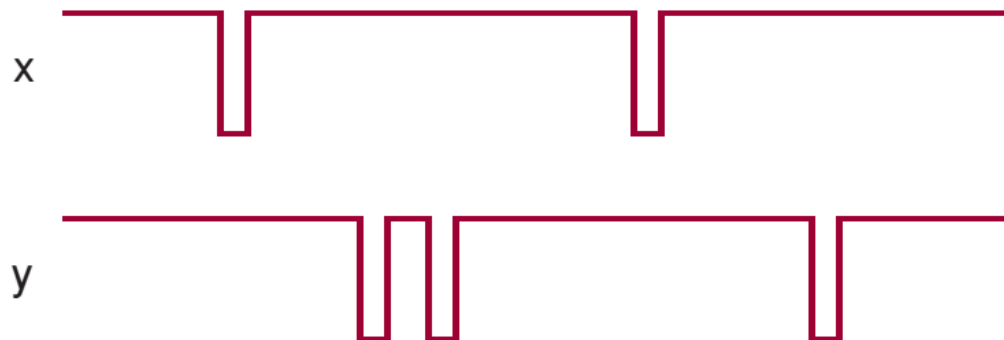
Set	Reset	Output
0	0	No change
1	0	$Q = 1$
0	1	$Q = 0$
1	1	Invalid*

*Produces $Q = \bar{Q} = 0$.



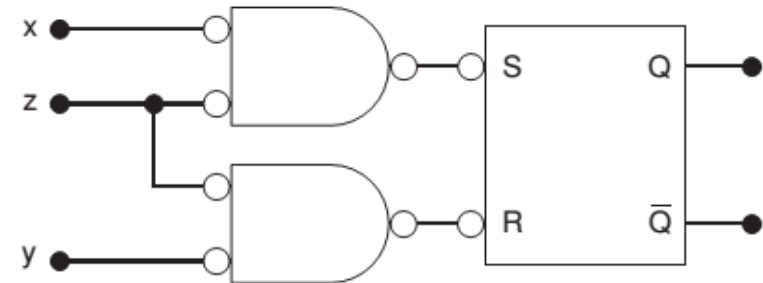
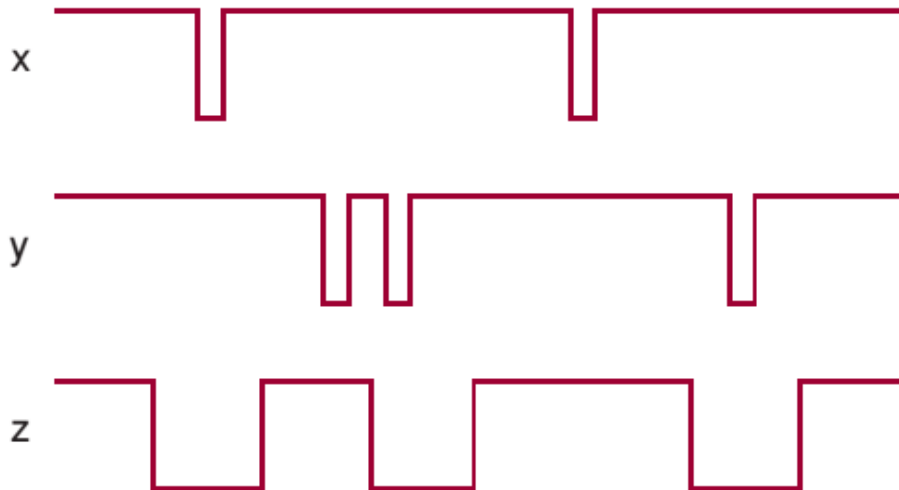
Bài tập

- Vẽ tín hiệu Q.



Bài tập

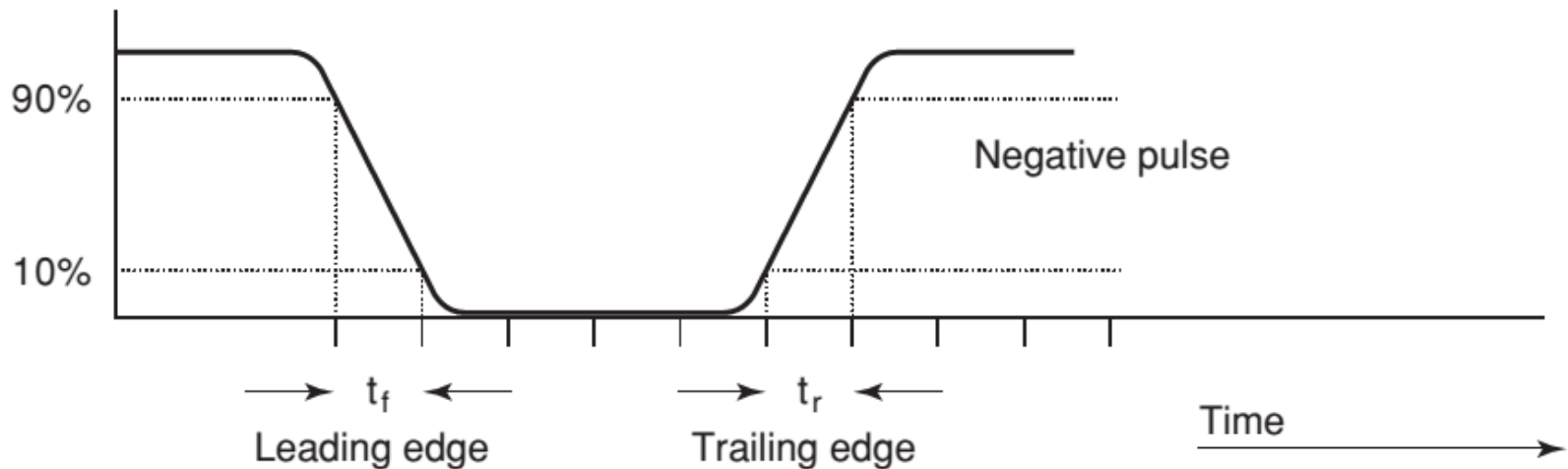
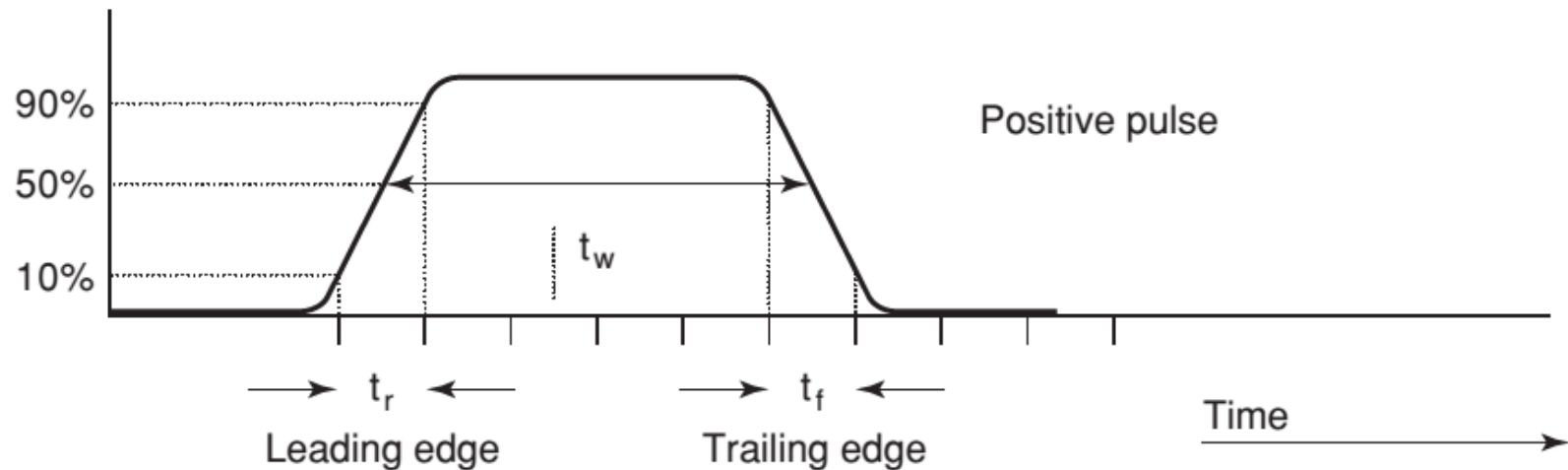
- Vẽ ngõ ra Q.



Đồng bộ và bất đồng bộ

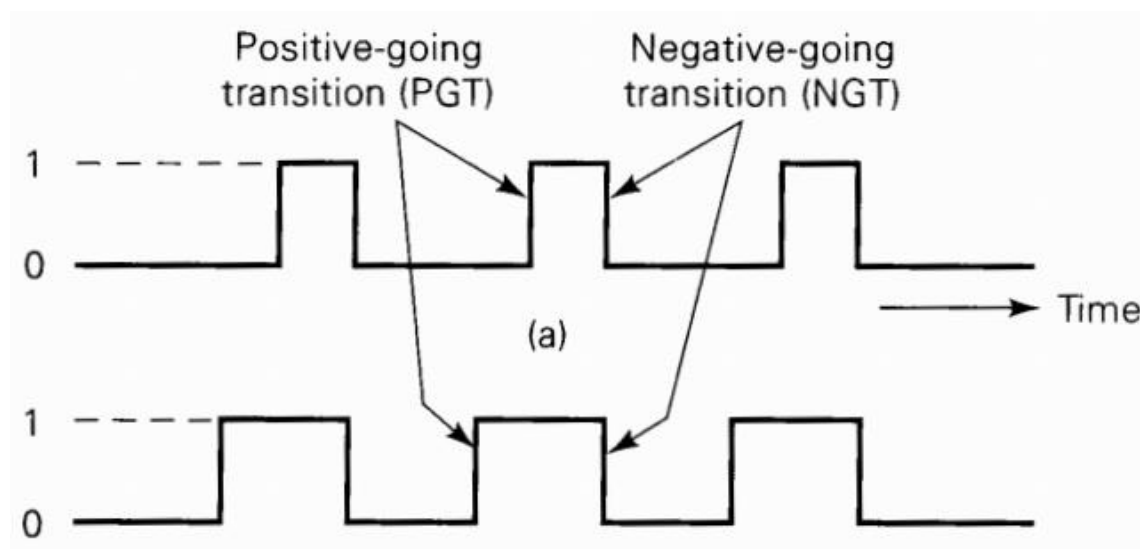
- Một hệ thống số có thể hoạt động trong 2 chế độ
 - Bất đồng bộ (Asynchronous)
 - Đồng bộ (Synchronous)
- Hệ thống bất đồng bộ: output có thể thay đổi trạng thái **bất kì lúc nào** khi input thay đổi
- Hệ thống đồng bộ: output thay đổi trạng thái **tại một thời điểm xác định** bởi tín hiệu clock (Clock signal)

Xung số



Clock Signals

- Tín hiệu Clock được phân bổ đến tất cả các phần của hệ thống. Output có thể thay đổi chỉ khi tín hiệu clock chuyển trạng thái
- Tín hiệu clock chuyển trạng thái
 - 0 lên 1: cạnh lên (Positive going transition – PGT).
 - 1 xuống 0: cạnh xuống (Negative going transition – NGT).



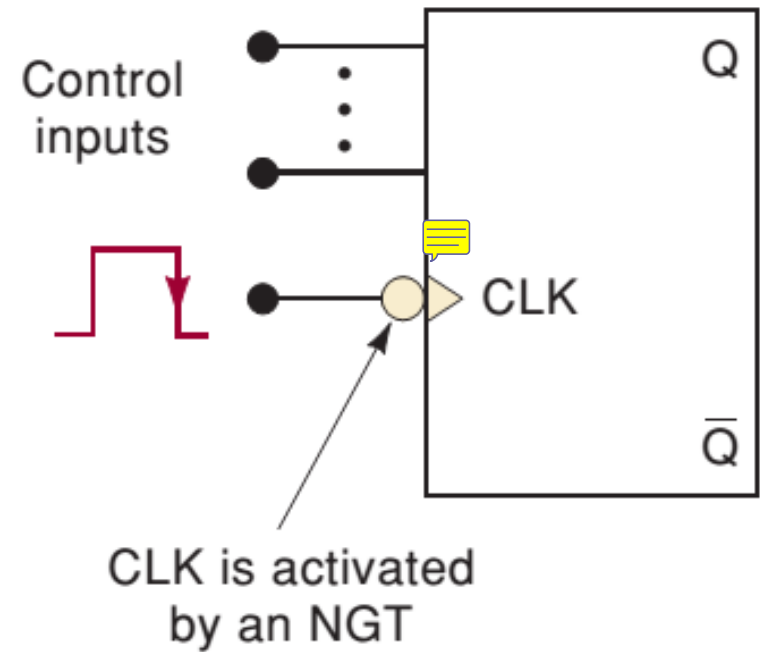
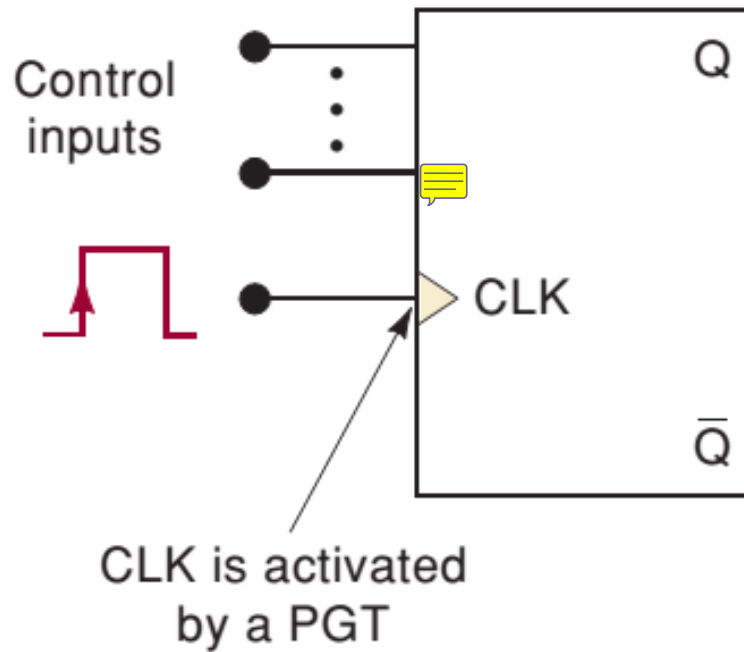
Clocked FFs

- Hầu hết các hệ thống số đều hoạt động ở chế độ đồng bộ (**synchronous**)
 - Dễ thiết kế
 - Dễ sửa chữa
- Các hệ thống này được xây dựng từ các phần tử cơ bản Clocked FF.
- **Clocked FF** được thiết kế để khi có sự thay đổi trạng thái của clock thì trạng thái của output cũng thay đổi theo.

Clocked Flip-Flops

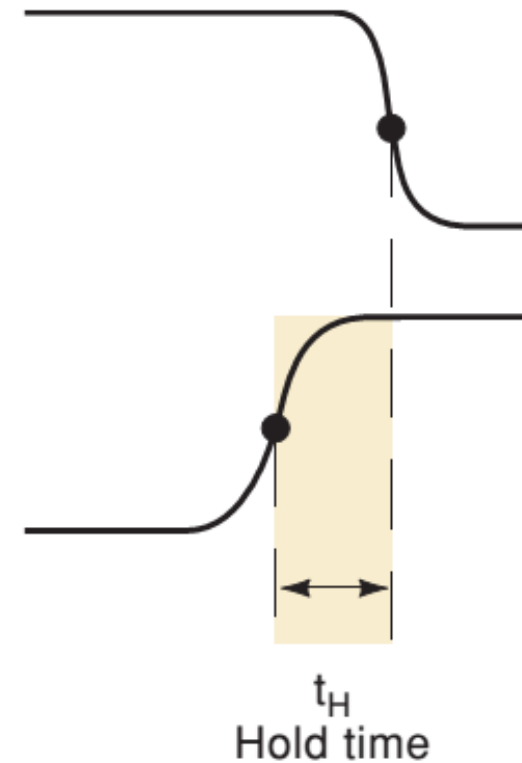
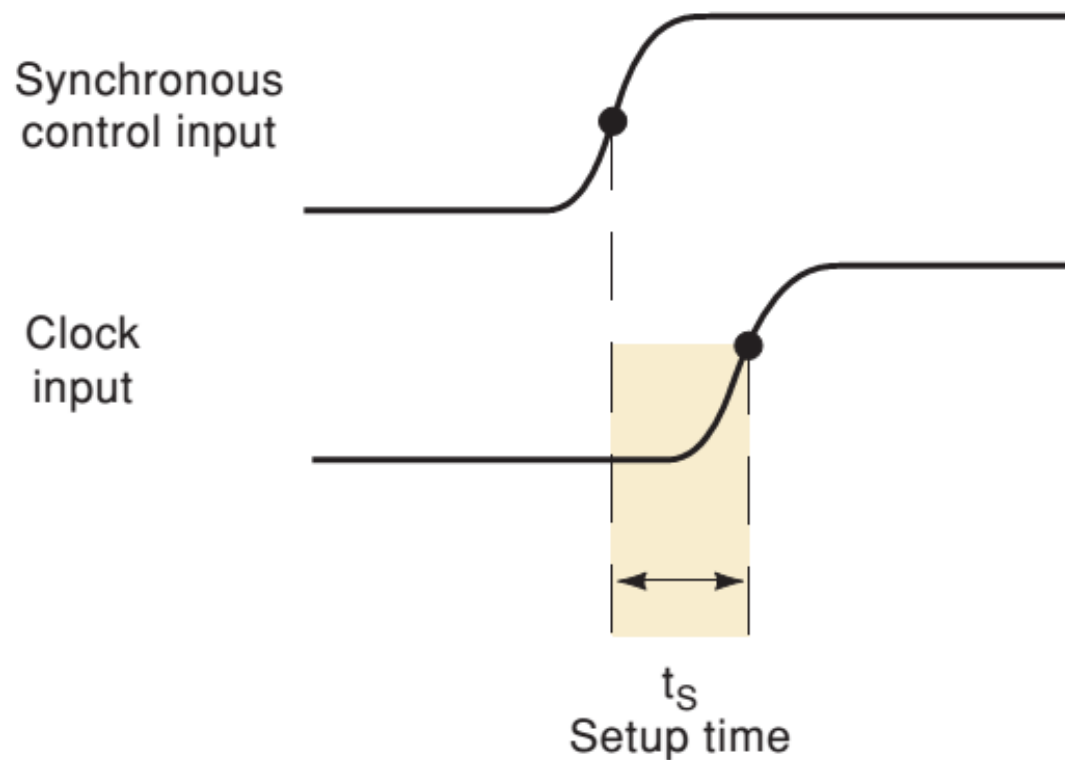
- Clocked FFs có một tín hiệu clock được đặt tên là CLK, CP, hoặc CK. Hầu hết các tín hiệu CLK là **tín hiệu kích cạnh** (edge triggered).
- Clocked FFs có 1 hoặc nhiều tín hiệu điều khiển
 - Các tín hiệu điều khiển **không ảnh hưởng** đến trạng thái của output cho đến khi có sự thay đổi trạng thái của clock xảy ra.
- **Tín hiệu Clock**: quyết định **thời điểm** (WHEN)
- **Tín hiệu điều khiển**: quyết định **trạng thái** (WHAT)

Clocked Flip-Flops

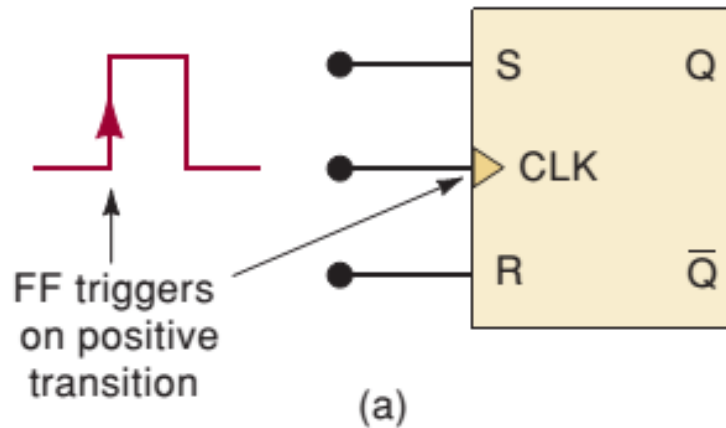


FF – Vấn đề thời gian

- Setup and Hold time



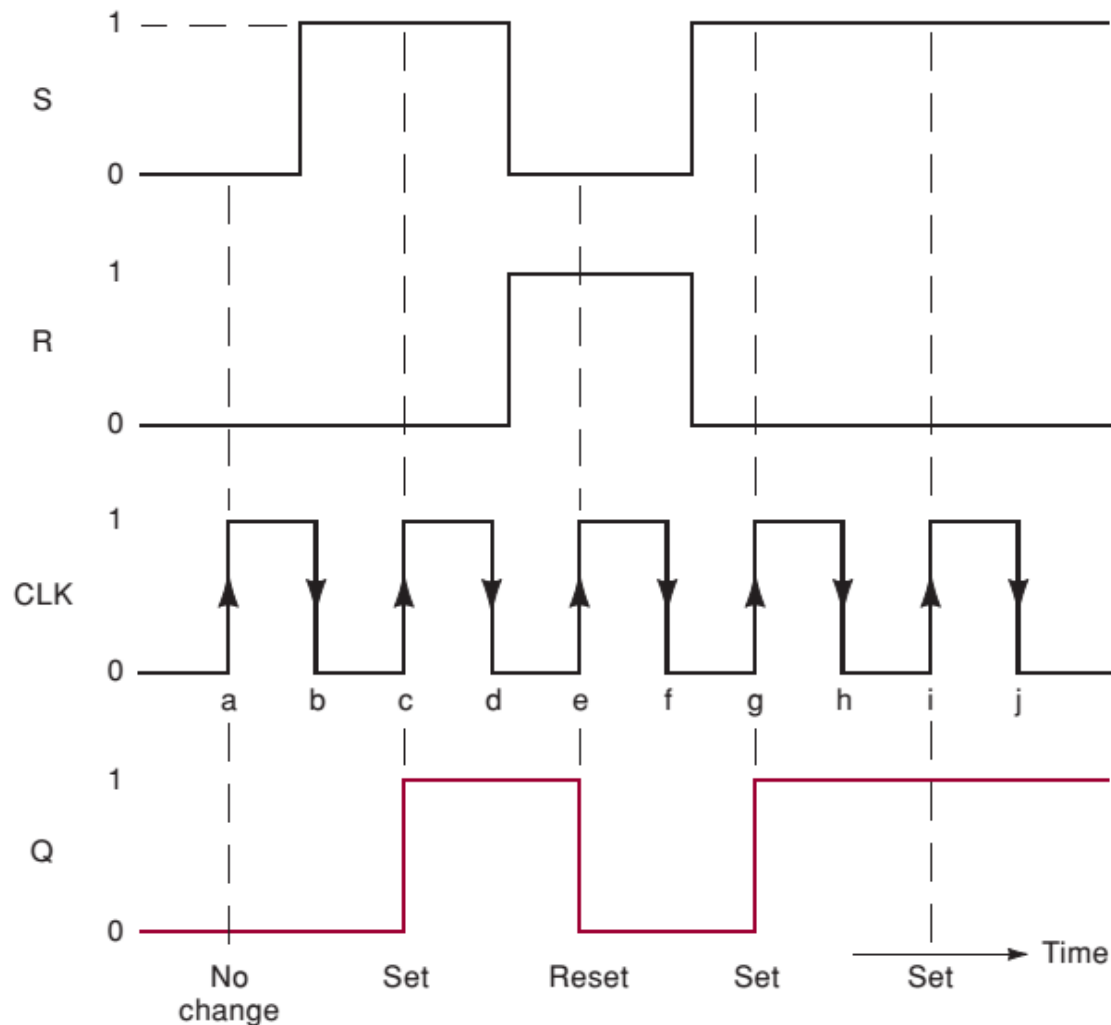
Clocked SR Flip-Flops



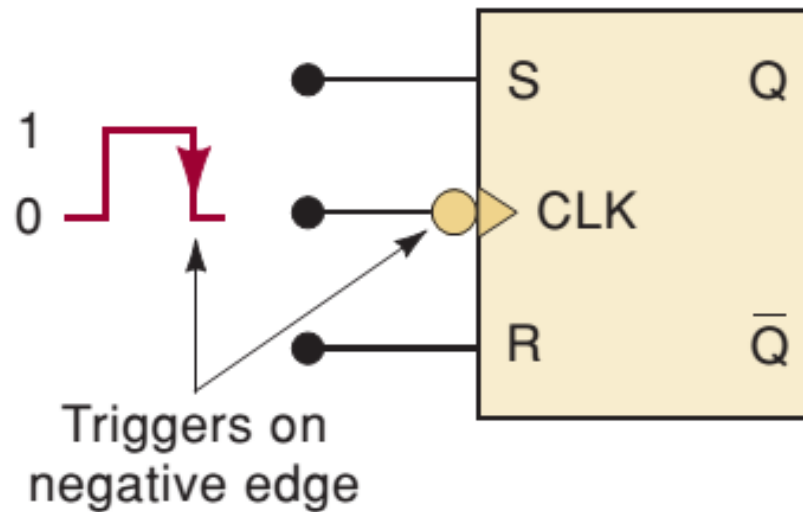
Inputs			Output
S	R	CLK	Q
0	0	↑	Q_0 (no change)
1	0	↑	1
0	1	↑	0
1	1	↑	Ambiguous

Q_0 is output level prior to ↑ of CLK.
 ↓ of CLK produces no change in Q.

Clocked SR Flip-Flops

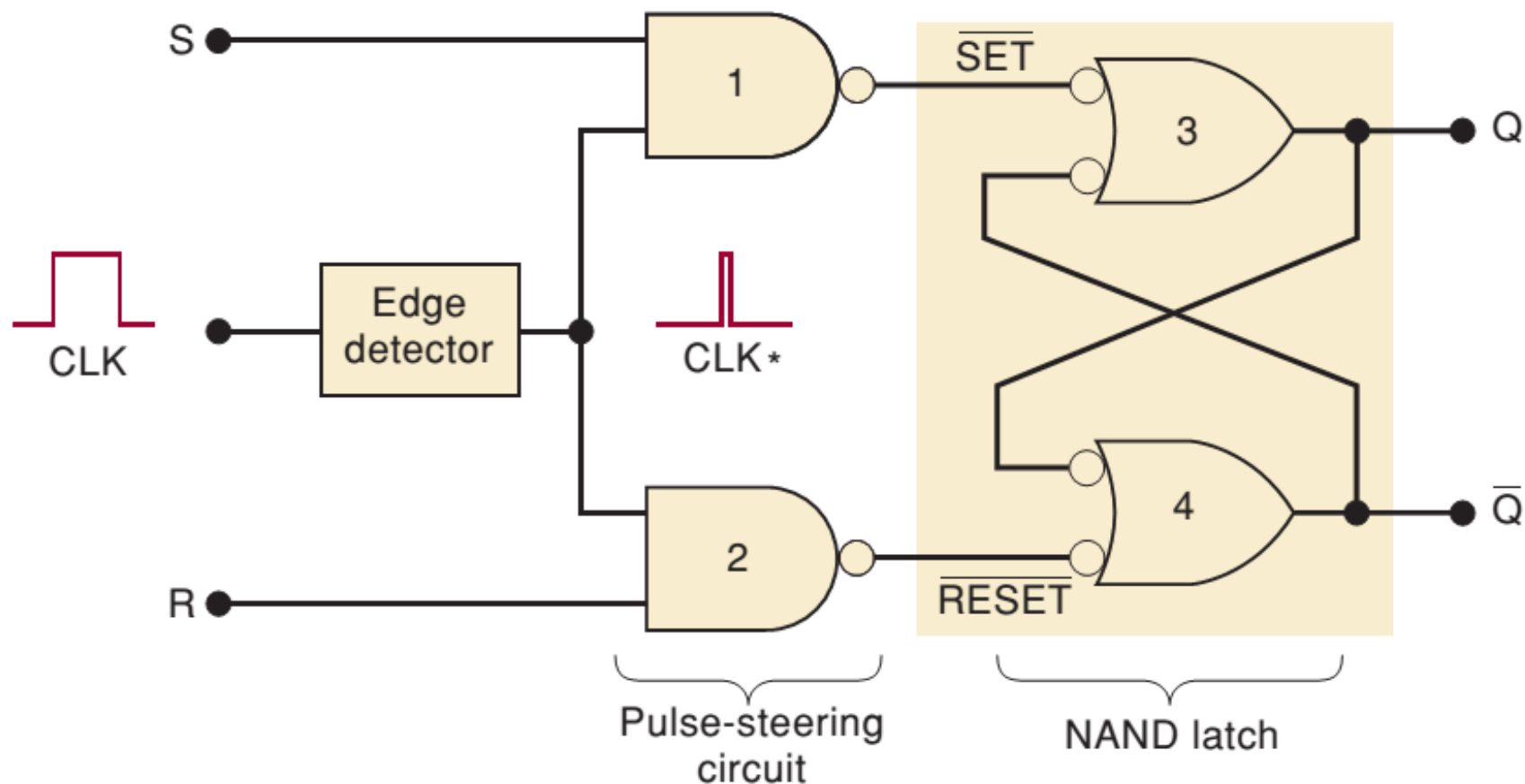


Clocked SR Flip-Flops

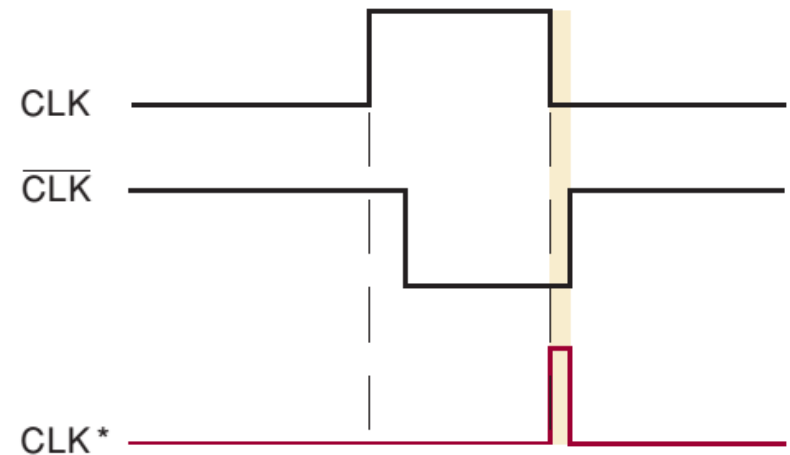
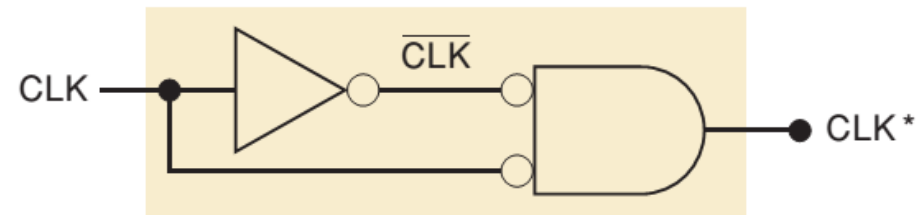
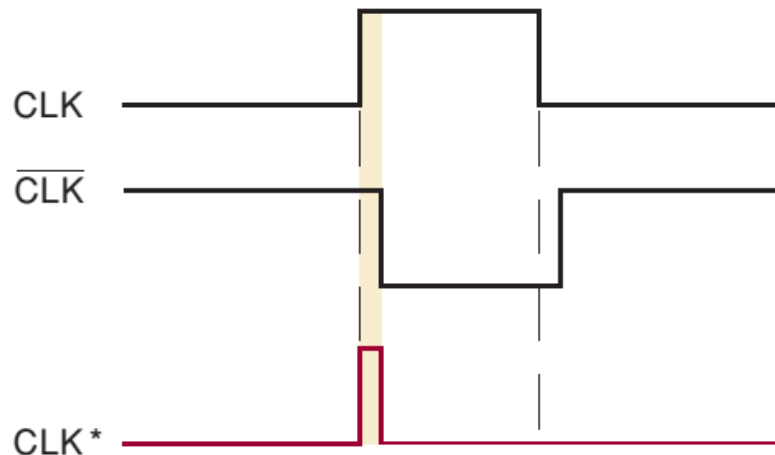
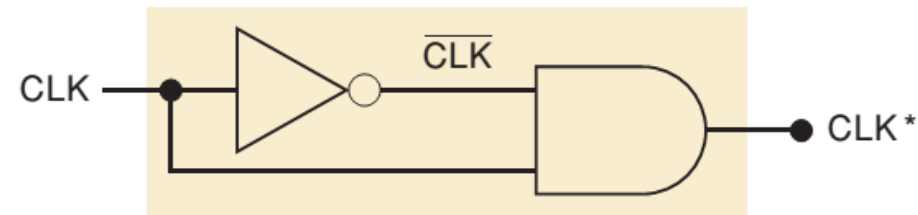


Inputs			Output
S	R	CLK	Q
0	0	↓	Q_0 (no change)
1	0	↓	1
0	1	↓	0
1	1	↓	Ambiguous

Cấu tạo mạch - edge triggered SR FF

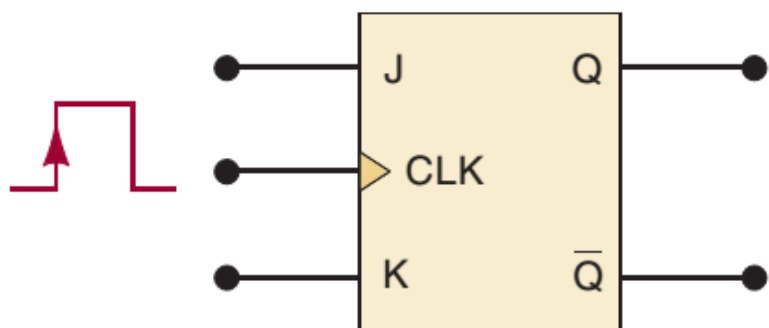


Cấu tạo mạch - edge triggered SR FF



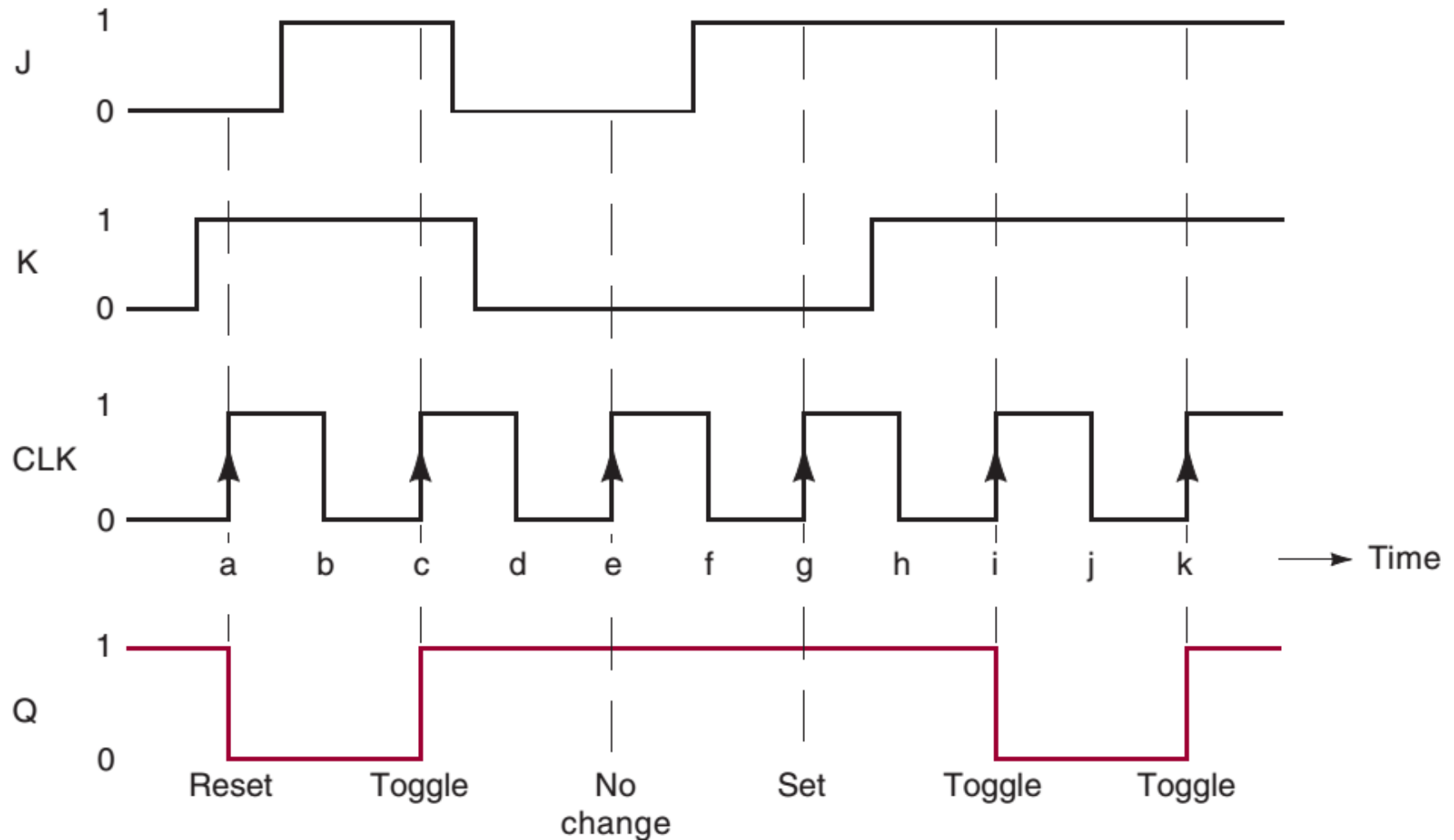
JK Flip-Flops

- Ở mạch cài SC / SR
 - Cả 2 ngõ vào **không được đồng thời** mang giá trị **1**
 ➔ Tồn tại **trạng thái bất định**.
 - Không phù hợp với thực tế thiết kế ➔ cần cải tiến

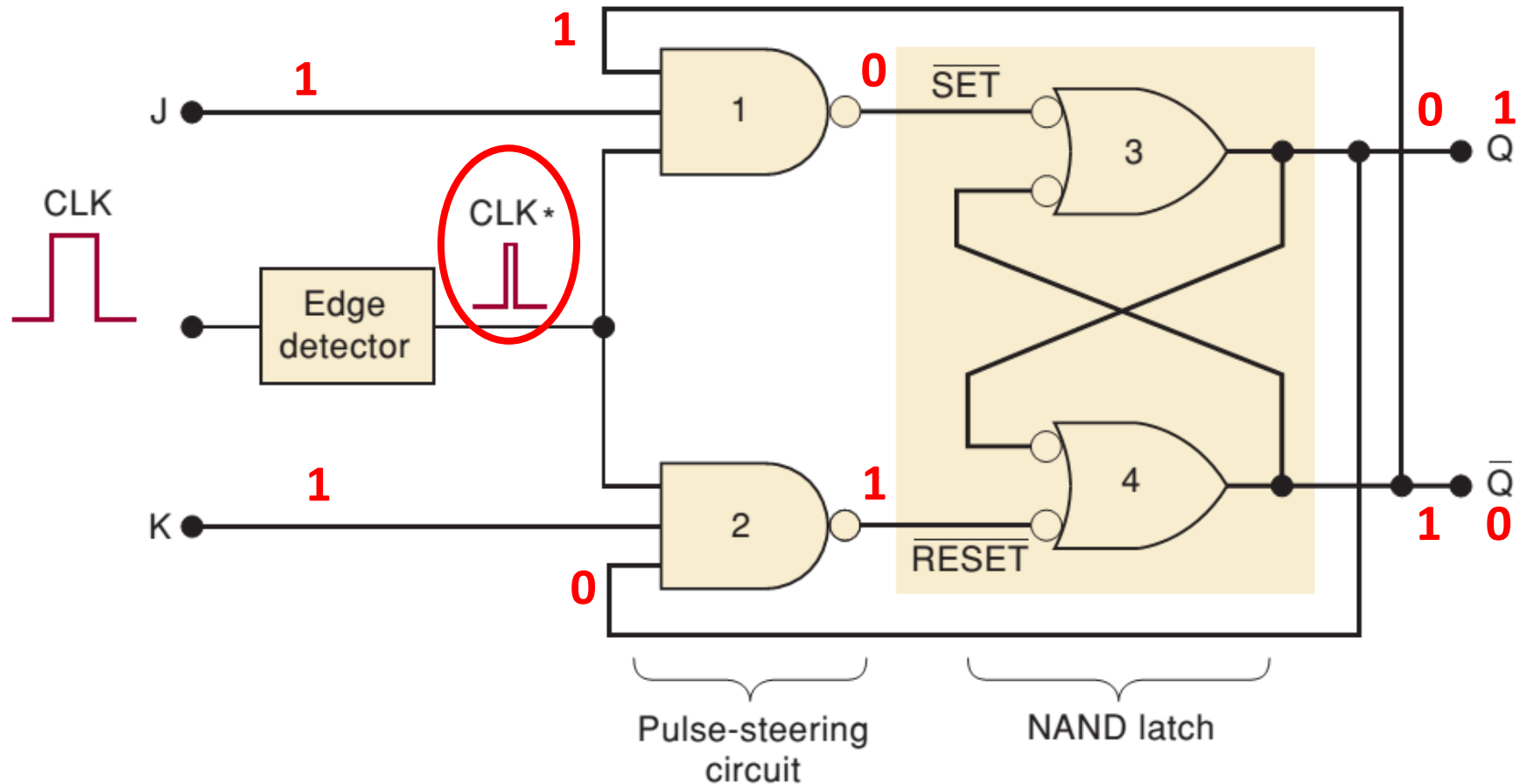


J	K	CLK	Q
0	0	↑	Q_0 (no change)
1	0	↑	1
0	1	↑	0
1	1	↑	$\overline{Q_0}$ (toggles)

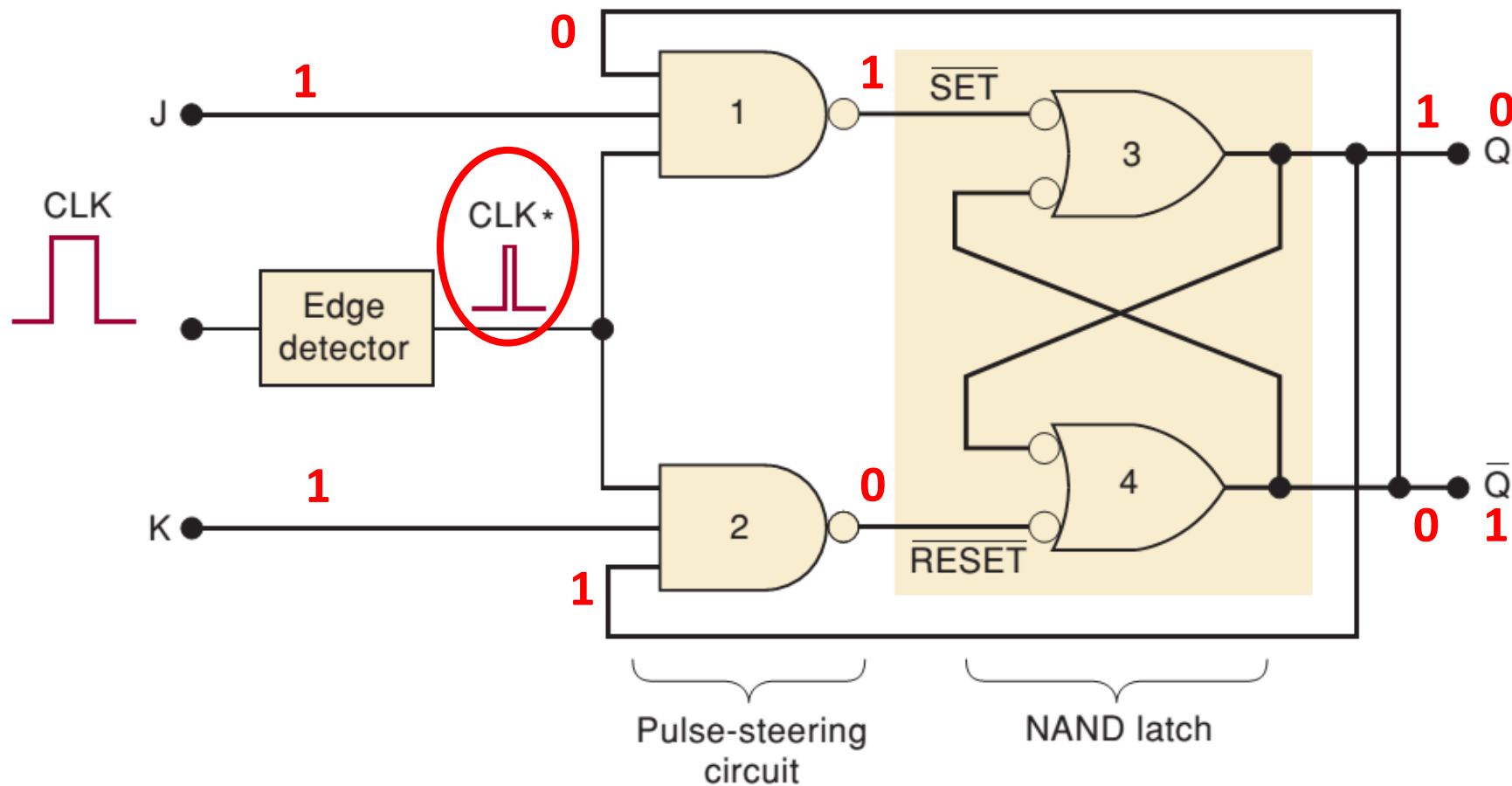
JK Flip-Flops



JK Flip-Flops

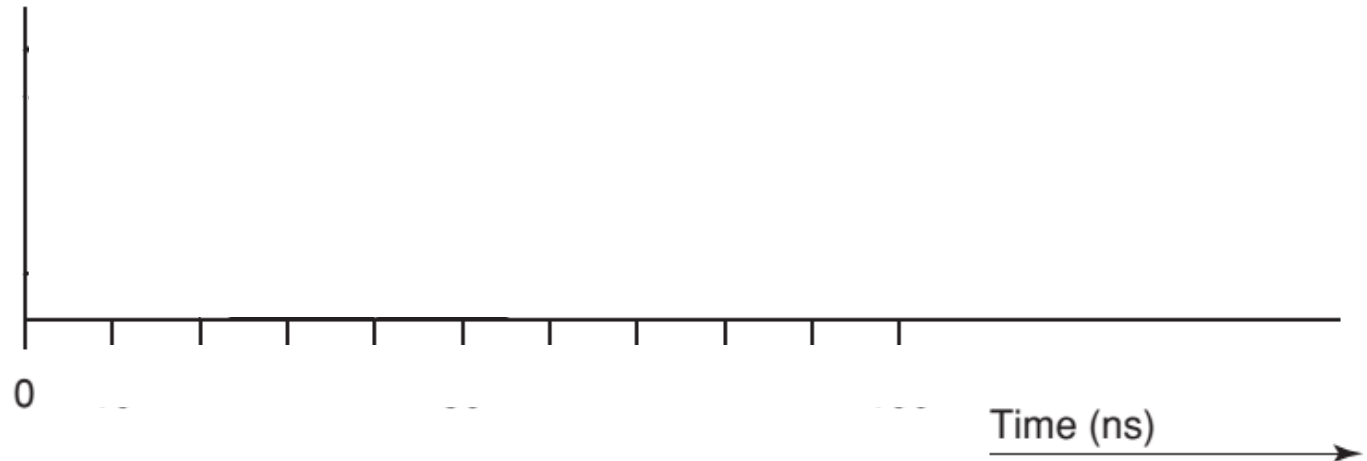


JK Flip-Flops



Bài tập

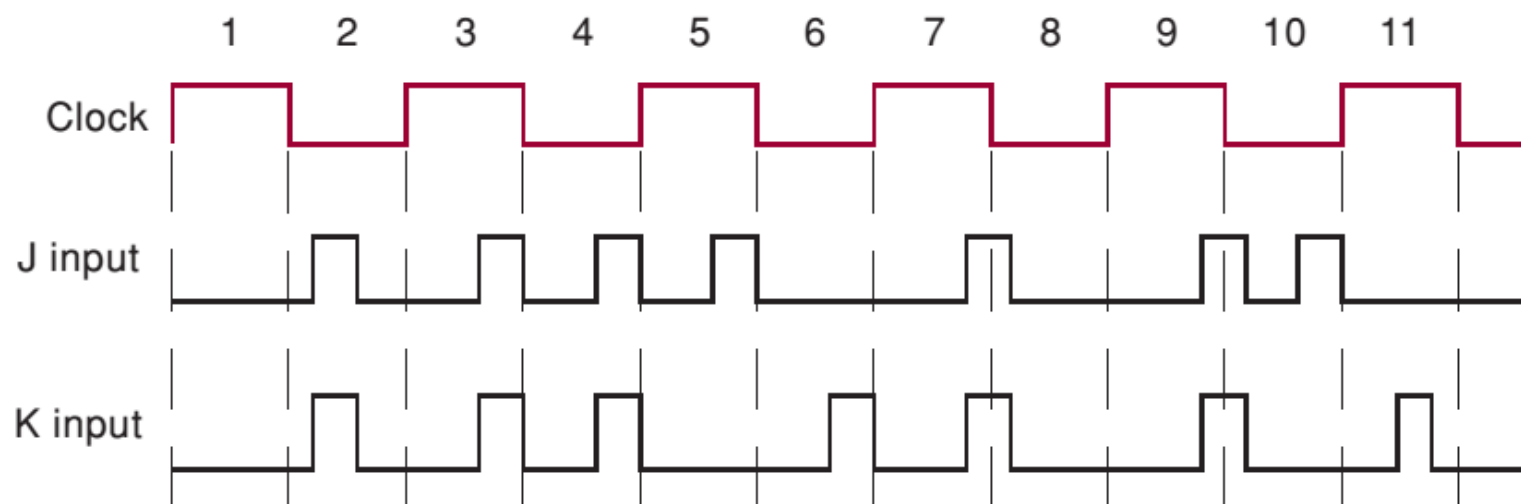
- Khi một vi xử lý muốn truy xuất dữ liệu bộ nhớ ngoài, nó tích cực tín hiệu điều khiển \overline{RD} . Biết \overline{RD} tích cực mức thấp và Datasheet cho biết xung điều khiển tín hiệu này có $t_w = 50\text{ns}$, $t_r = 15\text{ns}$, $t_f = 10\text{ns}$. Hãy vẽ xung này theo trục thời gian.



Bài tập

- Vẽ tín hiệu ngõ ra Q của JK Flipflop trong các trường hợp.
 - J-K FF với clock cạnh lên.
 - J-K FF với clock cạnh xuống.

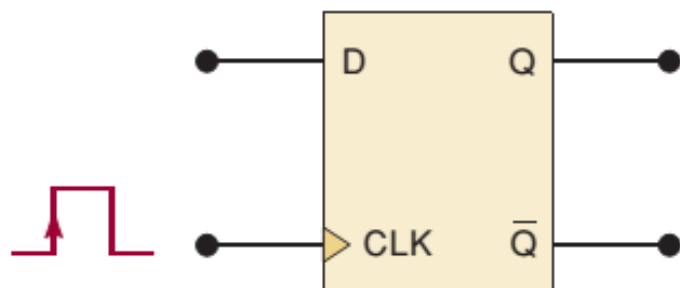
Xem như $t_H = 0$.



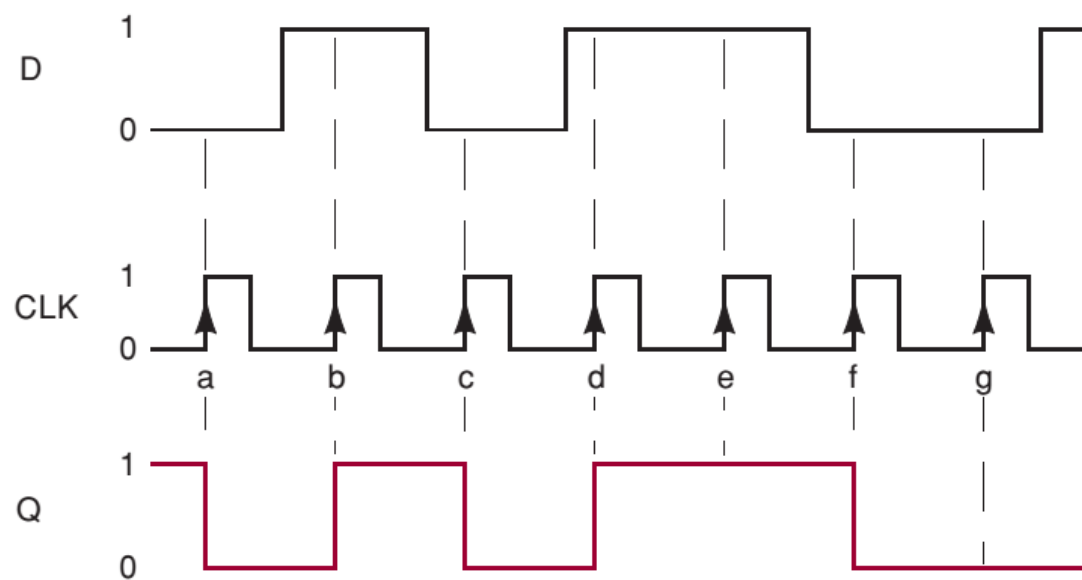
Tổng quan

- Mạch tuần tự
- Phần tử nhớ Latch
- Clock và Clocked-FlipFlop
- Đồng bộ
- Ngõ nhập bất đồng bộ.
- Vấn đề Timing
- Ứng dụng FlipFlop

D Flip-Flops

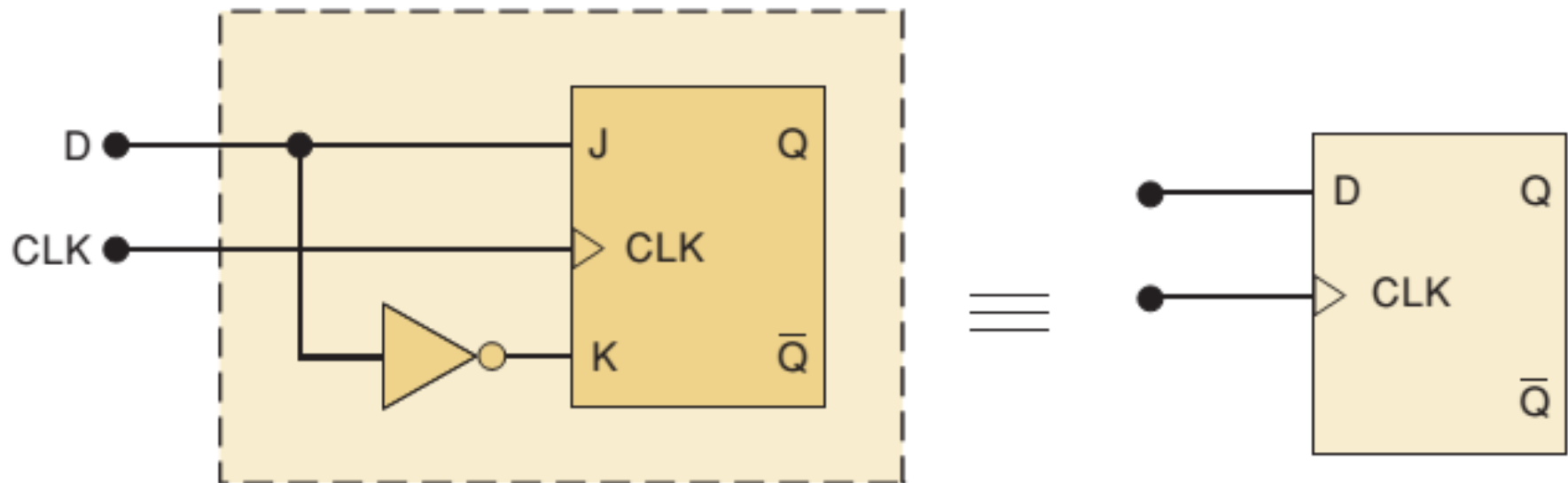


D	CLK	Q
0	↑	0
1	↑	1

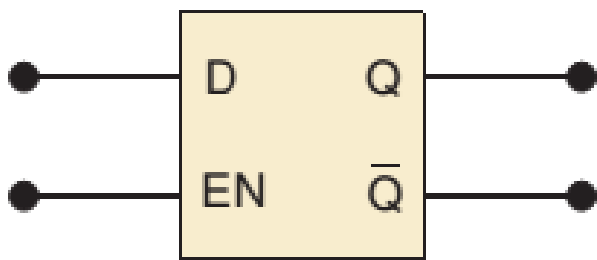
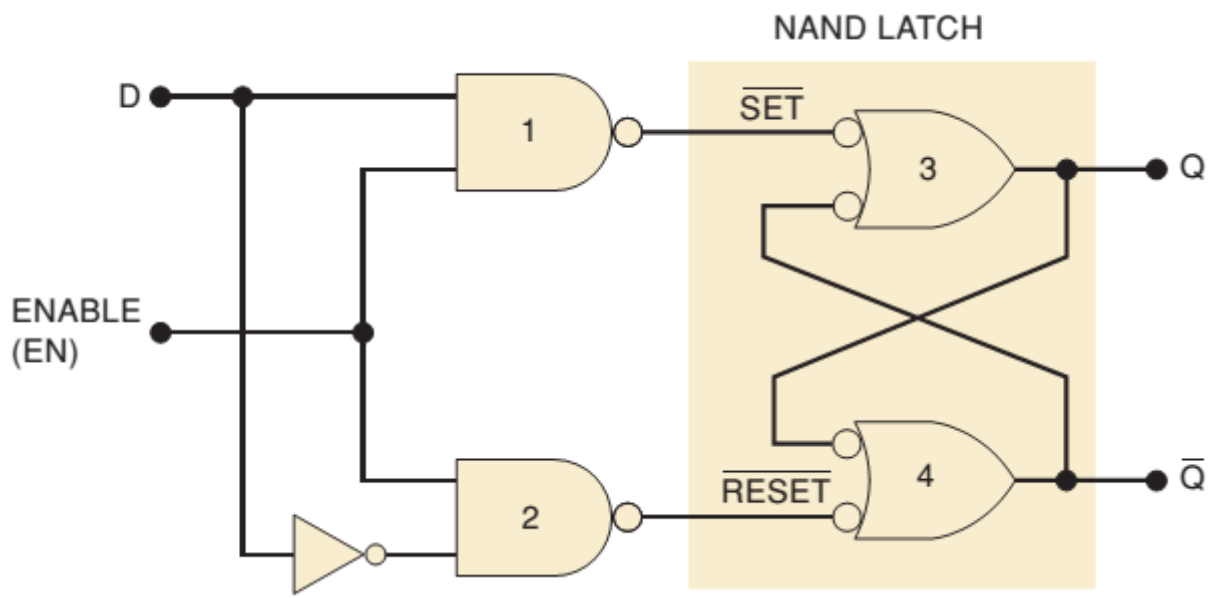


D Flip-Flops

- Hiện thực D FF từ JK FF



D Latch



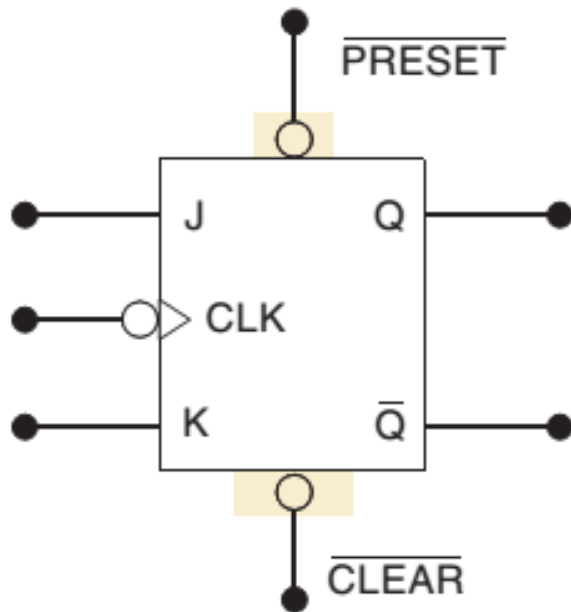
Inputs		Output
EN	D	Q
0	X	Q_0 (no change)
1	0	0
1	1	1

"X" indicates "don't care."
 Q_0 is state Q just prior to EN going LOW.

Asynchronous Inputs (bất đồng bộ)

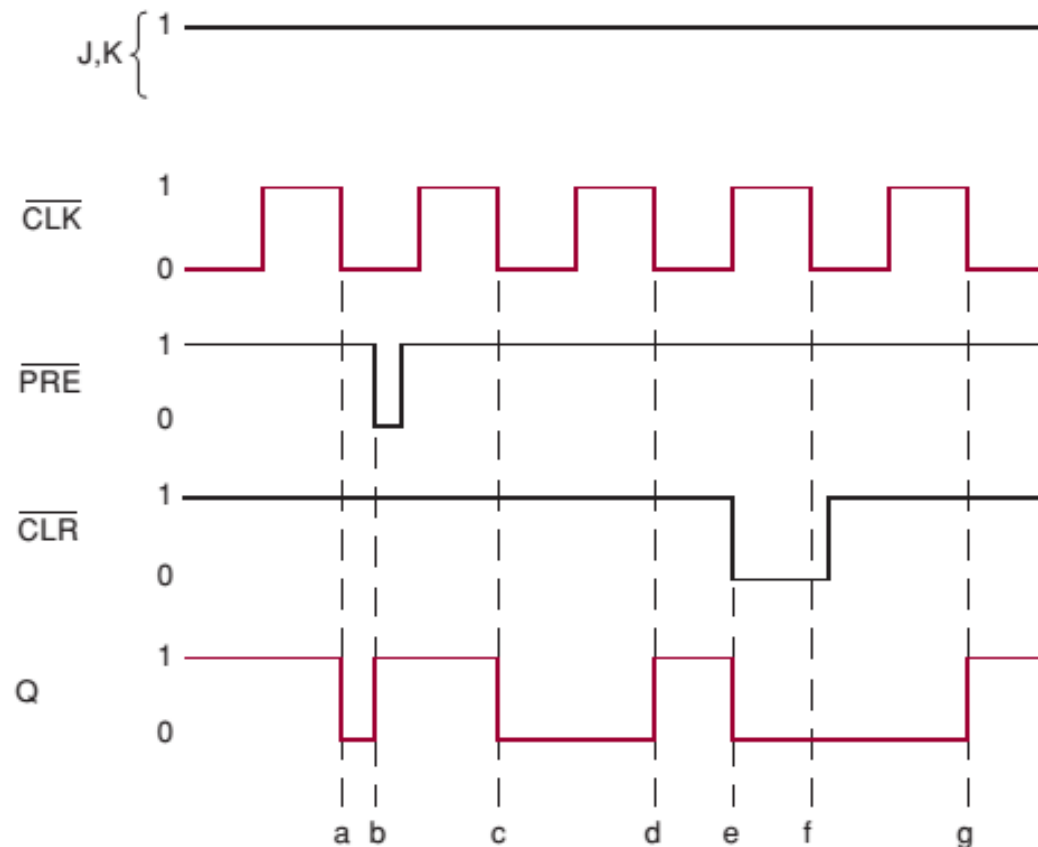
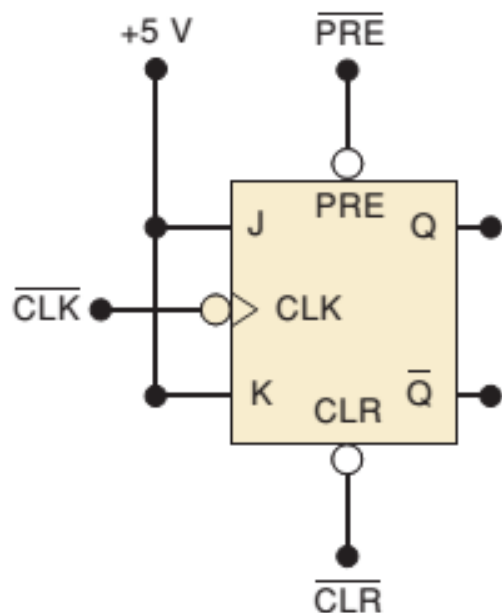
- Ngõ nhập đồng bộ (synchronous): **S, C, J, K, D**
 - Tín hiệu điều khiển (**control inputs**).
 - Những thay đổi của chúng chỉ ảnh hưởng đến ngõ output khi có tín hiệu đồng bộ của CLK.
- Ngõ nhập bất đồng bộ (**asynchronous inputs**)
 - Hoạt động độc lập với các tín hiệu input đồng bộ và tín hiệu CLK (Bất kì lúc nào và không quan tâm đến những input khác).
 - **Set** FF lên trạng thái 1
 - **Clear** FF về trạng thái 0

Asynchronous Inputs (bất đồng bộ)



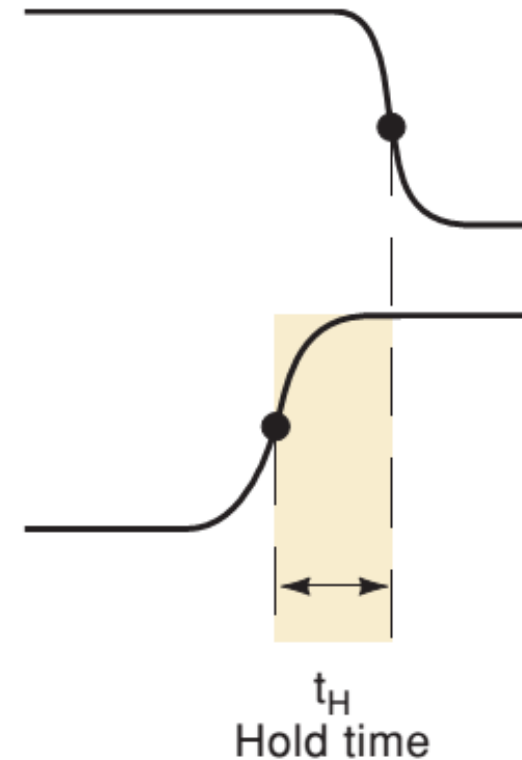
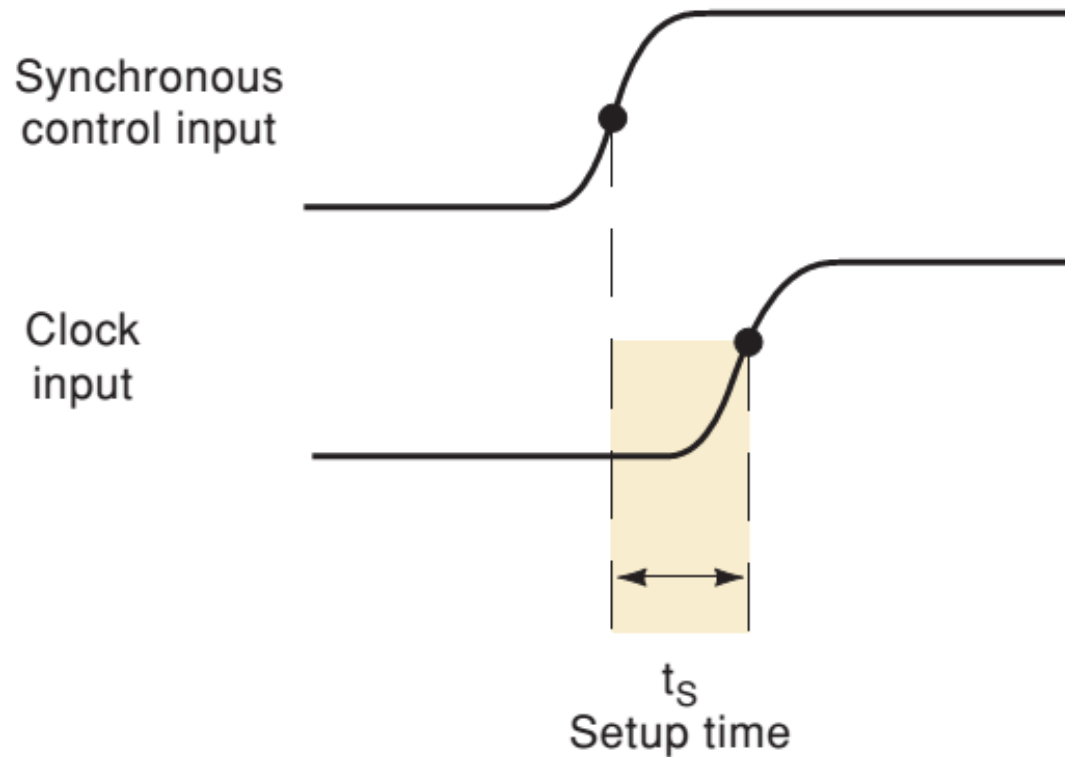
J	K	Clk	$\overline{\text{PRE}}$	$\overline{\text{CLR}}$	Q
0	0	↓	1	1	Q (no change)
0	1	↓	1	1	0 (Synch reset)
1	0	↓	1	1	1 (Synch set)
1	1	↓	1	1	\overline{Q} (Synch toggle)
x	x	x	1	1	Q (no change)
x	x	x	1	0	0 (asynch clear)
x	x	x	0	1	1 (asynch preset)
x	x	x	0	0	(Invalid)

Asynchronous Inputs (bất đồng bộ)



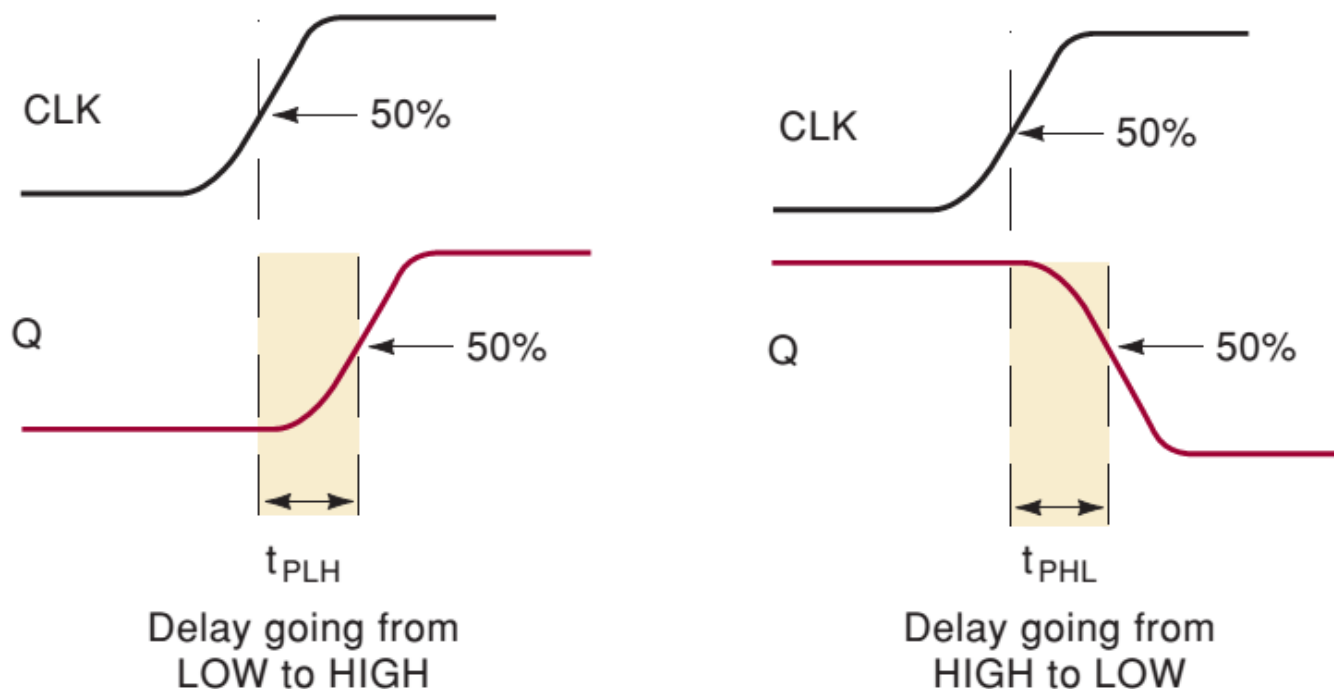
FF – Đặc tính thời gian

- Setup and Hold time



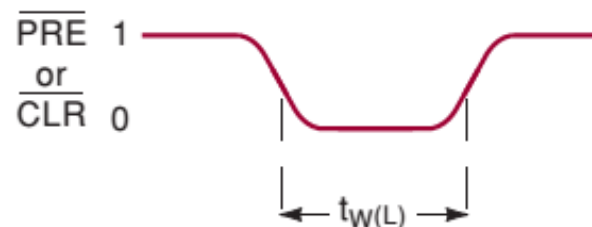
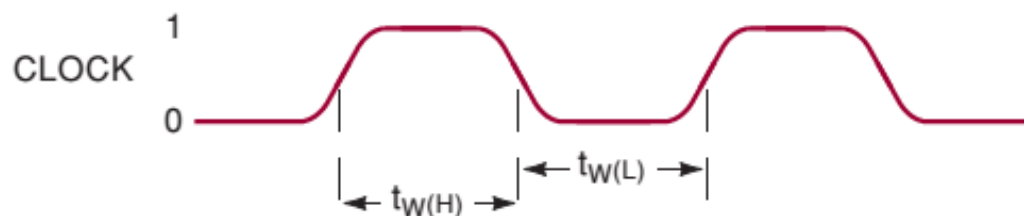
FF – Đặc tính thời gian (tt)

- Trễ lan truyền (Propagation delay)
 - Giá trị tối đa (Maximum): vài ns đến 100ns



FF – Đặc tính thời gian (tt)

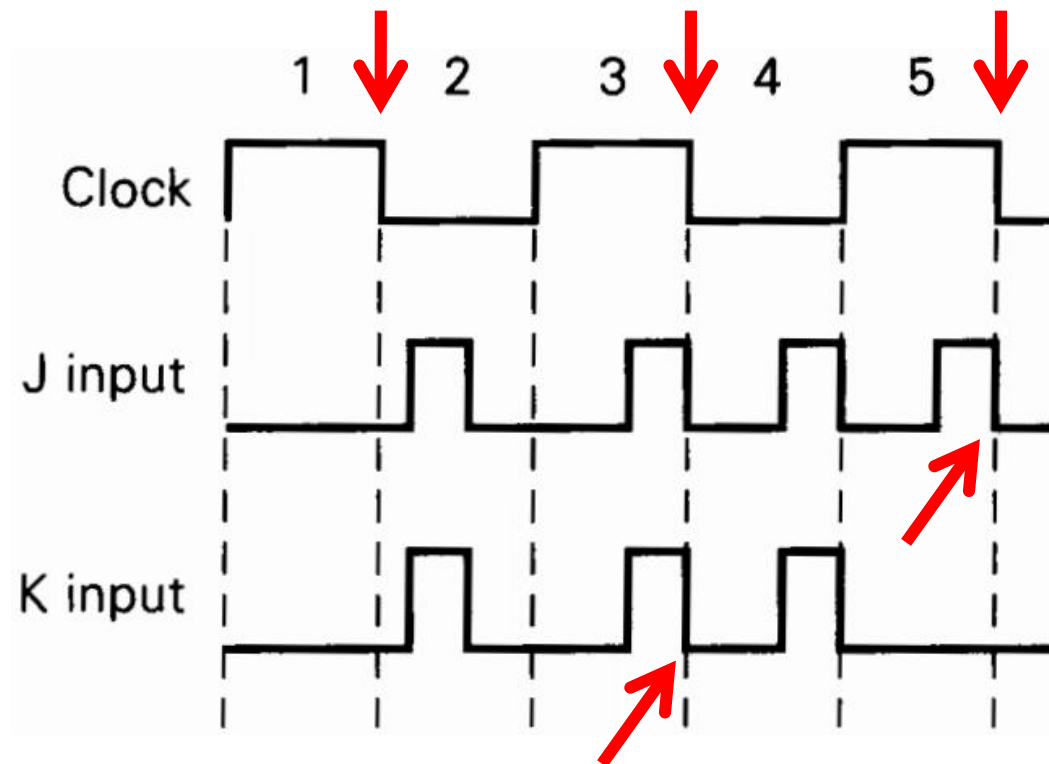
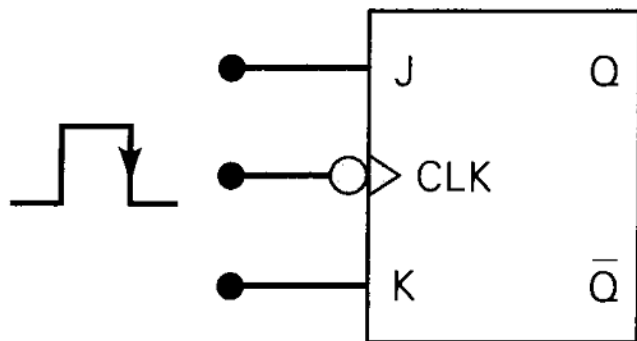
- Maximum clock frequency.
- Clock pulse high or low times.
- Asynchronous active pulse width.
- Clock transition times.



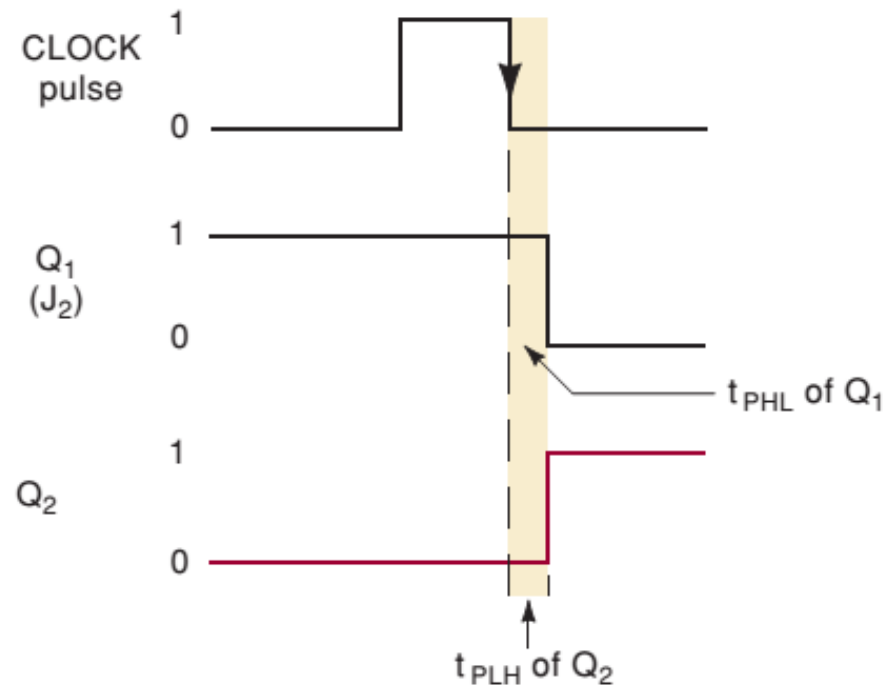
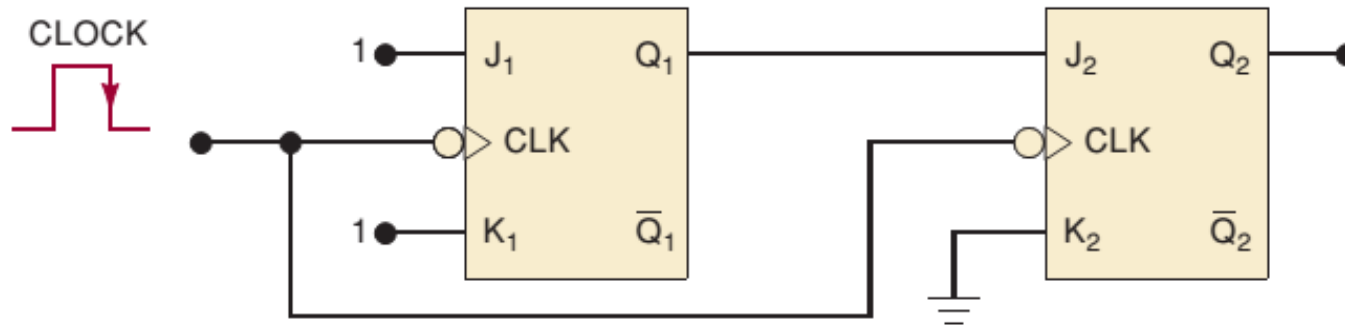
FF – Đặc tính thời gian (tt)

		TTL		CMOS	
		7474	74LS112	74C74	74HC112
t_S		20	20	60	25
t_H		5	0	0	0
t_{PHL}	from CLK to Q	40	24	200	31
t_{PLH}	from CLK to Q	25	16	200	31
t_{PHL}	from \overline{CLR} to Q	40	24	225	41
t_{PLH}	from \overline{PRE} to Q	25	16	225	41
$t_{W(L)}$	CLK LOW time	37	15	100	25
$t_{W(H)}$	CLK HIGH time	30	20	100	25
$t_{W(L)}$	at \overline{PRE} or \overline{CLR}	30	15	60	25
f_{MAX}	in MHz	15	30	5	20

FF – Vấn đề thời gian

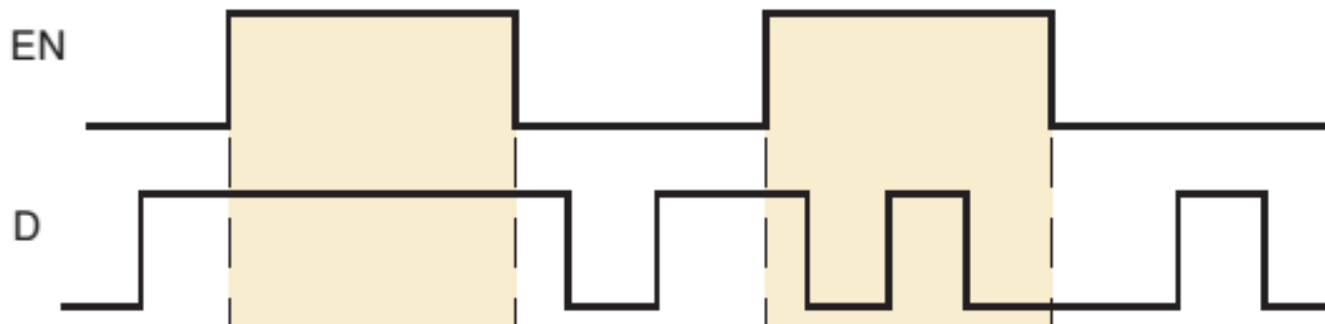
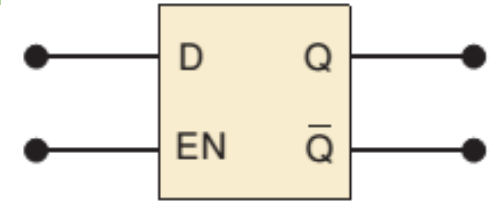


FF – Vấn đề thời gian (tt)



Bài tập

- Vẽ tín hiệu Q của D latch



Bài tập

		TTL		CMOS	
		7474	74LS112	74C74	74HC112
t_S		20	20	60	25
t_H		5	0	0	0
t_{PHL}	from CLK to Q	40	24	200	31
t_{PLH}	from CLK to Q	25	16	200	31
t_{PHL}	from \overline{CLR} to Q	40	24	225	41
t_{PLH}	from \overline{PRE} to Q	25	16	225	41
$t_{W(L)}$	CLK LOW time	37	15	100	25
$t_{W(H)}$	CLK HIGH time	30	20	100	25
$t_{W(L)}$	at \overline{PRE} or \overline{CLR}	30	15	60	25
f_{MAX}	in MHz	15	30	5	20

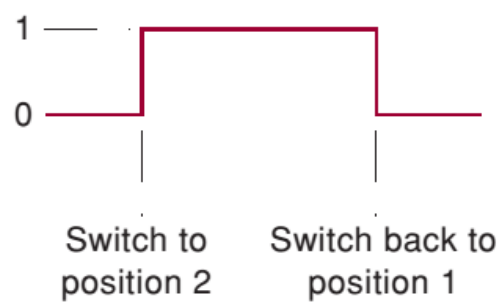
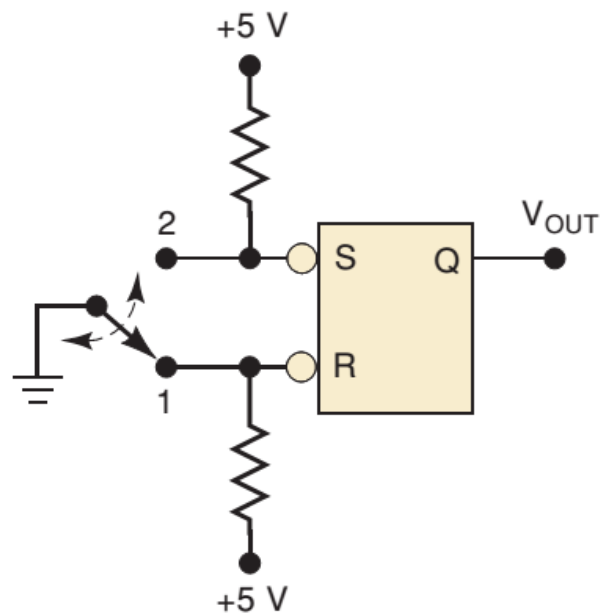
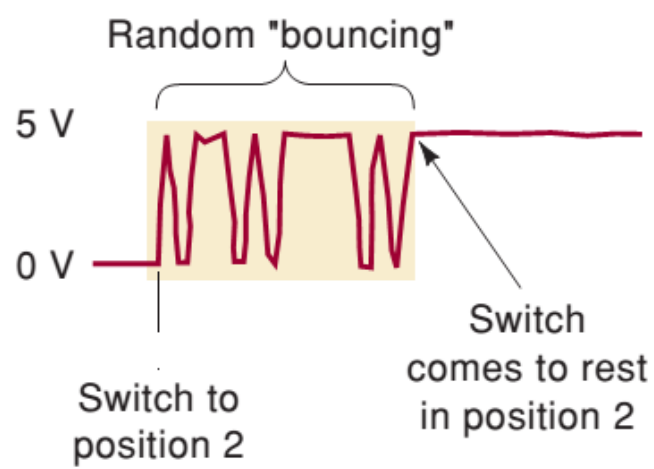
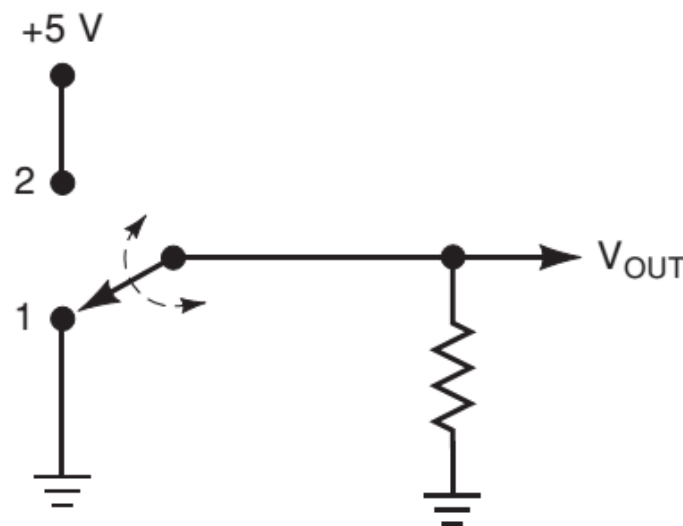
- $Q=0$, tìm thời gian để $Q=1$ khi có CLK với 7474?
- $Q=1$, thời gian để $Q=0$ khi khi có tín hiệu $CLR=0$ với 74HC112.
- Thời gian ngắn nhất cần tích cực CLR để $Q=0$ trên 74LS112.

		TTL		CMOS	
		7474	74LS112	74C74	74HC112
t_S		20	20	60	25
t_H		5	0	0	0
t_{PHL}	from CLK to Q	40	24	200	31
t_{PLH}	from CLK to Q	25	16	200	31
t_{PHL}	from \overline{CLR} to Q	40	24	225	41
t_{PLH}	from \overline{PRE} to Q	25	16	225	41
$t_{W(L)}$	CLK LOW time	37	15	100	25
$t_{W(H)}$	CLK HIGH time	30	20	100	25
$t_{W(L)}$	at \overline{PRE} or \overline{CLR}	30	15	60	25
f_{MAX}	in MHz	15	30	5	20

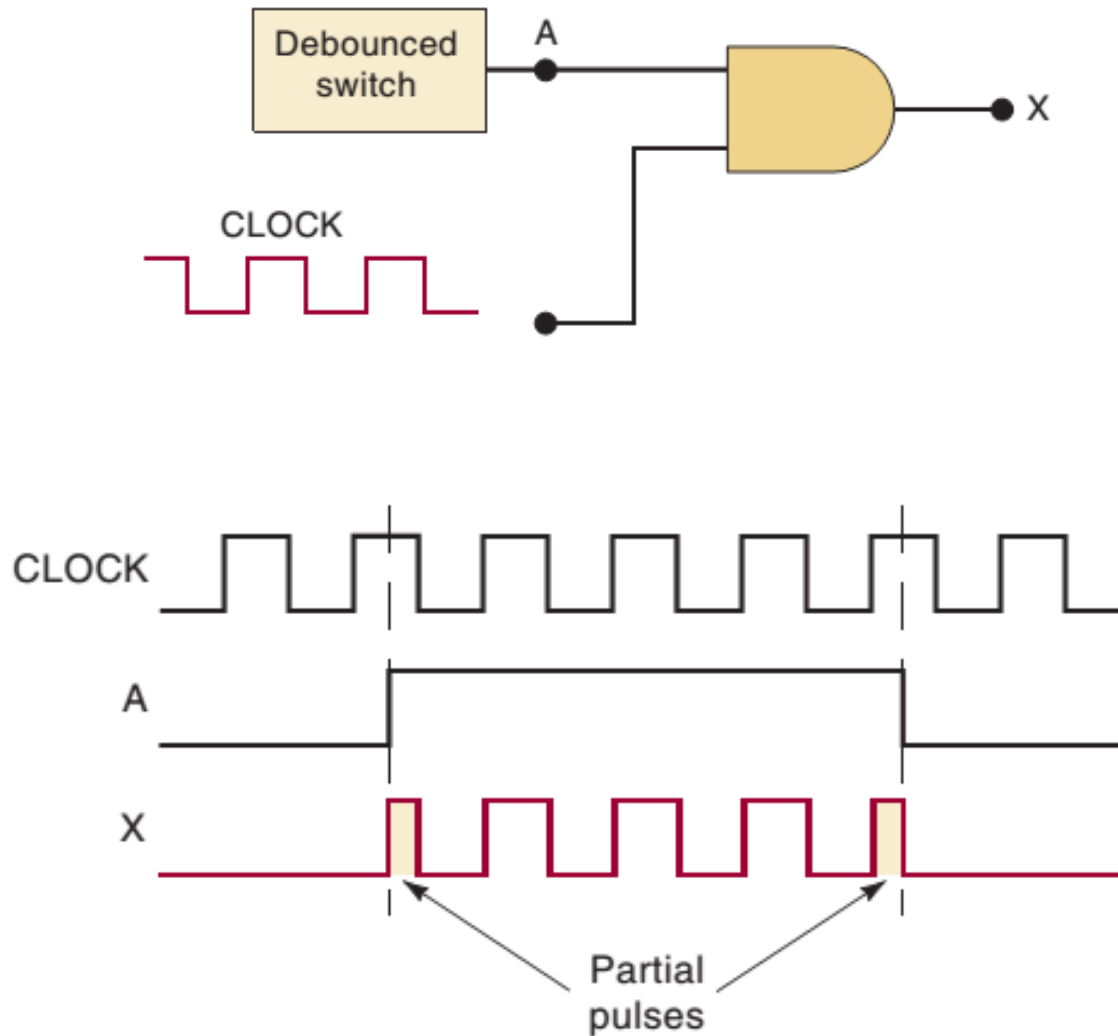
Ứng dụng FF

- Lưu trữ dữ liệu(**register**)
- Chống rung
- Đồng bộ dữ liệu
- Truyền dữ liệu
- Thanh ghi dịch
- Chia tần số
- Biểu diễn trạng thái
- Mod number

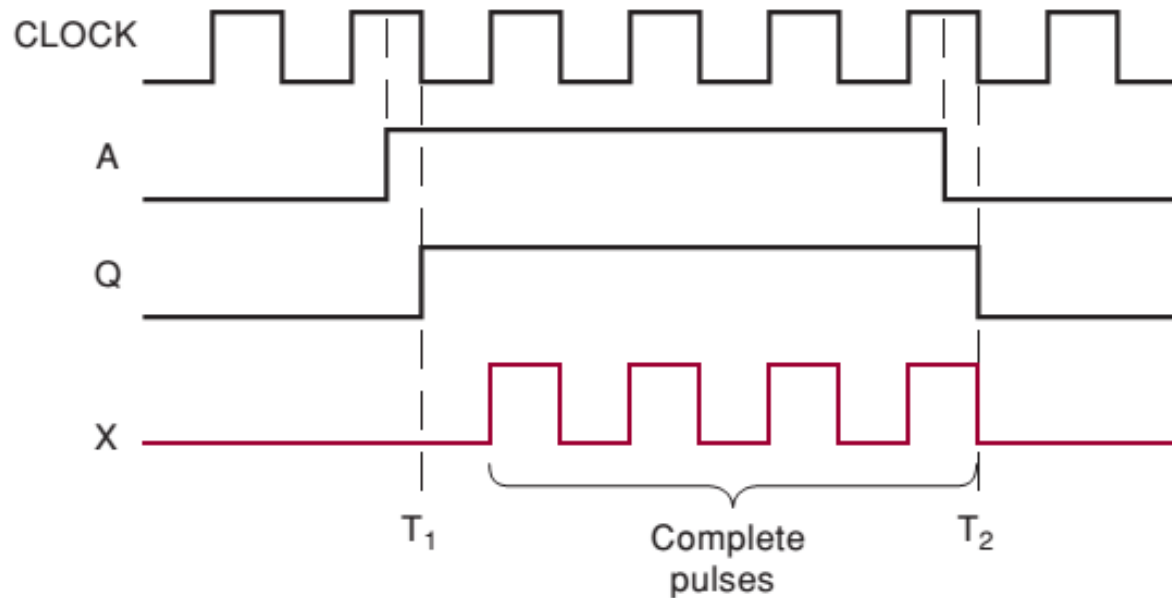
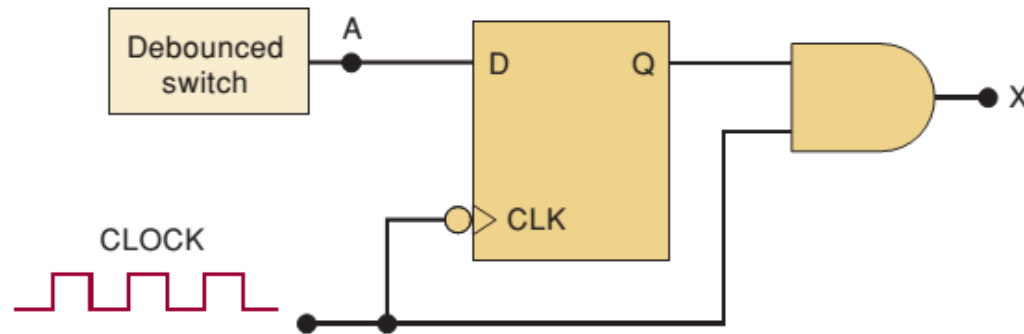
Chống rung



Đồng bộ dữ liệu

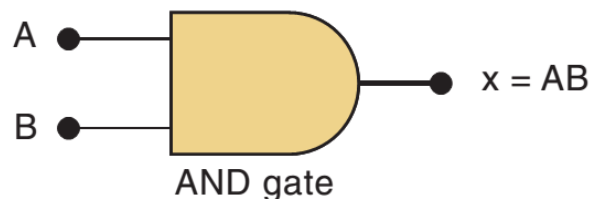


Đồng bộ dữ liệu (tt)

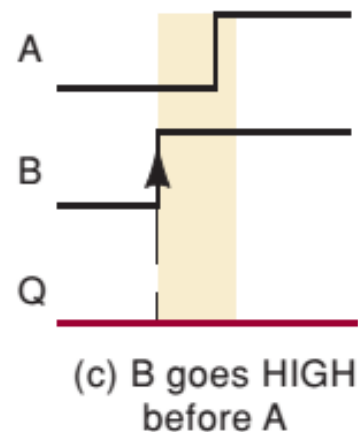
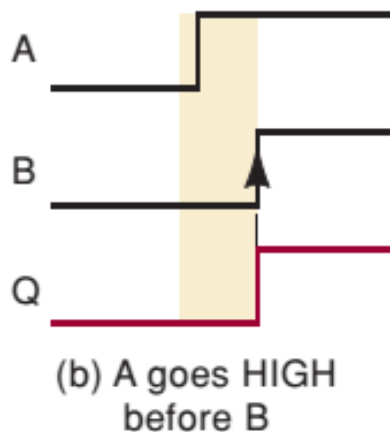
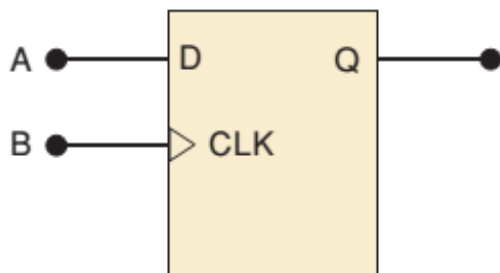


Phát hiện ngõ nhập tuần tự

- Phát hiện thay đổi đồng thời.

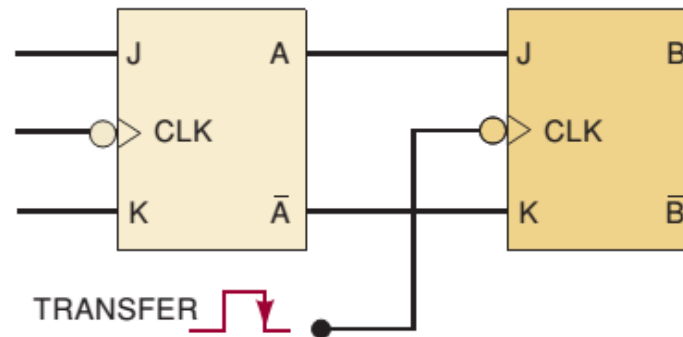


- Phát hiện thay đổi tuần tự.

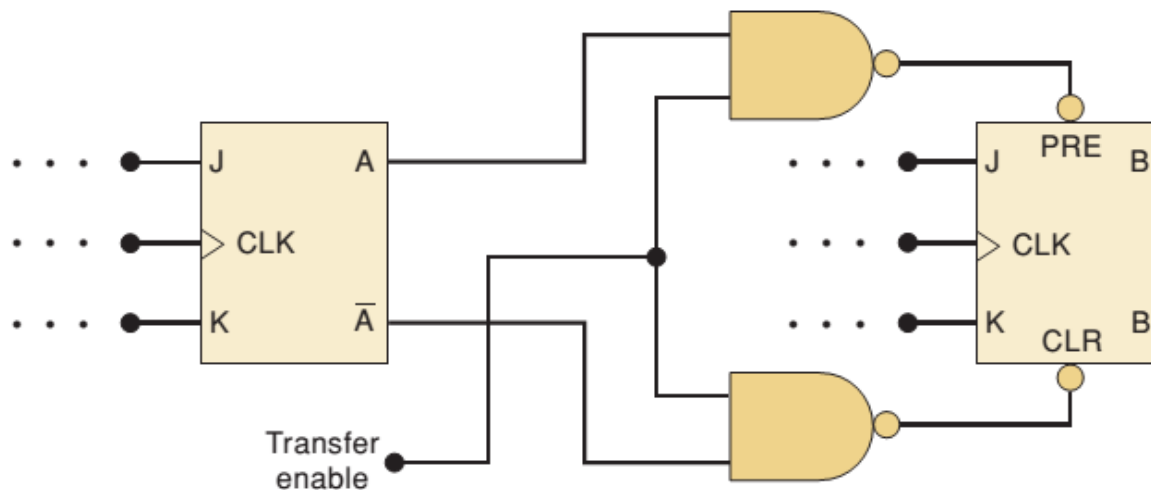


Data transfer

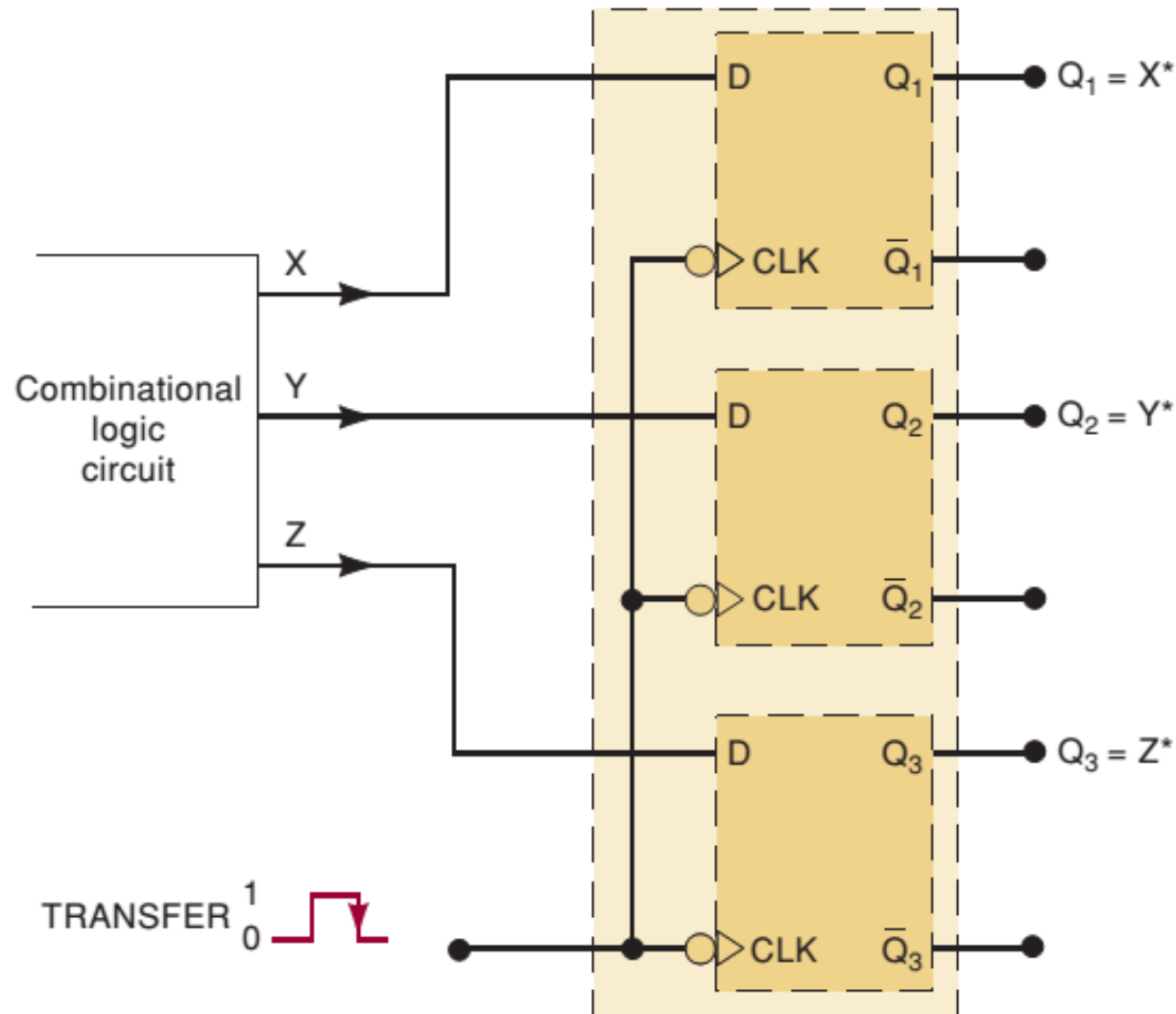
■ Synchronous transfer



■ Asynchronous transfer

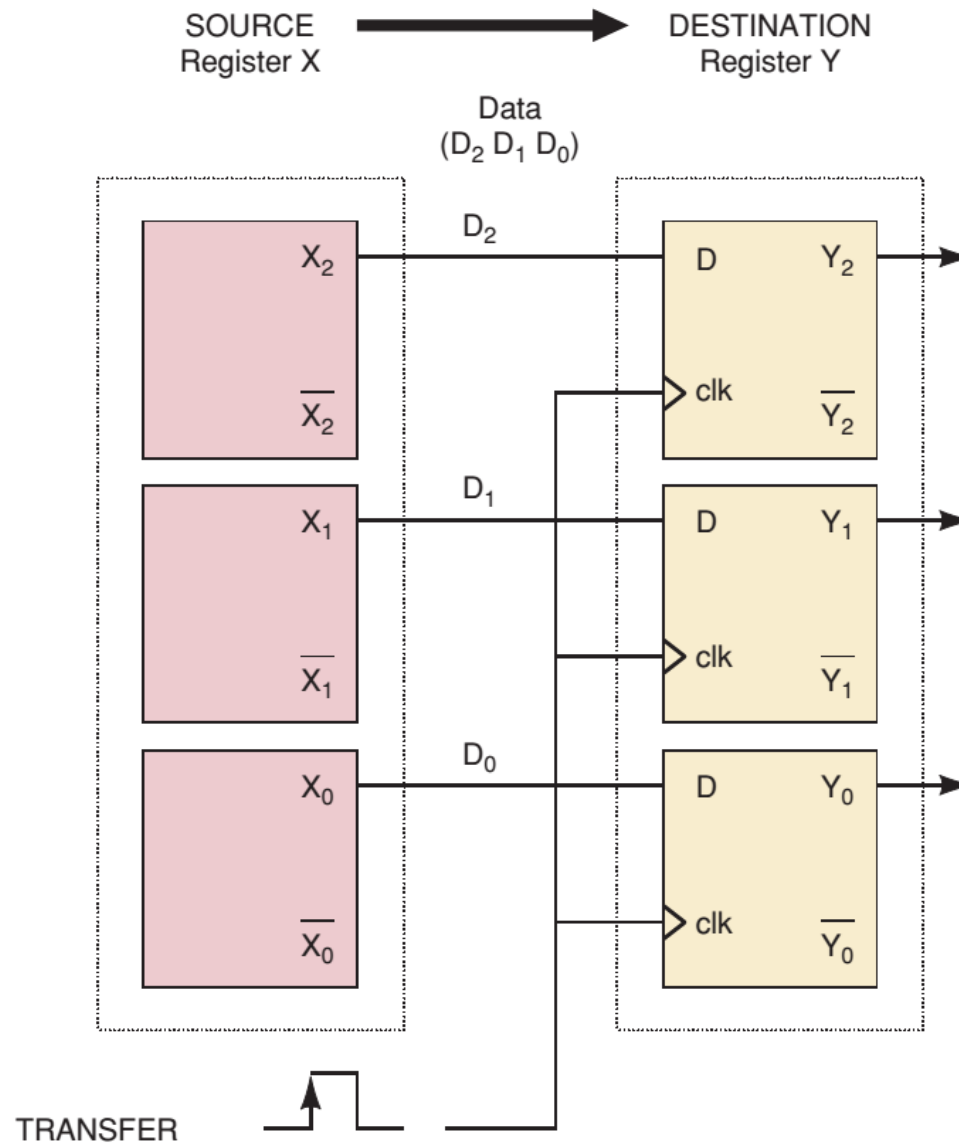


Parallel transfer

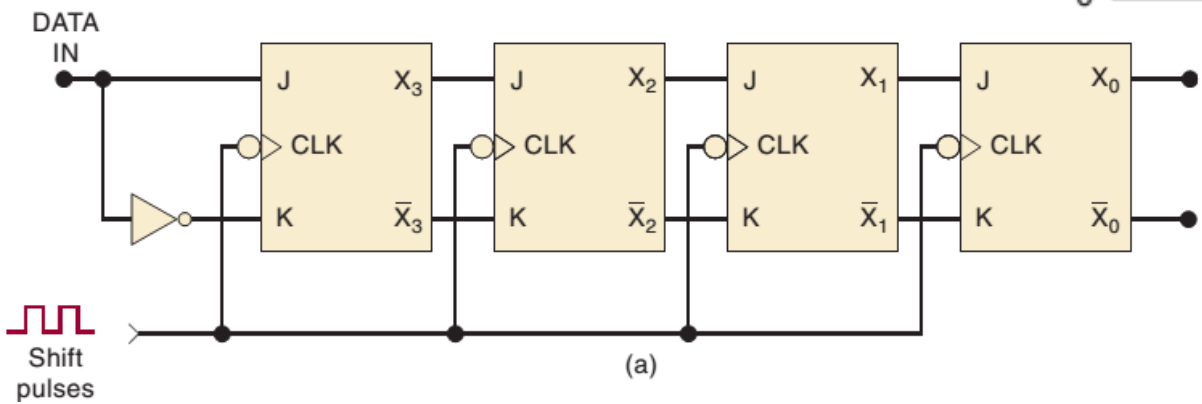
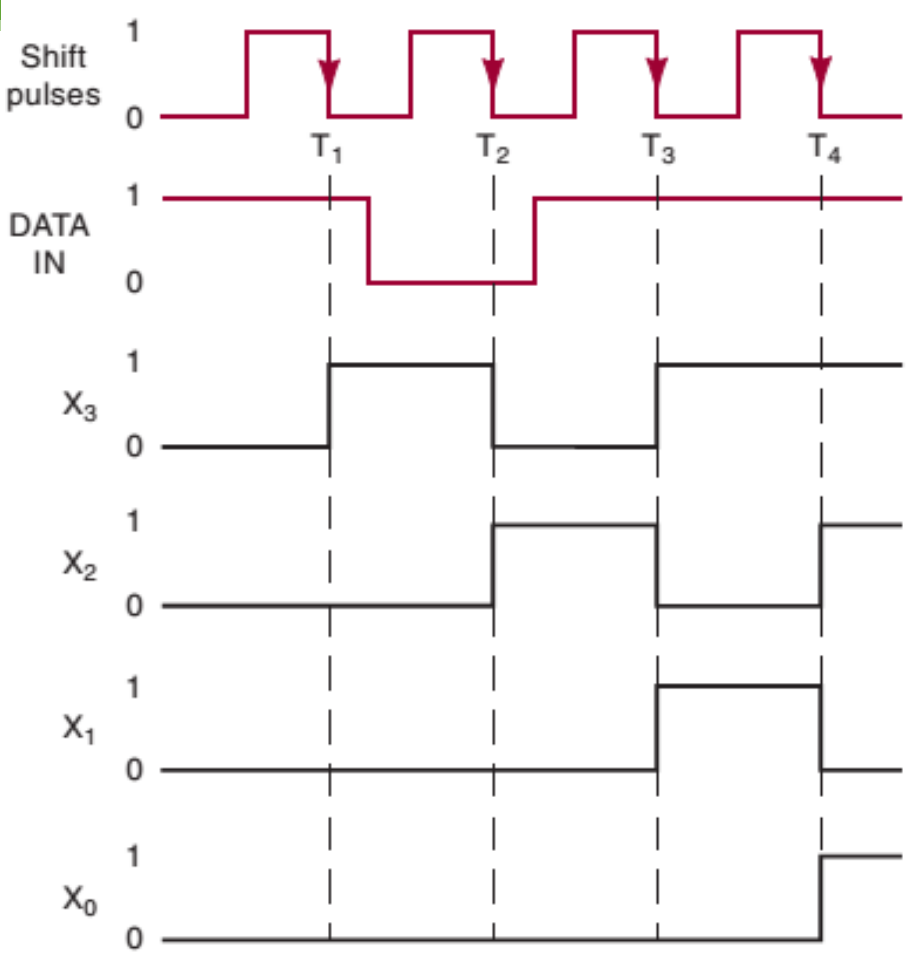


*After occurrence of NGT

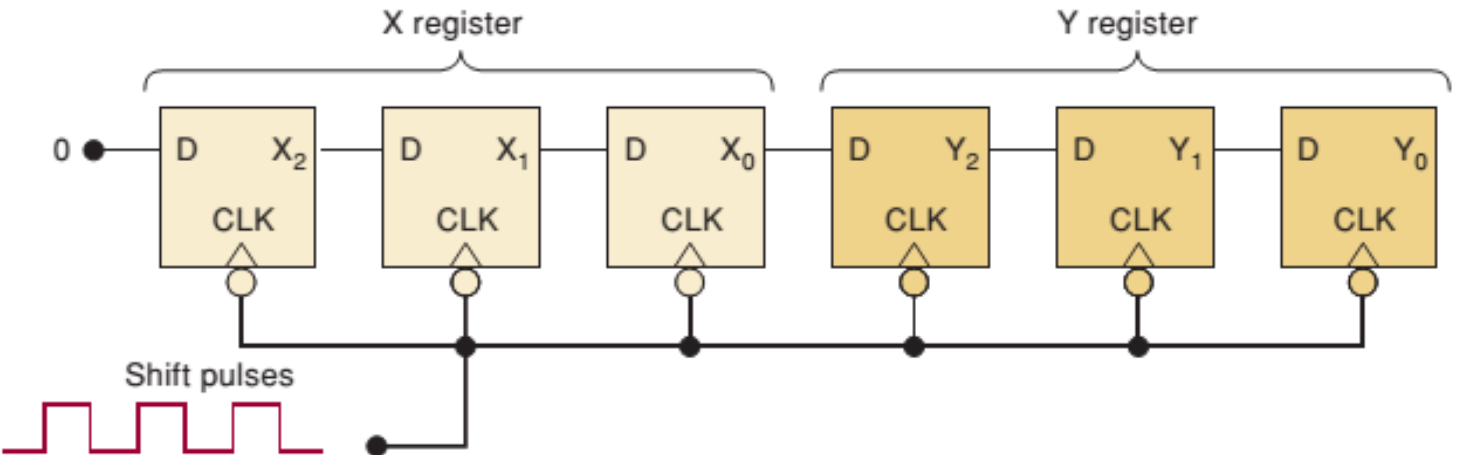
Parallel transfer



Thanh ghi dịch

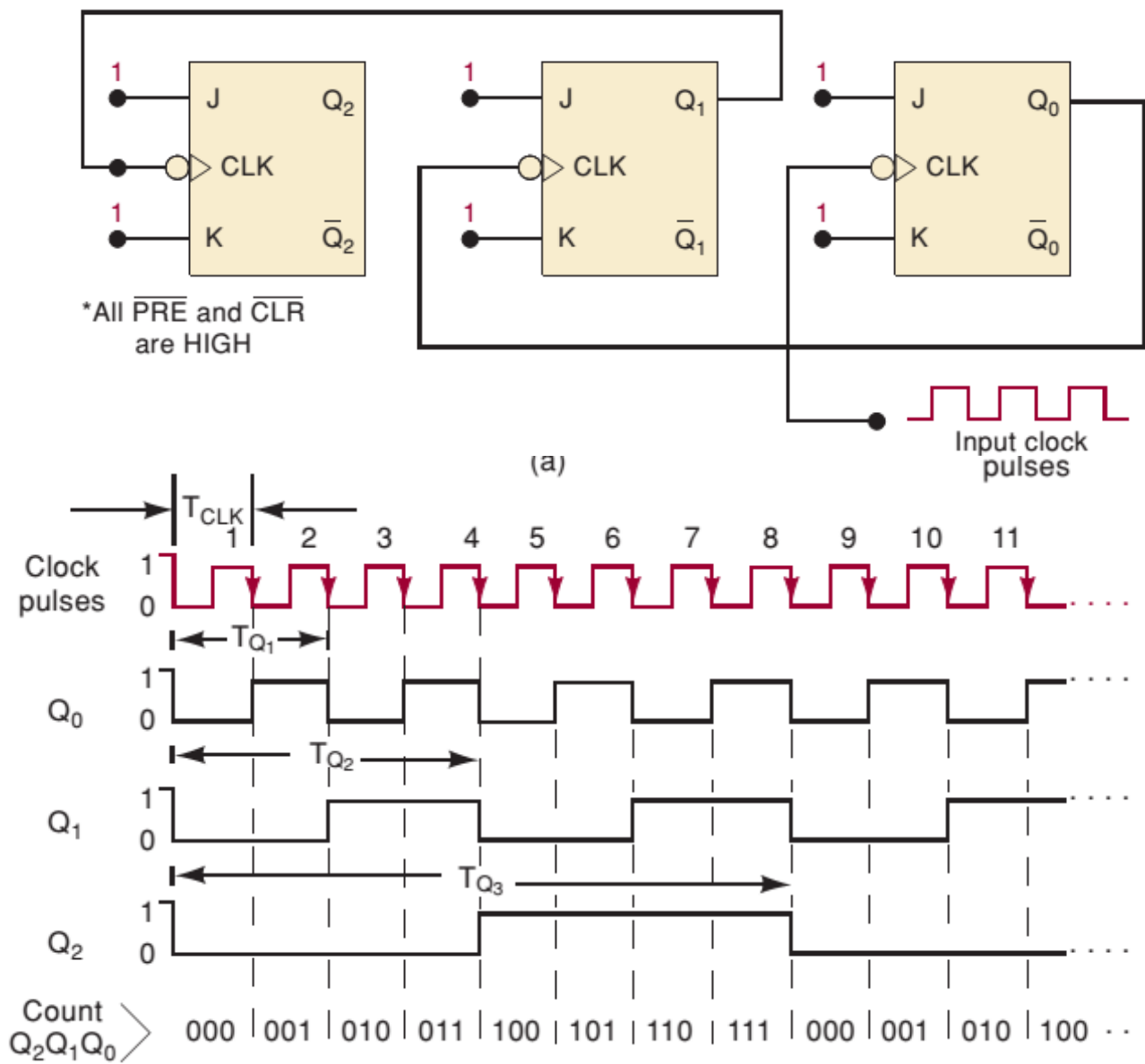


Thanh ghi dịch

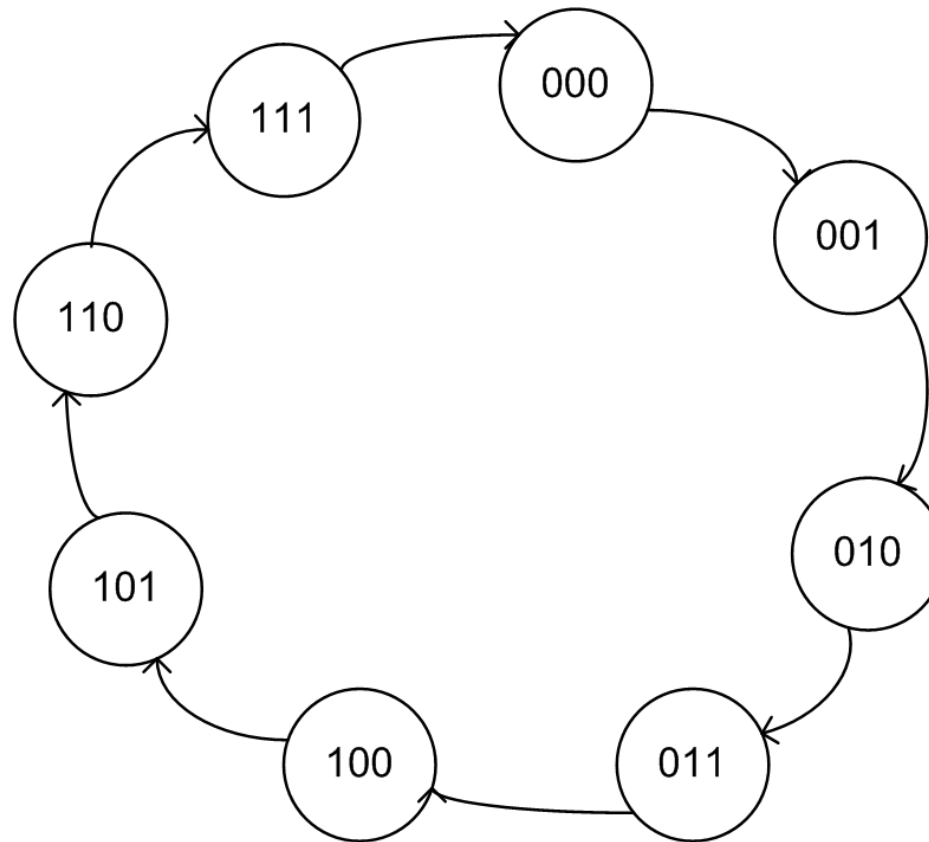


X ₂	X ₁	X ₀	Y ₂	Y ₁	Y ₀	
1	0	1	0	0	0	← Before pulses applied
0	1	0	1	0	0	← After first pulse
0	0	1	0	1	0	← After second pulse
0	0	0	1	0	1	← After third pulse

Chia tần số



Đếm và chuyển trạng thái

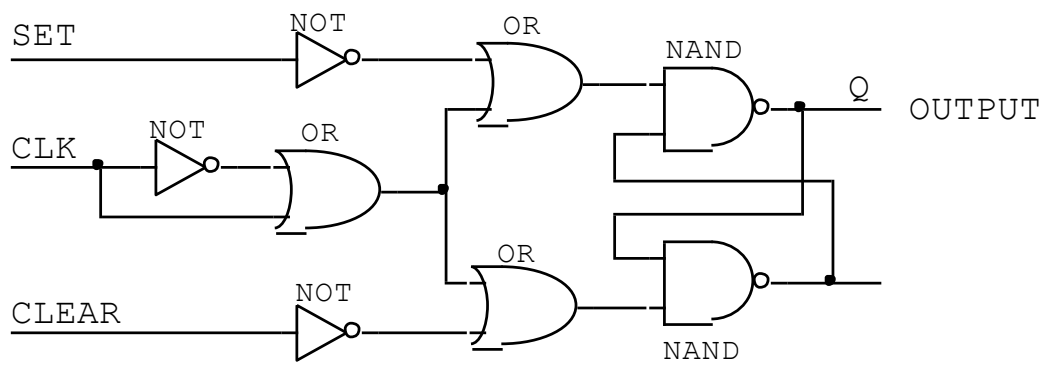


Đếm và chuyển trạng thái (tt)

■ Mod number

- MOD number: chỉ số trạng thái trong chuỗi đếm .
- Bộ đếm ở ví dụ trước có $2^3=8$ trạng thái khác nhau(000 tới 111). Bộ đếm này được gọi là bộ đếm MOD-8.
- Nếu có 4 FF thì chuỗi trạng thái sẽ đếm từ 0000 đến 1111(có 16 trạng thái). Và được gọi là bộ đếm MOD-16.
- Bộ đếm MOD- 2^N có khả năng đếm tới $2^N -1$ sau đó quay về trạng thái 0.

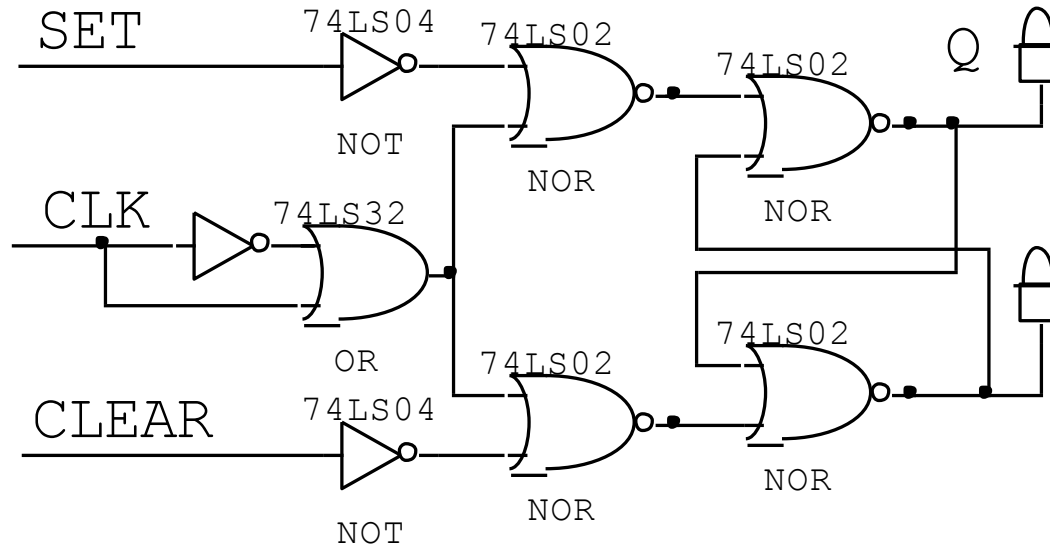
Bài tập



- Dựa vào nguyên lý hoạt động của mạch trên, hãy điền đầy đủ vào bảng sự thật dưới đây.

SET	CLR	CLK	Q
0	0		
0	1		
1	0		
1	1		

Bài tập

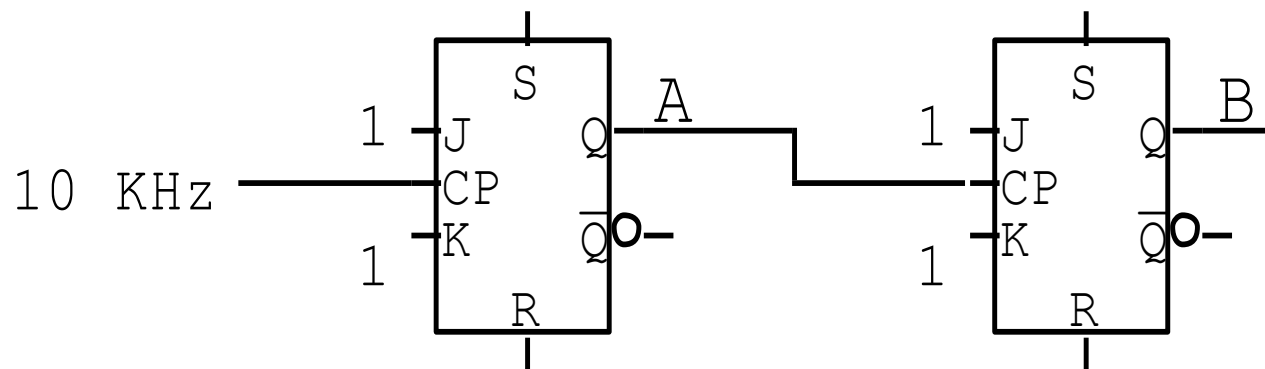


- Dựa vào nguyên lý hoạt động của mạch trên, hãy điền đầy đủ vào bảng sự thật dưới đây

SET	CLR	CLK	Q
0	0		
0	1		
1	0		
1	1		

Bài tập

- Cho sơ đồ kết nối 2 J-K Flip-Flop như hình vẽ. Xác định tần số của ngõ xuất A và ngõ xuất B biết các tín hiệu J và K của 2 Flip-Flop đều bằng 1.



Bài tập

- Hãy vẽ mạch tuần tự tương ứng với bảng sự thật dưới đây

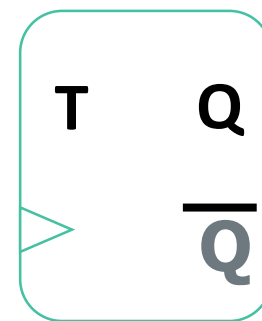
SET	CLR	CLK	Q
0	0	↓	NC
0	1	↓	1
1	0	↓	0
1	1	↓	Invalid

Bài tập

- Hãy vẽ biểu diễn xung số thỏa mãn yêu cầu sau.
 - a. Xung mức thấp với $t_r=20\text{ns}$, $t_f=5\text{ns}$, và $t_w=50\text{ns}$.
 - b. Xung mức cao với $t_r=5\text{ns}$, $t_f=1\text{ns}$, $t_w=25\text{ns}$.
 - c. Xung $t_w=1\text{ms}$ với cạnh lên xuất hiện mỗi 5ms . Hãy xác định tần số của tín hiệu này.

Bài tập

- Hãy thiết kế.
 - a. JK Flipflop từ D Flipflop
 - b. T Flipflop từ D Flipflop
 - c. T Flipflop từ JK Flipflop



T	CLK	Q
0	↑	Q
1	↑	\overline{Q}

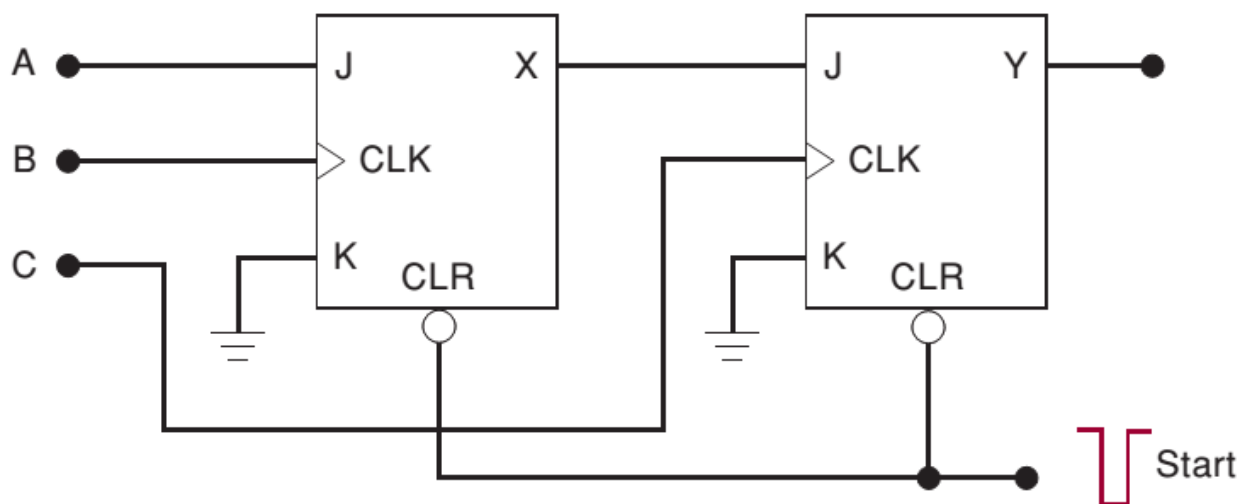
Bài tập

		TTL		CMOS	
		7474	74LS112	74C74	74HC112
t_S		20	20	60	25
t_H		5	0	0	0
t_{PHL}	from CLK to Q	40	24	200	31
t_{PLH}	from CLK to Q	25	16	200	31
t_{PHL}	from \overline{CLR} to Q	40	24	225	41
t_{PLH}	from \overline{PRE} to Q	25	16	225	41
$t_{W(L)}$	CLK LOW time	37	15	100	25
$t_{W(H)}$	CLK HIGH time	30	20	100	25
$t_{W(L)}$	at \overline{PRE} or \overline{CLR}	30	15	60	25
f_{MAX}	in MHz	15	30	5	20

- Thời gian asynchronous clear của 74LS112.
- Thời gian asynchronous set của 74HC112.
- Thời gian ngắn nhất giữa 2 lần tích cực clock của 7474.
- Thời gian cần thiết để 7474 synchronous chuyển từ 0->1

Bài tập

- Giả sử ban đầu A,B,C bằng 0. Biết rằng ngõ xuất Y sẽ bằng 1 khi A,B,C bằng 1 sau một số lần thay đổi.
- a. Hãy xác định các bước thay đổi của A,B,C để $Y=1$.
- b. Giải thích sự cần thiết xung LOW của tín hiệu Start.
- c. Thay thế JK FF bằng D FF.



Bài tập

- Trả lời các câu hỏi sau
 - a. Bao nhiêu FF cần thiết để hiện thực một mạch đếm nhị phân bất đồng bộ từ 0 – 1023.
 - b. Xác định tần số gõ ra của FF cuối cùng của counter này nếu tần số ngõ vào của FF đầu tiên là 2Mhz.
 - c. Mod number của bộ đếm này là gì?
 - d. Nếu ban đầu giá trị là 0, sau 2060 xung, giá trị của counter là bao nhiêu.

Bài tập

- Một mạch đếm nhị phân với xung clock điều khiển 256 kHz. Biết rằng xung clock ngõ xuất của FF cuối cùng có tần số 2kHz.
 - a. Xác định MOD number của mạch đếm này.
 - b. Xác định khoảng giá trị đếm.
 - c. Vẽ mạch đếm sử dụng D FF

Bài tập

- Một siêu thị vừa lắp đặt thử nghiệm một hệ thống đếm số lượng khách. Hệ thống gồm các sensor đặt tại cổng vào siêu thị. Mỗi khi phát hiện một khách đi vào. Sensor sẽ gửi một xung đến một mạch đếm nhị phân 10 bit. Đến cuối ngày, nhân viên kỹ thuật kiểm tra giá trị của bộ đếm và thấy kết quả $0000011001_2 = 25_{10}$. Nhân viên cho rằng kết quả không chính xác. Vì hôm đó siêu thị có sự kiện và thu hút rất đông khách.
- a. Giả sử sensor và mạch đếm không có lỗi, hãy giải thích kết quả này.
- b. Hãy dự đoán số lượng khách thực sự của siêu thị ngày hôm đó.

Bài tập

- Một MCU sử dụng 16 pin để định địa chỉ bộ nhớ ngoài. Biết rằng 8 pin tương ứng với 8 bit địa chỉ thấp cũng được dùng như ngõ nhập để đọc kết quả từ bộ nhớ ngoài. Trong quá trình truy xuất bộ nhớ ngoài, 16 bit địa chỉ không được phép thay đổi. Do đó người ta dùng một D-latch 8 bit để chốt 8 bit địa chỉ thấp. Hãy vẽ kết nối pin của MCU với D-Latch sao cho mỗi khi tín hiệu $ALE = 0$, 8 bit thấp của địa chỉ sẽ không đổi.

Bài tập

