

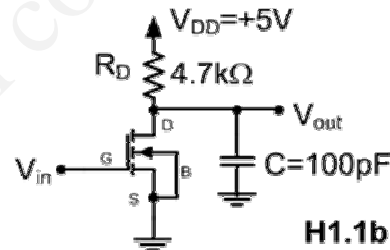
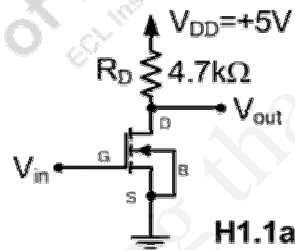
Lab6- MOSFET LOGIC GATE CIRCUITS

Mục đích

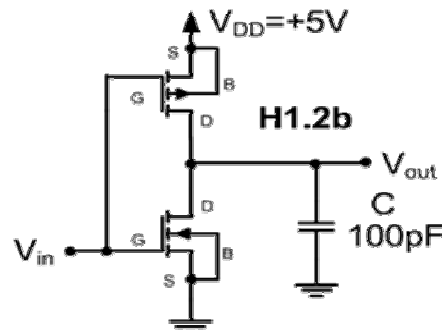
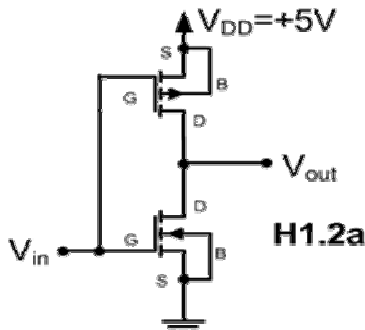
- [1] Nắm vững và xây dựng được cổng đảo NMOS và CMOS.
- [2] Đo và vẽ đặc tuyến truyền đạt áp (VTC) của cổng đảo.
- [3] Đo đặc và tính toán thời gian trễ (propagation delay).
- [4] Đo đặc và tính toán công suất tiêu thụ của các loại cổng đảo.
- [5] Khảo sát cấu trúc và đo đặc bảng sự thật của cổng logic NAND và NOR

1. Chuẩn bị thí nghiệm

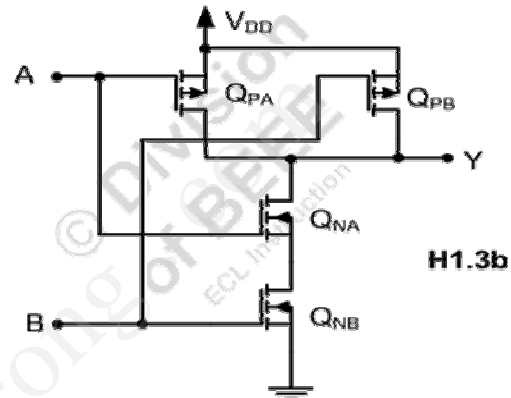
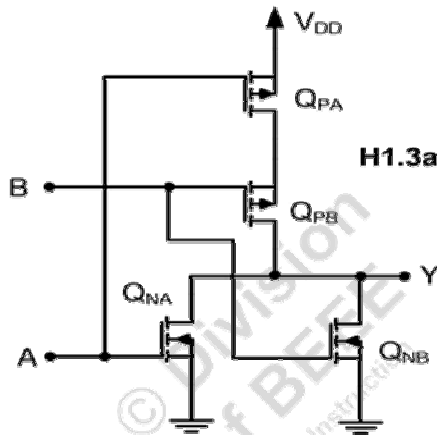
- Đọc lại lý thuyết về mạch cổng logic: Microelectronic Circuits, fifth Edition, Sedra/Smith, pages 336-345 & pages 950-982.
- Cho cổng đảo NMOS trên **H1.1a**, giả sử MOSFET có $K=0.5\text{mA/V}^2$, $V_t=1.5\text{V}$, hãy tính toán và vẽ đặc tuyến truyền đạt áp (VTC) của mạch bằng cách tính V_{out} khi V_{in} lần lượt bằng 0, 1, 2, 3, 4 và 5V.



- Mạch **H1.1a** được nối thêm tụ C ở ngõ ra như **H1.1b**, giả sử C đủ lớn để bỏ qua các tụ ký sinh trong MOSFET, hãy xác định biểu thức và giá trị của thời gian trễ cạnh lên (t_{PLH}) và xuống (t_{PHL}) của ngõ ra khi ngõ vào là xung vuông đơn cực có biên độ bằng 5V.
- Hãy tính toán công suất nguồn cung cấp cho cổng đảo **H1.1a** khi ngõ vào ở mức cao (5V) và mức thấp (0V).
- Cho cổng đảo CMOS trên **H1.2a**, giả sử MOSFET có $K_n=K_p=0.5\text{mA/V}^2$, $V_{\text{tn}}=V_{\text{tp}}=1.5\text{V}$, hãy tính toán và vẽ đặc tuyến truyền đạt áp (VTC) của mạch.



- Mạch **H1.2a** được nối thêm tụ C ở ngõ ra như **H1.2b**, giả sử C đủ lớn để bỏ qua các tụ ký sinh trong MOSFET, hãy xác định biểu thức và giá trị của thời gian trễ cạnh lên (t_{PLH}) và xuống (t_{PHL}) của ngõ ra khi ngõ vào là xung vuông đơn cực có biên độ bằng 5V.
- Hãy tính toán công suất nguồn cung cấp cho cổng đảo **H1.2a** khi ngõ vào ở mức cao (5V) và mức thấp (0V).
- Cho 2 cổng logic 2 ngõ vào như **H1.3a** và **H1.3b**, hãy trình bày hoạt động của chúng và cho biết đó là loại cổng gì?



- Đọc phần 3, **thực hiện thí nghiệm**, sau đó tóm tắt các công việc chính phải làm trong buổi thí nghiệm.
- Xem lại cách sử dụng dao động ký và máy đo vạn năng để đo các đại lượng liên quan trong buổi thí nghiệm.
- Download và đọc datasheet của **HEF4007**

2. Dụng cụ thí nghiệm

- Bộ thí nghiệm chính **ELECTRONIC LAB ANA-MAIN**
- Module: **MOSFET logic gate circuits**
- Dao động ký: **GRS-6052A**
- Máy đo: **Fluke 45**
- Bộ dây nối

3. Thực hiện thí nghiệm

MOSFET là linh kiện rất dễ bị hỏng do tĩnh điện. Do đó trong quá trình thao tác thí nghiệm phải hết sức thận trọng tuân thủ đúng một số nguyên tắc sau:

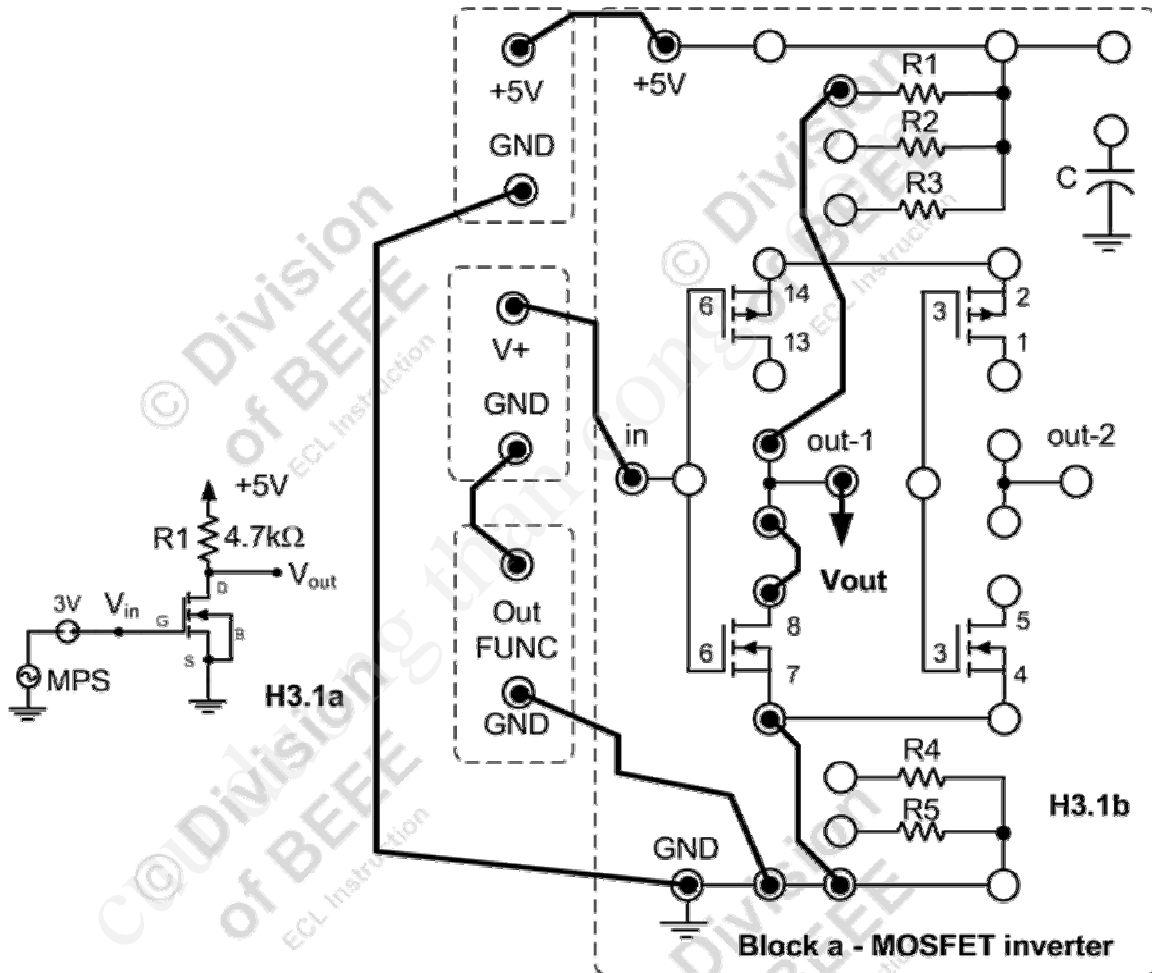
- Không chạm tay vào cực G của MOSFET vì rất dễ gây nguy hiểm cho MOSFET do tĩnh điện của tay.
- Tắt toàn bộ các nguồn cung cấp và tín hiệu, máy đo chức năng đo điện trở, test diode trước khi thực hiện thao tác nối hoặc thay đổi mạch.
- Khi nối mạch, thực hiện các phần của mạch không liên quan tới MOSFET trước, nối MOSFET vào sau cùng.

- Nếu có bất cứ nghi ngờ nào liên quan tới sự hư hỏng của MOSFET, phải ngay lập tức báo cho cán bộ quản lý PTN biết để kiểm tra và thay thế nếu MOSFET bị hỏng. **Chú ý:** số lượng MOSFET cho mỗi buổi thí nghiệm là có hạn, do vậy cán bộ quản lý PTN có quyền từ chối thay thế cho nhóm TN làm hư hỏng quá nhiều MOSFET.

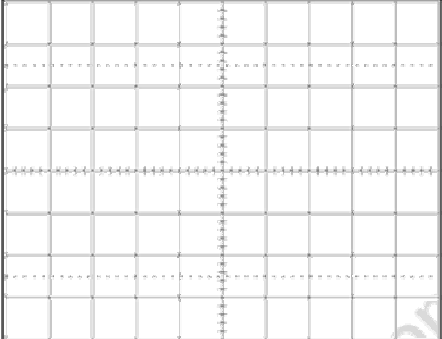
3.1. Khảo sát cổng đảo NMOS

3.1.1. Đo đặc tuyến truyền đạt áp (VTC)

- Thực hiện mạch trên **H3.1a** dùng **Block a** trên **Module – MOSFET logic gate circuits** như **H3.1b**.

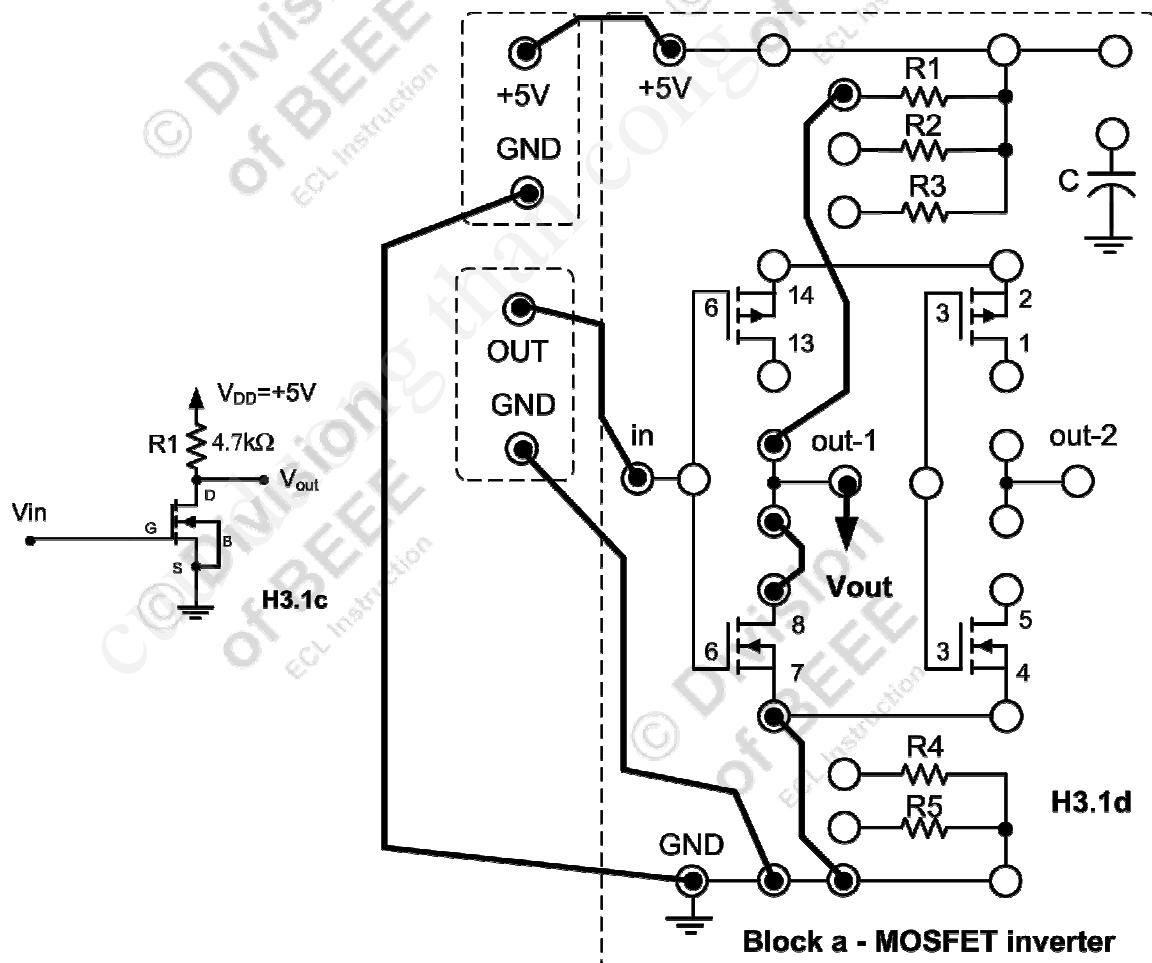


- Máy phát sóng chỉnh sóng tam giác tần số 500Hz, biên độ 3V, bộ nguồn DC chỉnh 3V để làm tín hiệu V_{in} cấp cho mạch.
- Dao động ký dùng CH1 đo ngõ vào và CH2 đo ngõ ra, Vert mode chọn X-Y, hai kênh chọn Mode DC.
- Đo và vẽ lại VTC của mạch, ghi thông tin vào **Bảng 3.1a**.

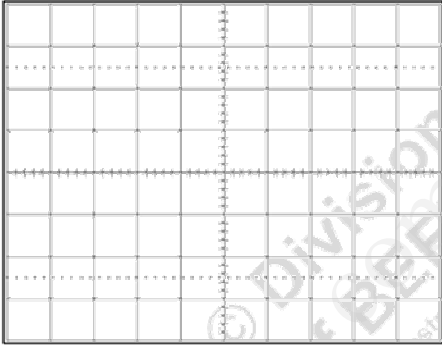
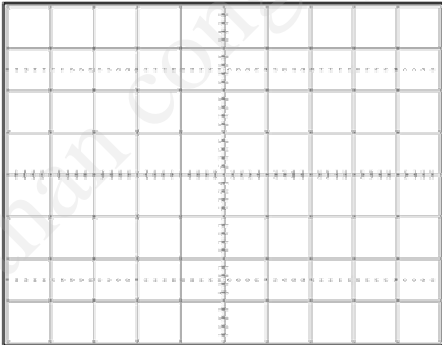
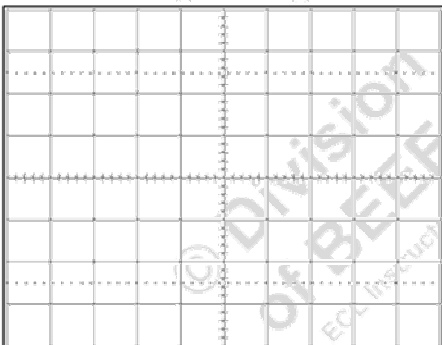
Bảng 3.1a – VTC của NMOS		
$V_{OH}[V]$		<div style="display: flex; align-items: center;"> <div style="flex: 1;"> V_{in} vs V_{out}  </div> <div style="flex: 1; padding-left: 10px;"> <p>CH1: V_{in}</p> <p>VOLTS/DIV: 1V</p> <p>Mode:DC</p> <p>CH2: V_{out}</p> <p>VOLTS/DIV: 1V</p> <p>Mode:DC</p> <p>VERT MODE: X-Y</p> </div> </div>
$V_{OL}[V]$		
$V_i[V]$		
$V_{IH}[V]$		
$V_{IL}[V]$		
$NM_L[V]$		
$NM_H[V]$		

3.1.2. Đo thời gian trễ t_{PHL} & t_{PLH}

- a. Thực hiện mạch trên **H3.1c** dùng **Block a** trên **Module – MOSFET logic gate circuits** như **H3.1d**.



- b. Đo và vẽ lại (**Bảng 3.1b**) dạng sóng ngõ ra khi ngõ vào là sóng vuông biên độ 5V, tần số lần lượt là 1KHz và 50KHz.
- c. Khi ngõ vào là sóng vuông biên độ 5V tần số 50kHz, hãy vẽ lại dạng tín hiệu vào và ra vào **Bảng 3.1b**, từ đó xác định t_{PHL} và t_{PLH} .

Trường hợp	Bảng 3.1b -Kết quả đo đặc công đảo NMOS
Input: square wave 5V, 1Khz	<div style="text-align: center;">$V_{out}(t)$</div>  <div style="float: right; border: 1px solid black; padding: 5px; width: 150px;"> CH1: V_{out} VOLTS/DIV: Mode:DC TIME/DIV: 0.2ms </div>
Input: square wave 5V, 10Khz	<div style="text-align: center;">$V_{out}(t)$</div>  <div style="float: right; border: 1px solid black; padding: 5px; width: 150px;"> CH1: V_{out} VOLTS/DIV: Mode:DC TIME/DIV: 20μs </div>
Input: square wave 5V, 50Khz	<div style="text-align: center;">$V_{in}(t) \text{ \& } V_{out}(t)$</div>  <div style="float: right; border: 1px solid black; padding: 5px; width: 150px;"> CH1: V_{in} VOLTS/DIV: Mode:DC CH2: V_{out} VOLTS/DIV: Mode:DC TIME/DIV: 5μs </div> <div style="clear: both; margin-top: 10px;"> $t_{PHL} = \dots\dots\dots$ $t_{PLH} = \dots\dots\dots$ </div>

3.1.3. Đo công suất nguồn cung cấp

- a. Thực hiện đo dòng trung bình nguồn cung cấp (I_{avg}) cho cổng đảo trên **H3.1c** khi $V_{in}=+5V$, từ đó tính công suất trung bình (P_{avg}) nguồn cung cấp cho cổng.

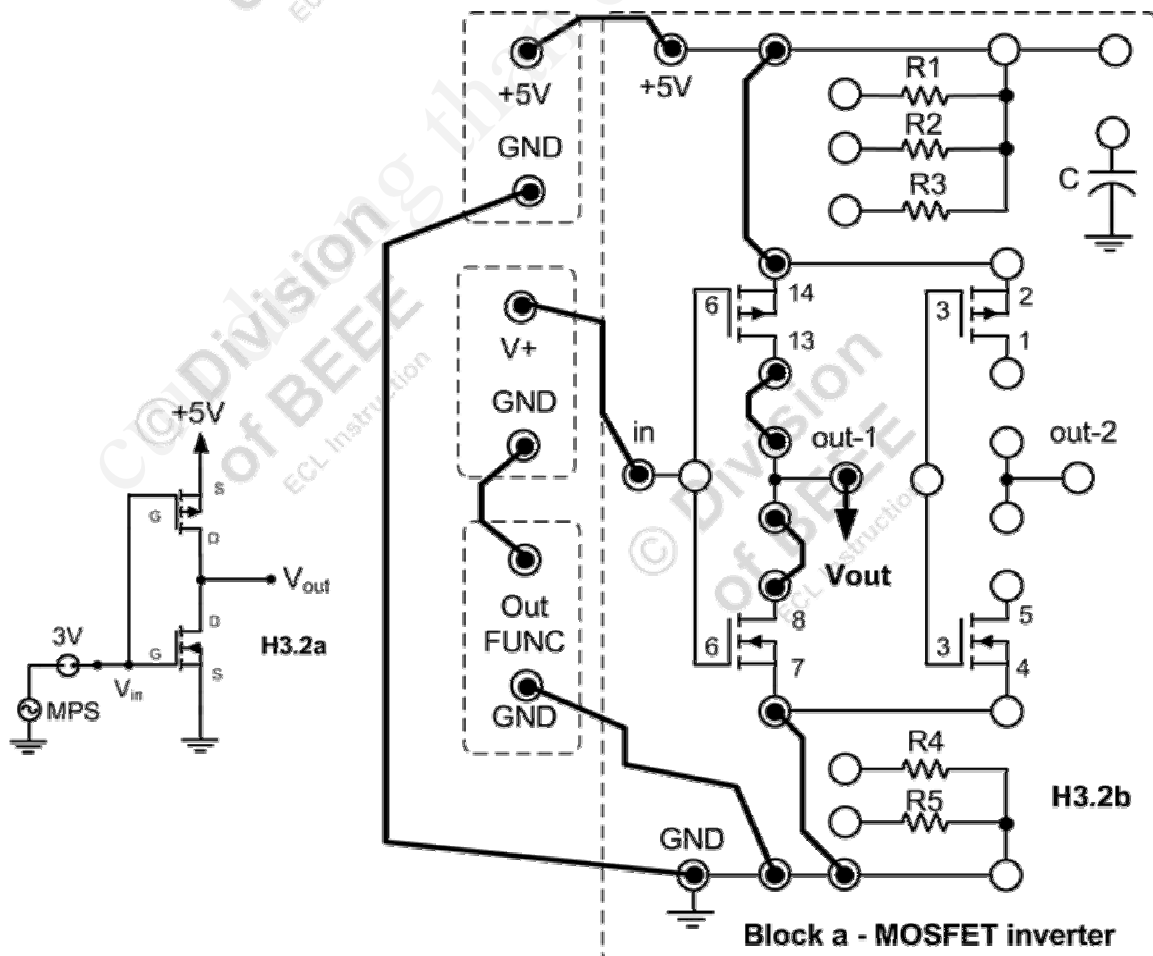
- b. Thực hiện đo dòng trung bình nguồn cung cấp (I_{avg}) cho cổng đảo trên **H3.1c** khi $V_{in}=0V$, từ đó tính công suất trung bình (P_{avg}) nguồn cung cấp cho cổng.
- c. Với mạch trên **H3.1c**, nối V_{in} với máy phát sóng vuông biên độ 5V, tần số để ở **RANGE 100K**. Hãy đo dòng trung bình nguồn cung cấp (I_{avg}) cho cổng đảo khi núm chỉnh **FREQUENCY** để ở cực tiểu và cực đại. Từ đó tính công suất trung bình (P_{avg}) nguồn cung cấp cho cổng tương ứng với mỗi trường hợp.
- d. Ghi các số liệu đo đạc và tính toán vào **Bảng 3.1c**.

Đại lượng	Bảng 3.1c – Kết quả đo công suất nguồn cung cấp cho cổng đảo NMOS			
	$V_{in}=5$	$V_{in}=0$	V_{in} square wave, RANGE 100k, FREQUENCY Min	V_{in} square wave, RANGE 100k, FREQUENCY Max
$I_{avg}[\mu A]$				
$P_{avg}[\mu W]$				

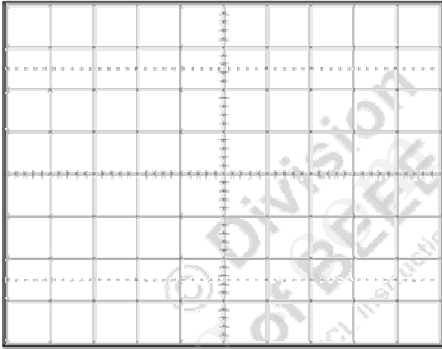
3.2. Khảo sát cổng đảo CMOS

3.2.1. Đo đặc tuyến truyền đạt áp (VTC)

- a. Thực hiện mạch trên **H3.2a** dùng **Block a** trên **Module – MOSFET logic gate circuits** như **H3.2b**.

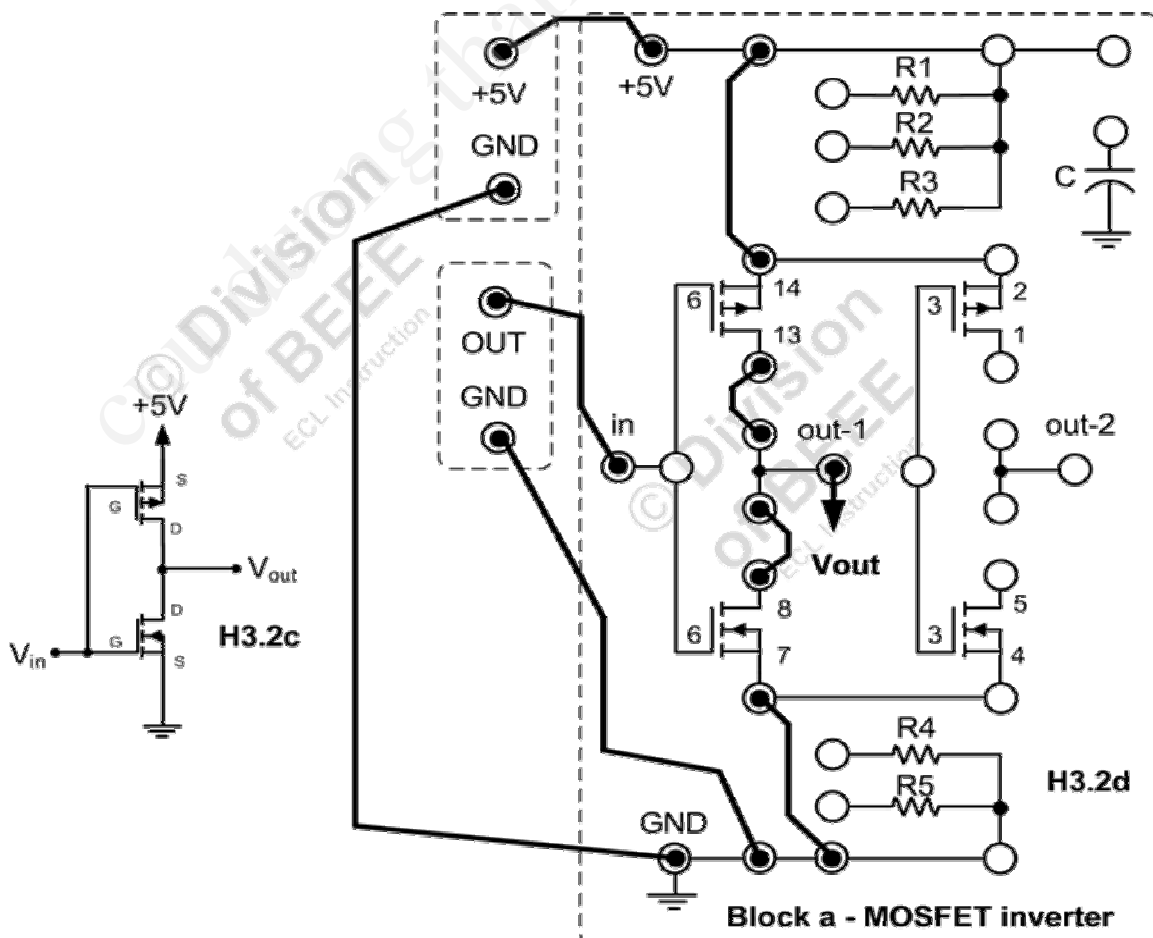


- Máy phát sóng chỉnh sóng tam giác tần số 500Hz, biên độ 3V, bộ nguồn DC chỉnh 3V để làm tín hiệu V_{in} cấp cho mạch.
- Dao động ký dùng CH1 đo ngõ vào và CH2 đo ngõ ra, Vert mode chọn X-Y, hai kênh chọn Mode DC.
- Đo và vẽ lại VTC của mạch, ghi thông tin vào **Bảng 3.2a**.

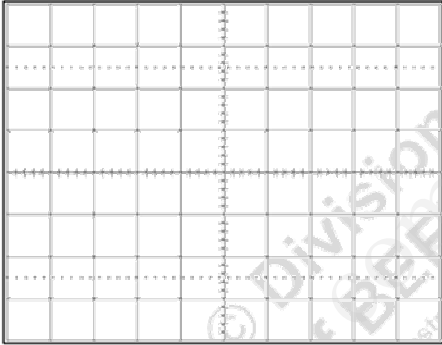
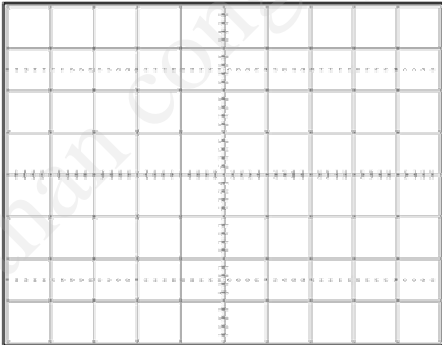
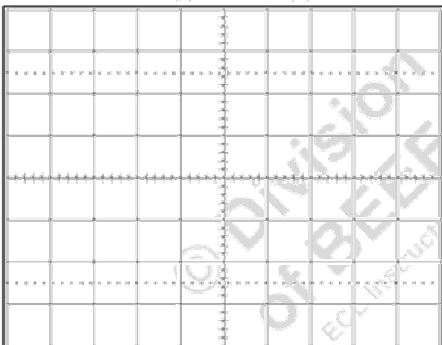
Bảng 3.2a – VTC của CMOS		
$V_{OH}[V]$		<div style="text-align: center;">$V_{in} \text{ vs } V_{out}$</div>  <div style="position: absolute; top: 235px; right: 235px; border: 1px solid black; padding: 5px;"> CH1: V_{in} VOLTS/DIV: 1V Mode:DC CH2: V_{out} VOLTS/DIV: 1V Mode:DC VERT MODE: X-Y </div>
$V_{OL}[V]$		
$V_t[V]$		
$V_{IH}[V]$		
$V_{IL}[V]$		
$NM_L[V]$		
$NM_H[V]$		

3.2.2. Đo thời gian trễ t_{PHL} & t_{PLH}

- Thực hiện mạch trên **H3.2c** dùng **Block a** trên **Module – MOSFET logic gate circuits** như **H3.2d**.



- b. Đo và vẽ lại (**Bảng 3.2b**) dạng sóng ngõ ra khi ngõ vào là sóng vuông biên độ 5V, tần số lần lượt là 1KHz và 50KHz.
- c. Khi ngõ vào là sóng vuông biên độ 5V tần số 50kHz, hãy vẽ lại dạng tín hiệu vào và ra vào **Bảng 3.2b**, từ đó xác định t_{PHL} và t_{PLH} .

Trường hợp	Bảng 3.2b -Kết quả đo đặc công đảo CMOS
Input: square wave 5V, 1Khz	<div style="text-align: center;">$V_{out}(t)$</div>  <div style="float: right; border: 1px solid black; padding: 5px; width: 150px;"> CH1: V_{out} VOLTS/DIV: Mode:DC TIME/DIV: 0.2ms </div>
Input: square wave 5V, 10Khz	<div style="text-align: center;">$V_{out}(t)$</div>  <div style="float: right; border: 1px solid black; padding: 5px; width: 150px;"> CH1: V_{out} VOLTS/DIV: Mode:DC TIME/DIV: 20μs </div>
Input: square wave 5V, 50Khz	<div style="text-align: center;">$V_{in}(t) \text{ \& } V_{out}(t)$</div>  <div style="float: right; border: 1px solid black; padding: 5px; width: 150px;"> CH1: V_{in} VOLTS/DIV: Mode:DC CH2: V_{out} VOLTS/DIV: Mode:DC TIME/DIV: 5μs </div> <div style="clear: both; margin-top: 10px;"> $t_{PHL} = \dots\dots\dots$ $t_{PLH} = \dots\dots\dots$ </div>

3.2.3. Đo công suất nguồn cung cấp

- a. Thực hiện đo dòng trung bình nguồn cung cấp (I_{avg}) cho cổng đảo trên **H3.2c** khi $V_{in}=+5V$, từ đó tính công suất trung bình (P_{avg}) nguồn cung cấp cho cổng.

- b. Thực hiện đo dòng trung bình nguồn cung cấp (I_{avg}) cho cổng đảo trên **H3.2c** khi $V_{in}=0V$, từ đó tính công suất trung bình (P_{avg}) nguồn cung cấp cho cổng.
- c. Với mạch trên **H3.2c**, nối V_{in} với máy phát sóng vuông biên độ 5V, tần số để ở **RANGE 100K**. Hãy đo dòng trung bình nguồn cung cấp (I_{avg}) cho cổng đảo khi núm chỉnh **FREQUENCY** để ở cực tiểu và cực đại. Từ đó tính công suất trung bình (P_{avg}) nguồn cung cấp cho cổng tương ứng với mỗi trường hợp.
- d. Ghi các số liệu đo đạc và tính toán vào **Bảng 3.2c**.

Đại lượng	Bảng 3.2c – Kết quả đo công suất nguồn cung cấp cho cổng đảo CMOS			
	$V_{in}=5$	$V_{in}=0$	V_{in} square wave, RANGE 100k, FREQUENCY Min	V_{in} square wave, RANGE 100k, FREQUENCY Max
$I_{avg}[\mu A]$				
$P_{avg}[\mu W]$				

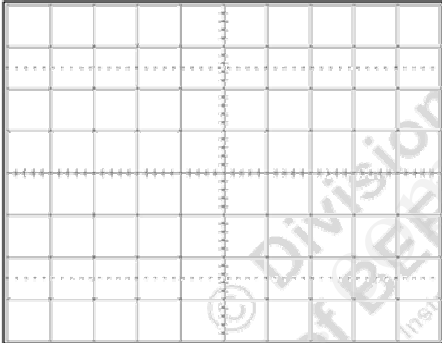
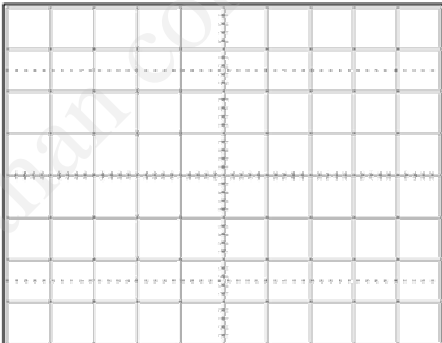
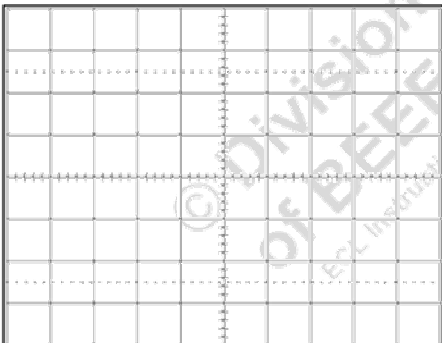
3.3. Khảo sát cổng NAND và NOR

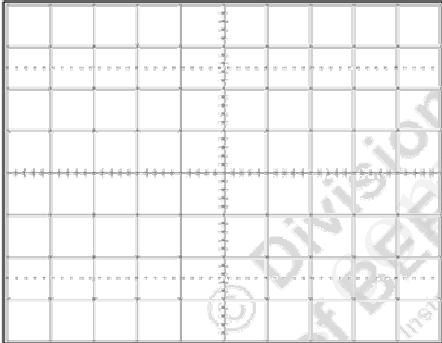
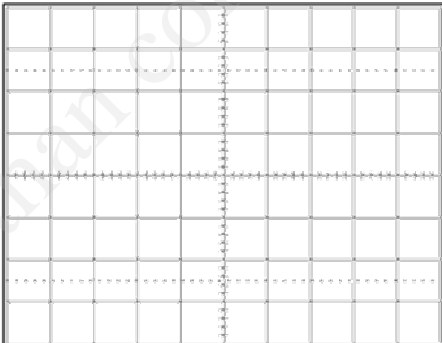
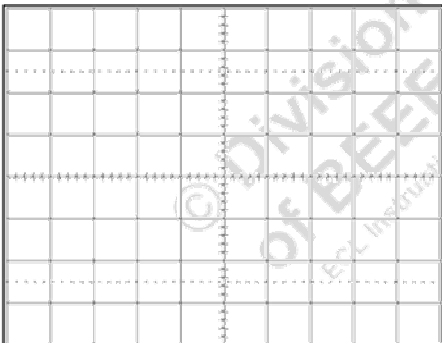
3.3.1. Khảo sát cổng NAND

- a. Thực hiện cổng NAND dùng **Block b** trên **Module – MOSFET logic gate circuits**
- b. Đo và lập bảng sự thật (**Bảng 3.3a**) thể hiện hoạt động của cổng NAND.

Bảng 3.3a – Bảng sự thật cổng NAND		
A [V]	B [V]	Y [V]
0	0	
0	5	
5	0	
5	5	

- c. Ngõ vào A nối 0V, ngõ vào B nối máy phát sóng vuông biên độ 5V, tần số 1KHz, dùng dao động ký vẽ lại dạng tín hiệu vào B và ra Y vào **Bảng 3.3b**.
- d. Ngõ vào A nối 5V, ngõ vào B nối máy phát sóng vuông biên độ 5V, tần số 1KHz, dùng dao động ký vẽ lại dạng tín hiệu vào B và ra Y vào **Bảng 3.3b**.
- e. Ngõ vào A và B nối máy phát sóng vuông biên độ 5V, tần số 1KHz, dùng dao động ký vẽ lại dạng tín hiệu vào A, B và ra Y vào **Bảng 3.3b**.

Trường hợp	Bảng 3.3b -Kết quả đo đặc công NAND
<p>A=0V</p> <p>B: square wave</p> <p>5V, 1Khz</p>	<p>B & Y</p>  <p>CH1: B VOLTS/DIV: Mode:DC</p> <p>CH1: Y VOLTS/DIV: Mode:DC</p> <p>TIME/DIV: 0.2ms</p>
<p>A=5V</p> <p>B: square wave</p> <p>5V, 1Khz</p>	<p>B & Y</p>  <p>CH1: B VOLTS/DIV: Mode:DC</p> <p>CH1: Y VOLTS/DIV: Mode:DC</p> <p>TIME/DIV: 0.2ms</p>
<p>A, B: square wave</p> <p>5V, 1Khz</p>	<p>A, B & Y</p>  <p>CH1: A=B VOLTS/DIV: Mode:DC</p> <p>CH1: Y VOLTS/DIV: Mode:DC</p> <p>TIME/DIV: 0.2ms</p>

Trường hợp	Bảng 3.3d -Kết quả đo đặc công NOR
<p>A=0V</p> <p>B: square wave</p> <p>5V, 1Khz</p>	<p>B & Y</p>  <p>CH1: B VOLTS/DIV: Mode:DC</p> <p>CH1: Y VOLTS/DIV: Mode:DC TIME/DIV: 0.2ms</p>
<p>A=5V</p> <p>B: square wave</p> <p>5V, 1Khz</p>	<p>B & Y</p>  <p>CH1: B VOLTS/DIV: Mode:DC</p> <p>CH1: Y VOLTS/DIV: Mode:DC TIME/DIV: 0.2ms</p>
<p>A, B: square wave</p> <p>5V, 1Khz</p>	<p>A, B & Y</p>  <p>CH1: A=B VOLTS/DIV: Mode:DC</p> <p>CH1: Y VOLTS/DIV: Mode:DC TIME/DIV: 0.2ms</p>

3.3.2. Khảo sát cổng NOR

- Thực hiện cổng NOR dùng **Block b** trên **Module – MOSFET logic gate circuits**
- Đo và lập bảng sự thật (**Bảng 3.3c**) thể hiện hoạt động của cổng NOR.

Bảng 3.3c – Bảng sự thật cổng NOR		
A [V]	B [V]	Y [V]
0	0	
0	5	
5	0	
5	5	

- Ngõ vào A nối 0V, ngõ vào B nối máy phát sóng vuông biên độ 5V, tần số 1KHz, dùng dao động ký vẽ lại dạng tín hiệu vào B và ra Y vào **Bảng 3.3d**.
- Ngõ vào A nối 5V, ngõ vào B nối máy phát sóng vuông biên độ 5V, tần số 1KHz, dùng dao động ký vẽ lại dạng tín hiệu vào B và ra Y vào **Bảng 3.3d**.
- Ngõ vào A và B nối máy phát sóng vuông biên độ 5V, tần số 1KHz, dùng dao động ký vẽ lại dạng tín hiệu vào A, B và ra Y vào **Bảng 3.3d**.

4. Báo cáo thí nghiệm

- Phân tích so sánh kết quả lý thuyết với thực nghiệm
- So sánh cổng đảo NMOS với CMOS
- Phân tích hoạt động của các cổng NAND và NOR