

# Chương 5

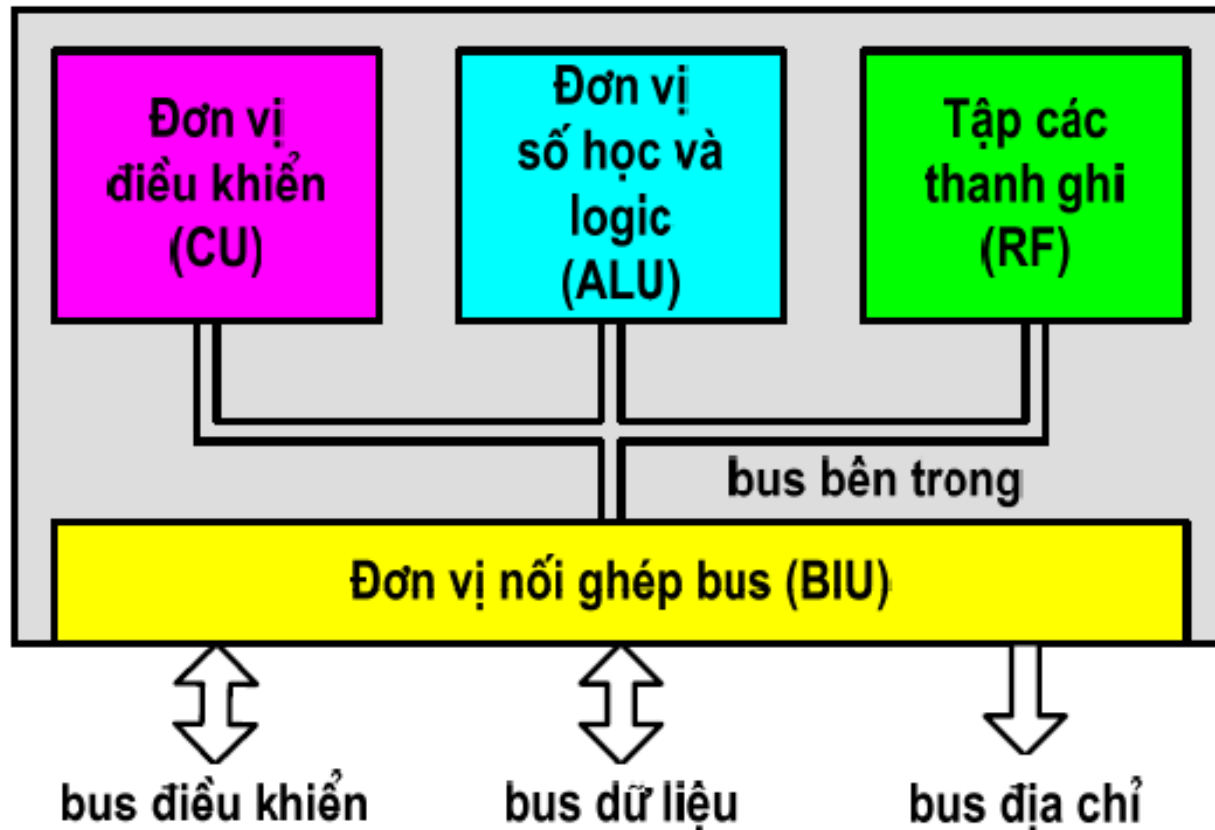
Bộ xử lý trung tâm CPU  
(Central Processing Unit)

# Nội dung

- Tổ chức của CPU
- Hoạt động của chu trình lệnh
- Đơn vị điều khiển
- Kỹ thuật đường ống lệnh
- Cấu trúc bộ xử lý tiên tiến

# Tổ chức của CPU

- Cấu trúc cơ bản của CPU

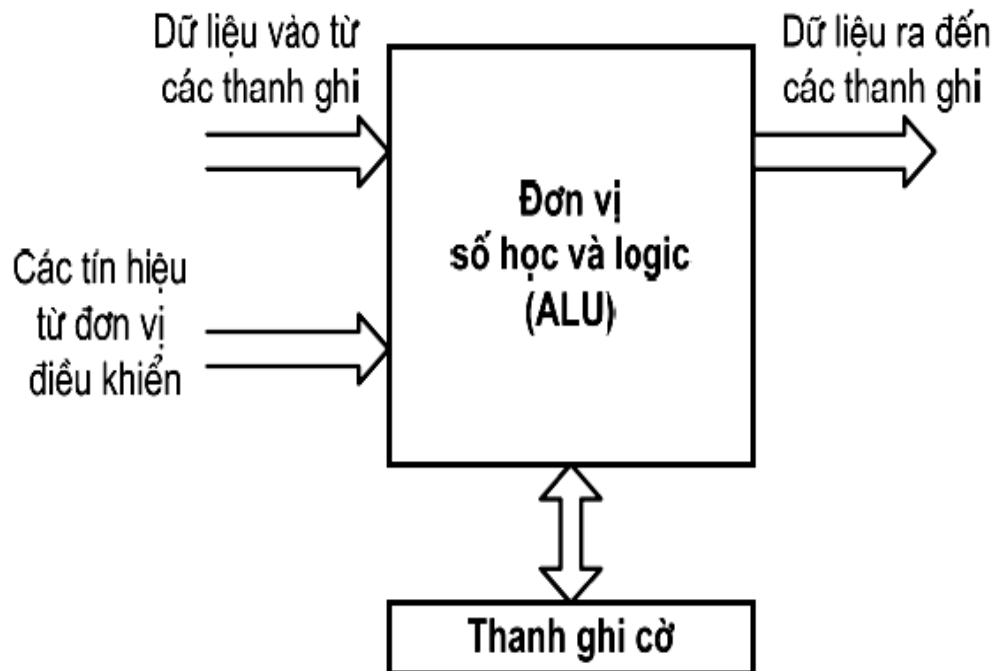


# Tổ chức của CPU

- Cấu trúc cơ bản của CPU (tiếp)
  - Đơn vị điều khiển (Control Unit - CU): điều khiển hoạt động của máy tính theo chương trình đã định sẵn.
  - Đơn vị số học và logic (Arithmetic and Logic Unit - ALU): thực hiện các phép toán số học và phép toán logic.
  - Tập thanh ghi (Register File - RF): lưu giữ các thông tin tạm thời phục vụ cho hoạt động của CPU.
  - Đơn vị nối ghép bus (Bus Interface Unit - BIU): kết nối và trao đổi thông tin giữa bus bên trong (internal bus) và bus bên ngoài (external bus).

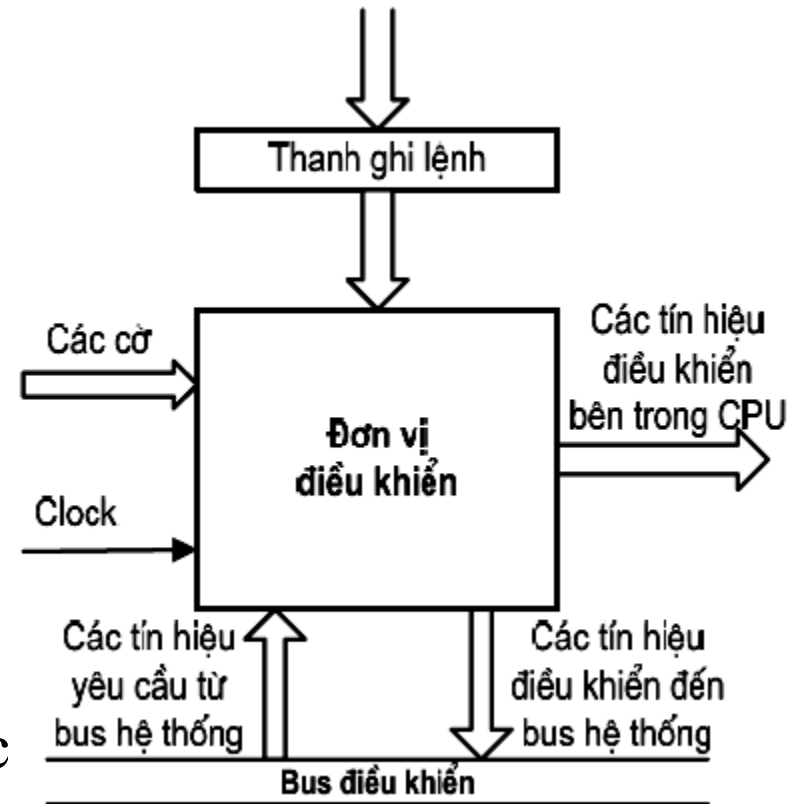
# Tổ chức của CPU

- Đơn vị số học và luận lý ALU
  - Thực hiện các phép toán số học và phép toán luận lý:
    - Số học: Cộng, trừ, nhân, chia, tăng, giảm, đảo dấu,...
    - Luận lý: AND, OR, XOR, NOT, phép dịch bit,...



# Tổ chức của CPU

- Đơn vị điều khiển CU
  - Điều khiển nhận lệnh từ bộ nhớ đưa vào thanh ghi lệnh
  - Tăng nội dung của PC để trỏ sang lệnh kế tiếp
  - Giải mã lệnh đã được nhận để xác định thao tác mà lệnh yêu cầu
  - Phát ra các tín hiệu điều khiển thực hiện lệnh
  - Nhận các tín hiệu yêu cầu từ bus hệ thống và đáp ứng với các yêu cầu đó.

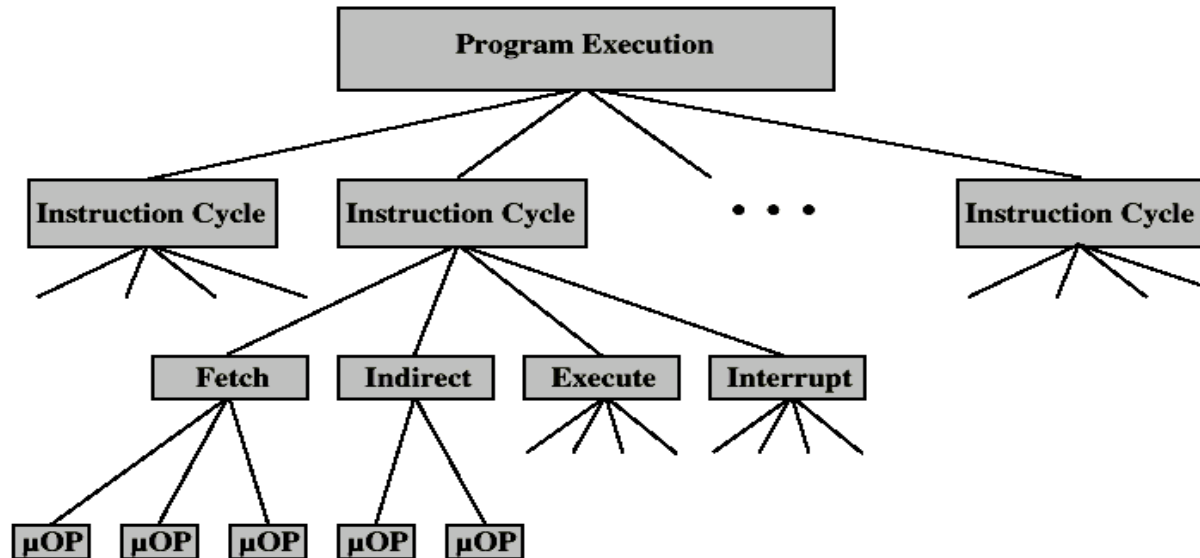


# Tổ chức của CPU

- Các tín hiệu đưa đến đơn vị điều khiển
  - Clock: tín hiệu xung nhịp từ mạch tạo dao động bên ngoài.
  - Mã lệnh từ thanh ghi lệnh đưa đến để giải mã.
  - Các cờ từ thanh ghi cờ cho biết trạng thái của CPU.
  - Các tín hiệu yêu cầu từ bus điều khiển
- Các tín hiệu phát ra từ đơn vị điều khiển
  - Các tín hiệu điều khiển bên trong CPU:
    - Điều khiển các thanh ghi
    - Điều khiển ALU
  - Các tín hiệu điều khiển bên ngoài CPU:
    - Điều khiển bộ nhớ
    - Điều khiển các mô-đun nhập xuất

# Hoạt động của chu trình lệnh

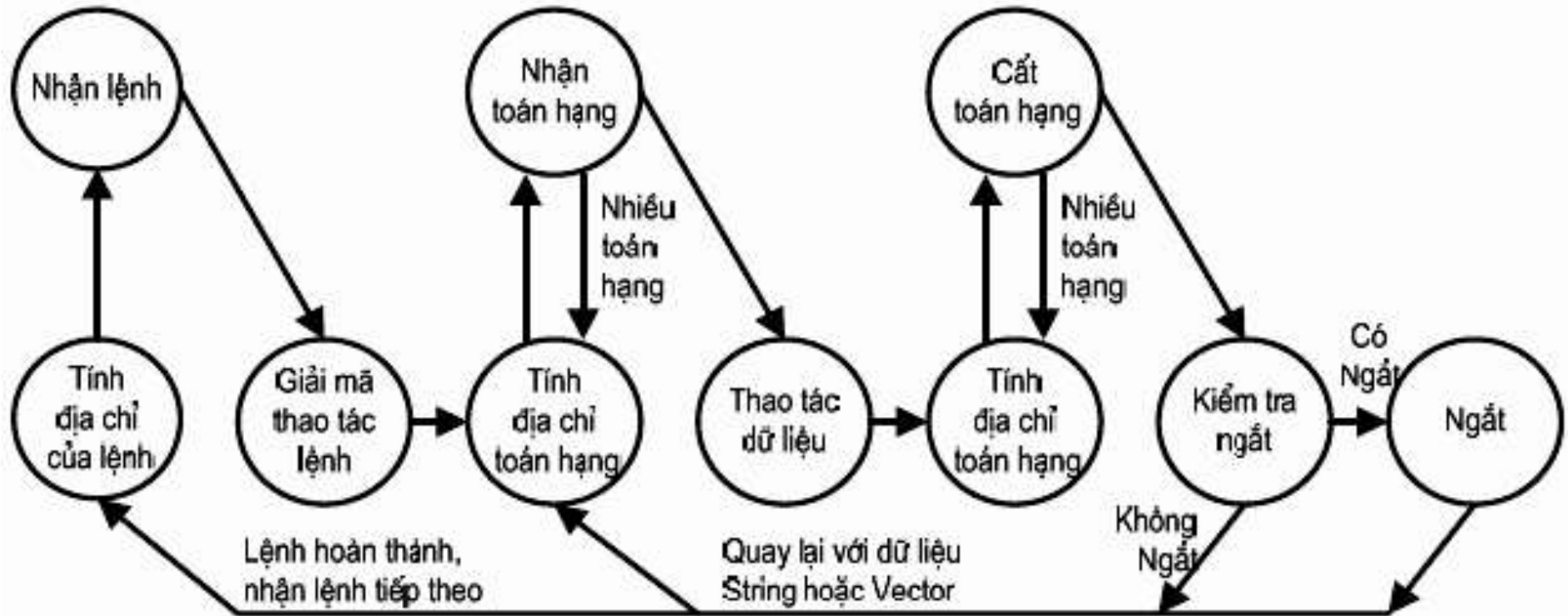
- Chu trình lệnh
  - Nhận lệnh (Fetch Instruction - FI)
  - Giải mã lệnh (Decode Instruction - DI)
  - Nhận toán hạng (Fetch Operands - FO)
  - Thực hiện lệnh (Execute Instruction - EI)
  - Cài toán hạng (Write Operands - WO)
  - Ngắt (Interrupt Instruction - II)





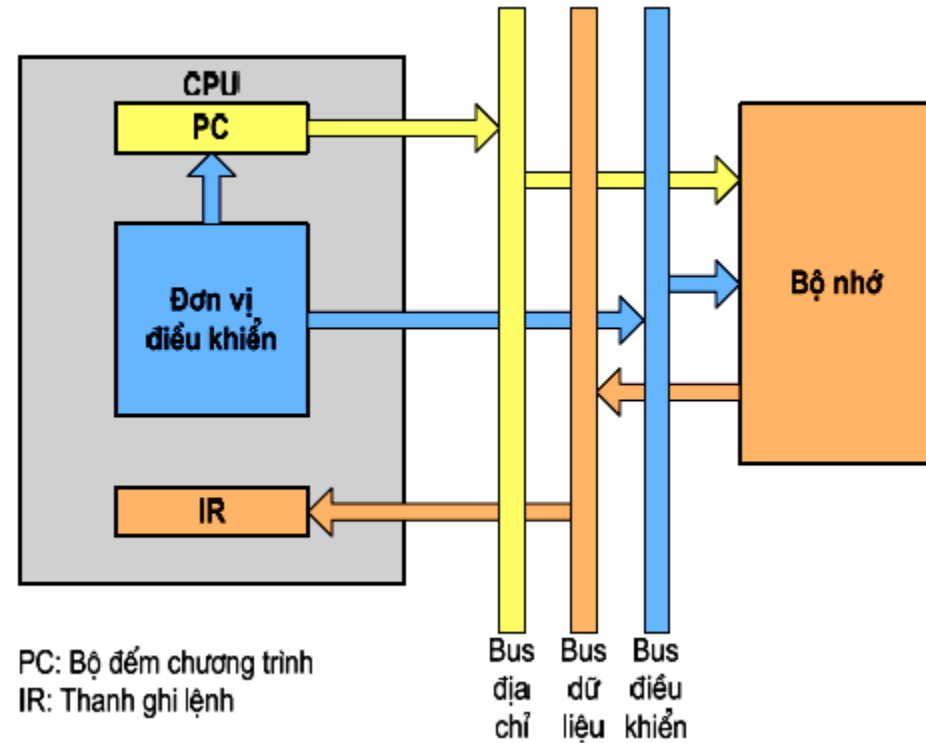
# Hoạt động của chu trình lệnh

- Chu trình lệnh (tiếp)



# Hoạt động của chu trình lệnh

- Nhận lệnh (Fetch)
  - CPU đưa địa chỉ của lệnh cần nhận từ bộ đếm chương trình PC ra bus địa chỉ
  - CPU phát tín hiệu điều khiển đọc bộ nhớ
  - Lệnh từ bộ nhớ được đặt lên bus dữ liệu và được CPU chép vào thanh ghi lệnh IR
  - CPU tăng nội dung PC để trở sang lệnh kế tiếp

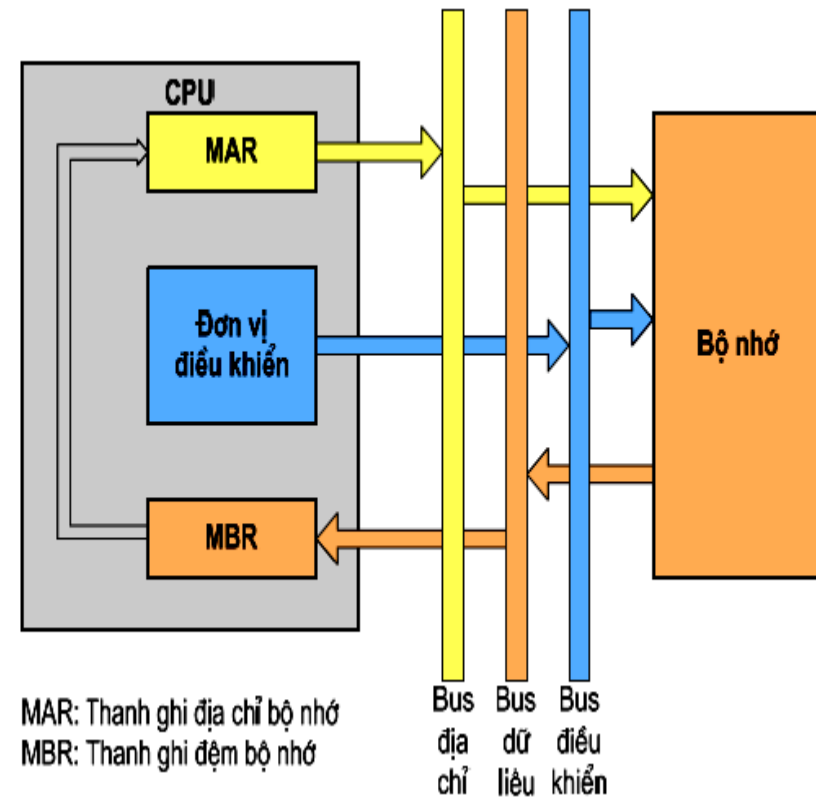


# Hoạt động của chu trình lệnh

- Giải mã lệnh (Decode)
  - Lệnh từ thanh ghi lệnh IR được đưa đến đơn vị điều khiển
  - Đơn vị điều khiển tiến hành giải mã lệnh để xác định thao tác phải thực hiện
  - Giải mã lệnh xảy ra bên trong CPU
- Nhận dữ liệu (Fetch Operand)
  - CPU đưa địa chỉ của toán hạng ra bus địa chỉ
  - CPU phát tín hiệu điều khiển đọc
  - Toán hạng được đọc vào CPU
  - Tương tự như nhận lệnh

# Hoạt động của chu trình lệnh

- Nhận dữ liệu gián tiếp
  - CPU đưa địa chỉ ra bus địa chỉ
  - CPU phát tín hiệu điều khiển đọc
  - Nội dung ngăn nhớ được đọc vào CPU, đó chính là địa chỉ của toán hạng
  - Địa chỉ này được CPU phát ra bus địa chỉ để tìm ra toán hạng
  - CPU phát tín hiệu điều khiển đọc
  - Toán hạng được đọc vào CPU

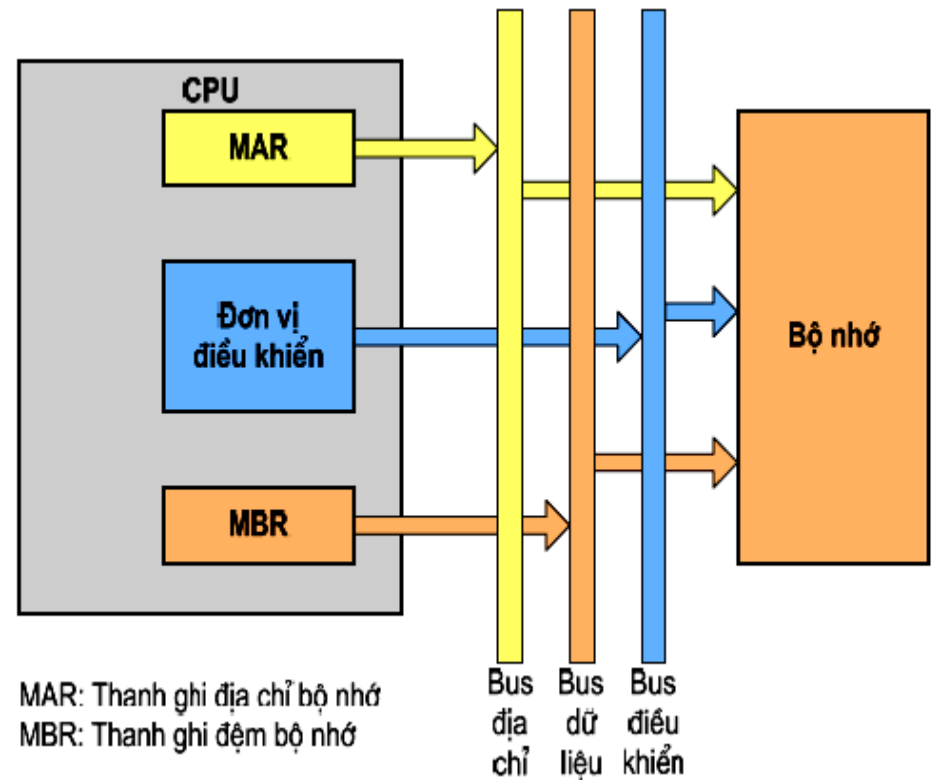


# Hoạt động của chu trình lệnh

- Thực hiện lệnh (Execute)
  - Có nhiều dạng tùy thuộc vào lệnh
  - Có thể là:
    - Đọc/Ghi bộ nhớ
    - Nhập/ xuất
    - Chuyển dữ liệu giữa các thanh ghi với nhau
    - Chuyển dữ liệu giữa thanh ghi và bộ nhớ
    - Thao tác số học/logic
    - Chuyển điều khiển (rẽ nhánh)
    - Ngắt
    - ...

# Hoạt động của chu trình lệnh

- Ghi toán hạng (Write)
  - CPU đưa địa chỉ ra bus địa chỉ
  - CPU đưa dữ liệu cần ghi ra bus dữ liệu
  - CPU phát tín hiệu điều khiển ghi
  - Dữ liệu trên bus dữ liệu được chép đến vị trí xác định

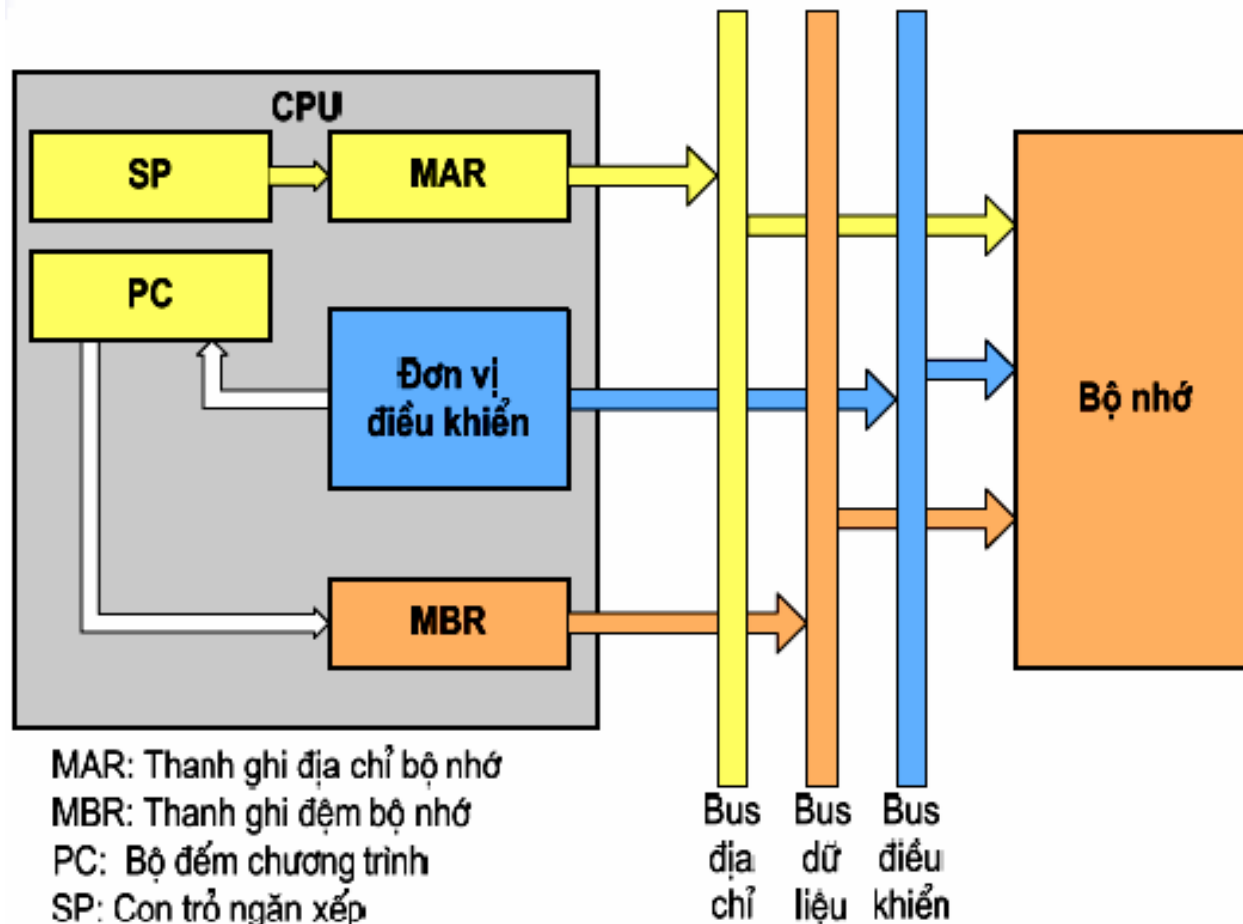


# Hoạt động của chu trình lệnh

- Ngắt (Interrupt)
  - Nội dung của bộ đếm chương trình PC (địa chỉ trở về sau khi ngắt) được đưa ra bus dữ liệu
  - CPU đưa địa chỉ (thường được lấy từ con trỏ ngăn xếp SP) ra bus địa chỉ
  - CPU phát tín hiệu điều khiển ghi bộ nhớ
  - Địa chỉ trở về trên bus dữ liệu được ghi ra vị trí xác định (ở ngăn xếp)
  - Địa chỉ lệnh đầu tiên của chương trình con điều khiển ngắt được nạp vào PC

# Hoạt động của chu trình lệnh

- Ngắt (tiếp)



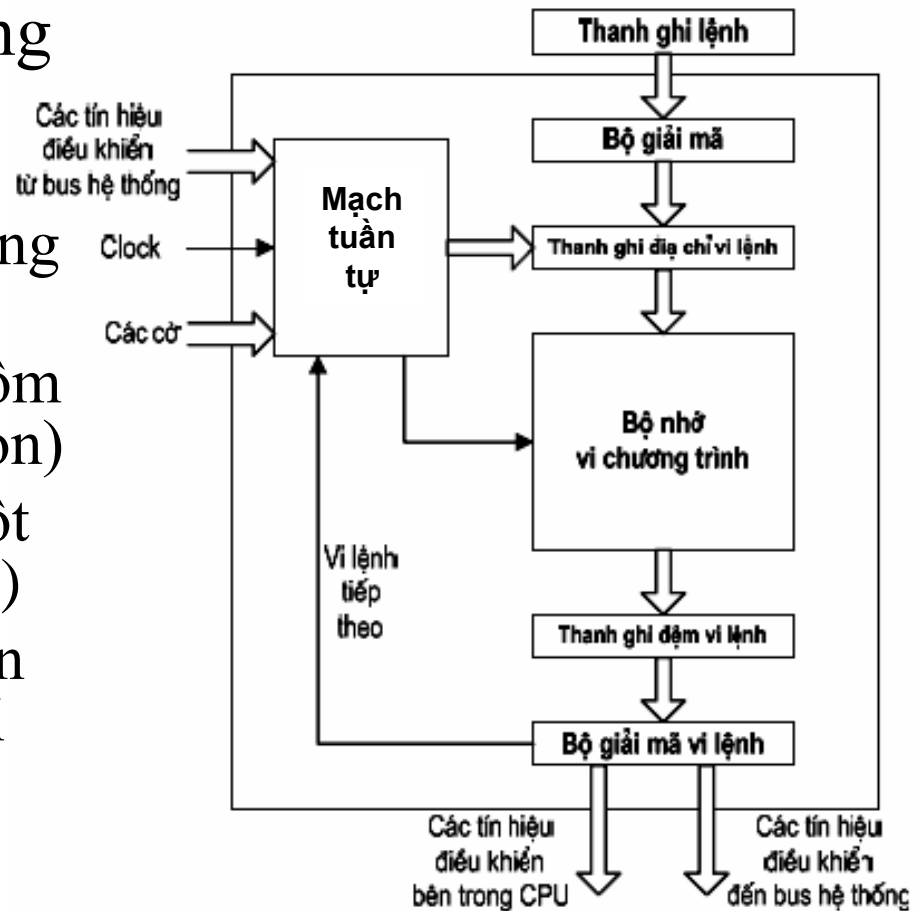


# Đơn vị điều khiển

- Gồm 2 loại:
  - Đơn vị điều khiển vi chương trình  
(Microprogrammed Control Unit)
  - Đơn vị điều khiển phần cứng  
(Hardwired Control Unit)

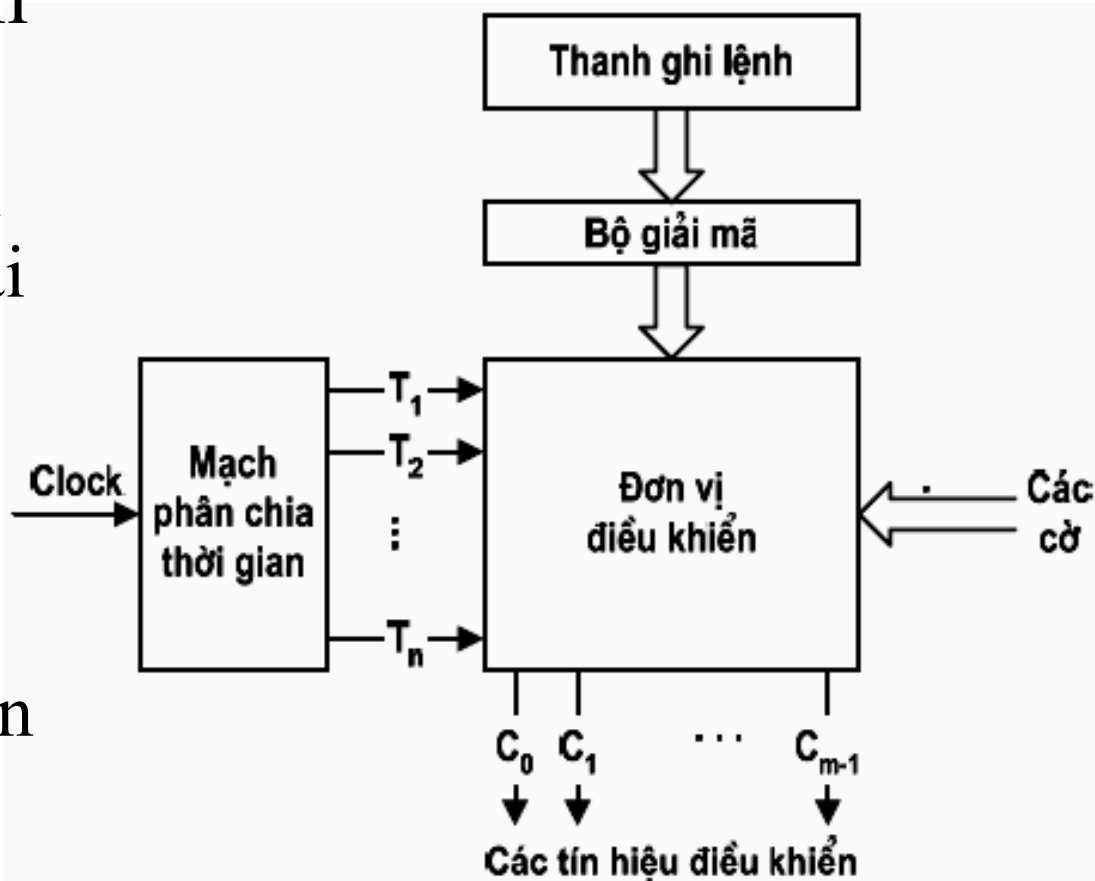
# Đơn vị điều khiển

- Đơn vị điều khiển vi chương trình
  - Bộ nhớ vi chương trình (ROM) lưu trữ các vi chương trình (microprogram)
  - Một vi chương trình bao gồm các vi lệnh (microinstruction)
  - Mỗi vi lệnh mã hoá cho một vi thao tác (microoperation)
  - Để hoàn thành một lệnh cần thực hiện một hoặc một vài vi chương trình
  - Tốc độ chậm



# Đơn vị điều khiển

- Đơn vị điều khiển phần cứng
  - Sử dụng vi mạch phần cứng để giải mã và tạo các tín hiệu điều khiển thực hiện lệnh
  - Tốc độ nhanh
  - Đơn vị điều khiển phức tạp



# Kỹ thuật đường ống lệnh

- Khái niệm
  - Mỗi chu trình lệnh cần thực hiện bằng nhiều thao tác
  - Kỹ thuật đơn hướng (Scalar): Thực hiện tuần tự từng thao tác cho mỗi lệnh → chậm
  - Kỹ thuật đường ống (Pipeline): Thực hiện song song các thao tác cho nhiều lệnh đồng thời → nhanh hơn
  - Ví dụ chu trình 1 lệnh gồm 5 bước:
    - Nhận lệnh (I)
    - Giải mã lệnh (D)
    - Nhận toán hạng (F)
    - Thực hiện lệnh (E)
    - Cát toán hạng (W)

# Kỹ thuật đường ống lệnh

- So sánh scalar và pipeline

- Scalar

- Nhiều chu kỳ máy cho 1 lệnh

Chu kỳ	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Lệnh 1	<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>										
Lệnh 2						<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>					
Lệnh 3											<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>

- Pipeline

- Mỗi chu kỳ máy thực hiện xong 1 lệnh

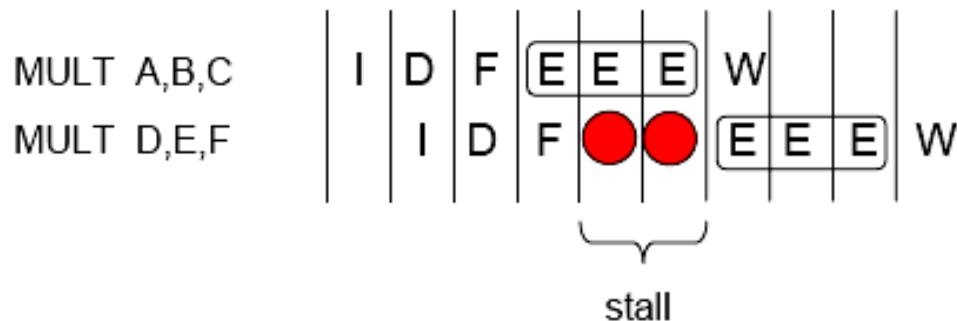
Chu kỳ	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Lệnh 1	<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>										
Lệnh 2		<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>									
Lệnh 3			<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>								
Lệnh 4				<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>							
Lệnh 5					<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>						
Lệnh 6						<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>					
Lệnh 7							<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>				
Lệnh 8								<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>			
Lệnh 9									<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>		
Lệnh 10										<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>	
Lệnh 11											<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>

# Kỹ thuật đường ống lệnh

- Các trở ngại của đường ống lệnh
  - Thực tế không thể luôn đạt 1 chu kỳ máy/lệnh do các trở ngại dẫn đến sự gián đoạn của ống lệnh
  - Trở ngại cấu trúc: do nhiều công đoạn dùng chung một tài nguyên
  - Trở ngại dữ liệu: lệnh sau sử dụng dữ liệu kết quả của lệnh trước
  - Trở ngại điều khiển: do các lệnh rẽ nhánh gây ra

# Kỹ thuật đường ống lệnh

- Trở ngại về cấu trúc
  - Nguyên nhân: Dùng chung tài nguyên
  - Khắc phục:
    - Nhân tài nguyên để tránh xung đột
    - Làm trễ
  - Ví dụ 1: Bus dữ liệu truyền lệnh và dữ liệu → Bus lệnh riêng, bus dữ liệu riêng (cache lệnh và cache dữ liệu)
  - Ví dụ 2: Lệnh nhân cần nhiều chu kỳ thực thi (E)



# Kỹ thuật đường ống lệnh

- Trở ngại về dữ liệu
  - Nguyên nhân: lệnh sau sử dụng dữ liệu kết quả của lệnh trước
  - Các dạng:

RAW	ADD A,B,C ADD E,A,D	Write-A must be earlier than Read-A
-----	------------------------	--

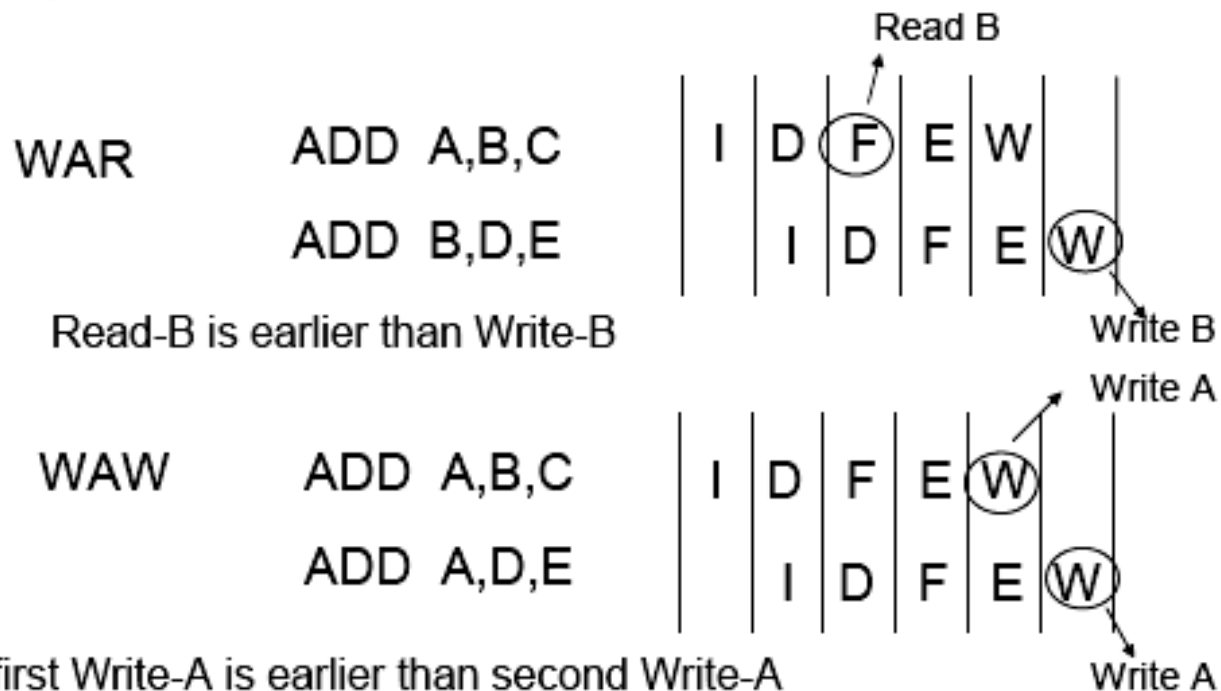
WAR	ADD A,B,C ADD B,D,E	Read-B must be earlier than Write-B
-----	------------------------	--

WAW	ADD A,B,C ADD A,D,E	First Write-A must be earlier Than second Write-A
-----	------------------------	--



# Kỹ thuật đường ống lệnh

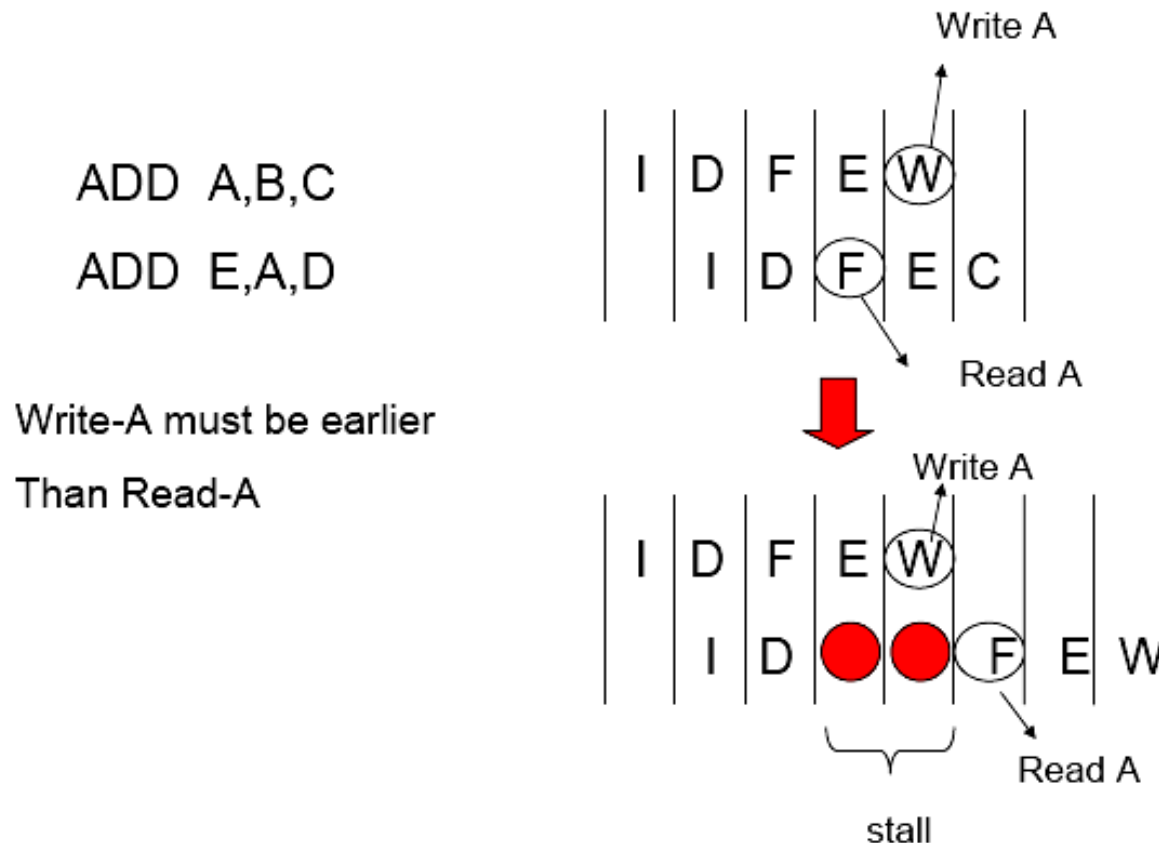
- Trở ngại về dữ liệu (tiếp)



no conflict at in-order pipeline  
conflict at out-of-order pipeline

# Kỹ thuật đường ống lệnh

- Trở ngại về dữ liệu (tiếp)
  - RAW

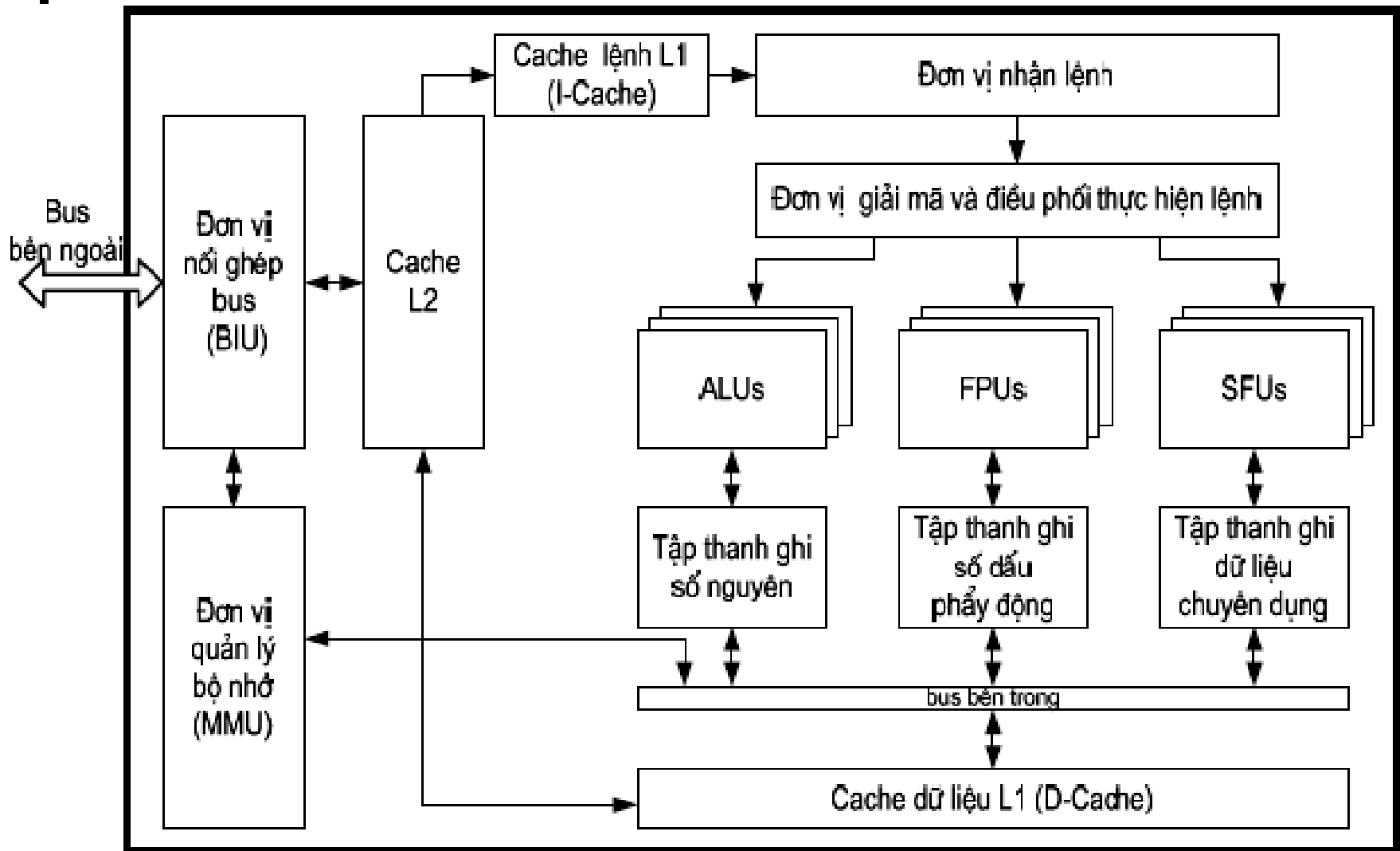


# Kỹ thuật đường ống lệnh

- Trở ngại về điều khiển
  - Do lệnh rẽ nhánh gây ra
  - Đây là dạng trở ngại gây thiệt hại nhiều nhất cho ống lệnh: toàn bộ các lệnh đang thực thi trong ống phải hủy

Chu kỳ	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Lệnh 1	I	D	F	E	W										
Lệnh 2		I	D	F	E				BRA 25 IF Zero						
Lệnh 3			I	D	F										
Lệnh 4				I	D										
Lệnh 5					I										
Lệnh 25						I	D	F	E	W					
Lệnh 26							I	D	F	E	W				
Lệnh 27								I	D	F	E	W			

# Cấu trúc bộ xử lý tiên tiến



# Cấu trúc bộ xử lý tiên tiến

- Các đơn vị xử lý dữ liệu chuyên dụng
  - Các đơn vị số nguyên (ALU)
  - Các đơn vị số dấu chấm động (FPU)
  - Các đơn vị chức năng đặc biệt (SFU)
    - Đơn vị xử lý dữ liệu âm thanh
    - Đơn vị xử lý dữ liệu hình ảnh
    - Đơn vị xử lý dữ liệu vector
- Mục đích: Tăng khả năng xử lý các chức năng chuyên biệt

# Cấu trúc bộ xử lý tiên tiến

- Bộ nhớ cache
  - Được tích hợp trên chip vi xử lý
  - Bao gồm hai đến ba mức cache
  - Cache L1 gồm hai phần tách rời:
    - Cache lệnh (Instruction cache)
    - Cache dữ liệu (Data cache)

→ Giải quyết xung đột khi nhận lệnh và dữ liệu
  - Cache L2 và L3: chung cho lệnh và dữ liệu
- Mục đích: Tăng hiệu suất truy cập bộ nhớ chính

# Cấu trúc bộ xử lý tiên tiến

- Đơn vị quản lý bộ nhớ
  - Thường gọi là đơn vị MMU (Memory Management Unit) dùng để quản lý bộ nhớ ảo
  - Chuyển đổi địa chỉ ảo (trong chương trình) thành địa chỉ vật lý (trong bộ nhớ)
  - Cung cấp cơ chế phân trang/phân đoạn
  - Cung cấp chế độ bảo vệ bộ nhớ
- Mục đích : Tăng dung lượng bộ nhớ chính bằng cách sử dụng bộ nhớ phụ

# Cấu trúc bộ xử lý tiên tiến

- Các kiến trúc máy tính song song
  - Nhu cầu giải các bài toán lớn ngày càng nhiều, cần những máy tính cực mạnh có khả năng xử lý tốc độ cao
  - Kiến trúc máy tính tuần tự (Von-Neumann) tiến đến giới hạn tốc độ, một bộ xử lý duy nhất khó nâng cao hơn nữa khả năng xử lý
  - Các kiến trúc máy tính song song giúp tăng hiệu suất tính toán cho máy tính:
    - Kiến trúc song song mức lệnh IPL (Instruction-level parallelism) : Tăng số lượng lệnh thi hành được trên cùng 1 đơn vị thời gian
    - Kiến trúc song song mức xử lý (Machine parallelism) : Tăng số lượng đơn vị xử lý phần cứng
  - Cần kết hợp cả 2 kiến trúc song song để tạo ra các máy tính có hiệu suất cao



# Cấu trúc bộ xử lý tiên tiến

- Kiến trúc song song mức lệnh
  - Siêu đường ống (Superpipeline)
    - Chia mỗi thao tác trong chu trình lệnh ra  $n$  bước nhỏ → ống lệnh dài hơn
    - Cần  $1/n$  chu kỳ máy cho mỗi thao tác
  - Siêu hướng (Superscalar)
    - Sử dụng nhiều ống lệnh → CPU gồm nhiều đơn vị chức năng, cho phép thi hành nhiều lệnh đồng thời
    - Mỗi chu kỳ máy thực hiện được nhiều lệnh
  - VLIW (Very Long Instruction Word)
    - Ghép nhiều lệnh đơn vào 1 từ máy để thực hiện đồng thời
    - Ví dụ : CPU Itanium họ IA-64 của Intel cho phép ghép 3 lệnh/từ máy gọi là bundle gồm 128 bit

# Cấu trúc bộ xử lý tiên tiến

- Superpipeline

Chu kỳ	1		2		3		4		5		6		7	
Lệnh 1	I1	I2	D1	D2	F1	F2	E1	E2	W1	W2				
Lệnh 2		I1	I2	D1	D2	F1	F2	E1	E2	W1	W2			
Lệnh 3			I1	I2	D1	D2	F1	F2	E1	E2	W1	W2		
Lệnh 4				I1	I2	D1	D2	F1	F2	E1	E2	W1	W2	
Lệnh 5					I1	I2	D1	D2	F1	F2	E1	E2	W1	W2

- Super-scalar

Chu kỳ	1	2	3	4	5	6	7	8	9
Lệnh 1	<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>				
Lệnh 2	<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>				
Lệnh 3		<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>			
Lệnh 4		<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>			
Lệnh 5			<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>		
Lệnh 6			<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>		
Lệnh 7				<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>	
Lệnh 8				<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>	
Lệnh 9					<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>
Lệnh 10					<b>I</b>	<b>D</b>	<b>F</b>	<b>E</b>	<b>W</b>

# Cấu trúc bộ xử lý tiên tiến

- VLIW

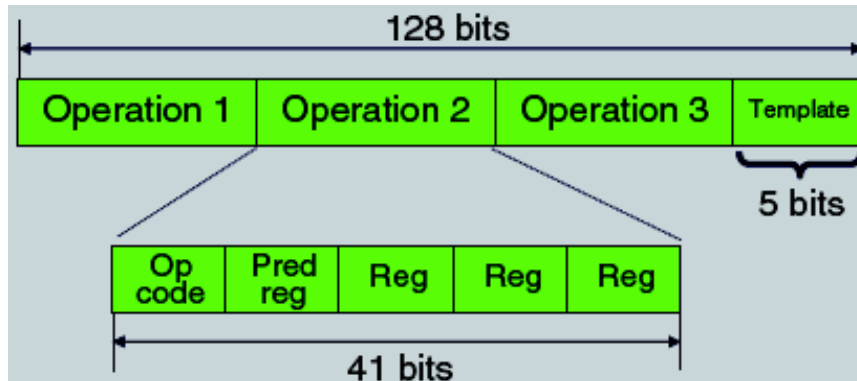
Từ lệnh thông thường



Từ lệnh dài



- Ví dụ: Khuôn dạng lệnh của CPU Intel Itanium

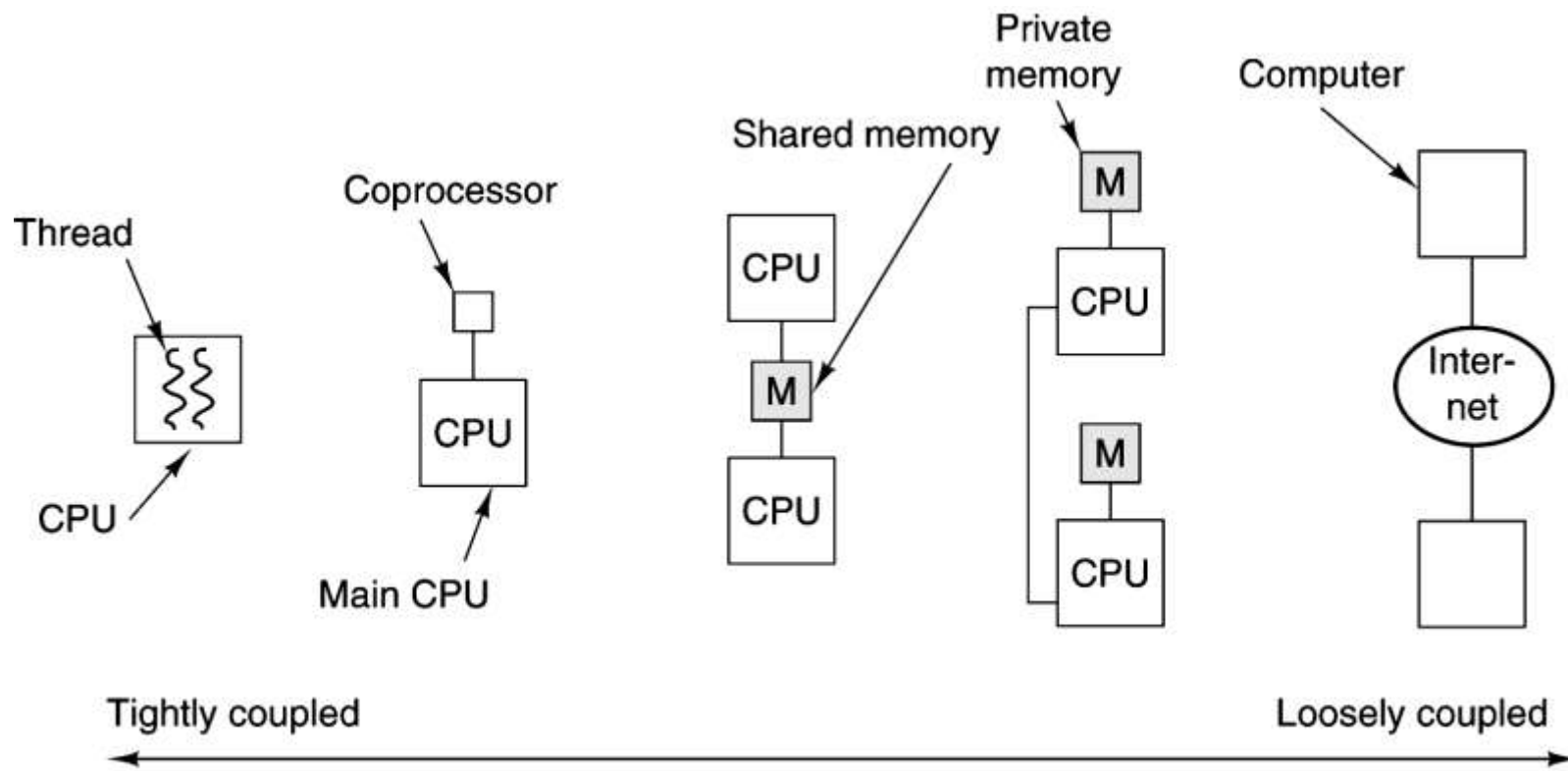


# Cấu trúc bộ xử lý tiên tiến

- Kiến trúc song song mức xử lý
  - Tích hợp nhiều bộ xử lý đồng thời để tăng khả năng thi hành chương trình
  - Các xu hướng phát triển:
    - Đa chương (multi-programming)
    - Đa luồng (multi-threading)
    - Đa nhân (multi-core)
    - Đa xử lý (multi-processing)
    - Đa máy tính (multi-computer)

# Cấu trúc bộ xử lý tiên tiến

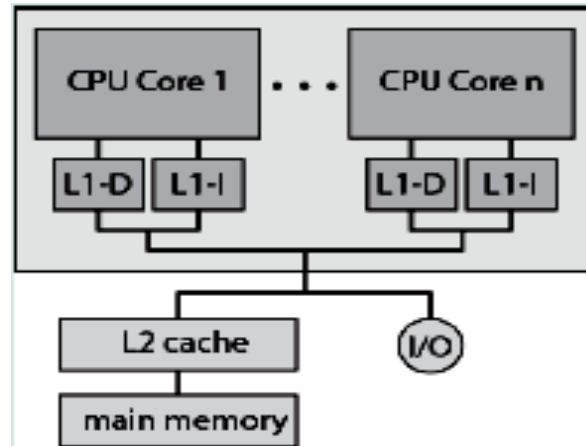
- Kiến trúc song song mức xử lý (tiếp)



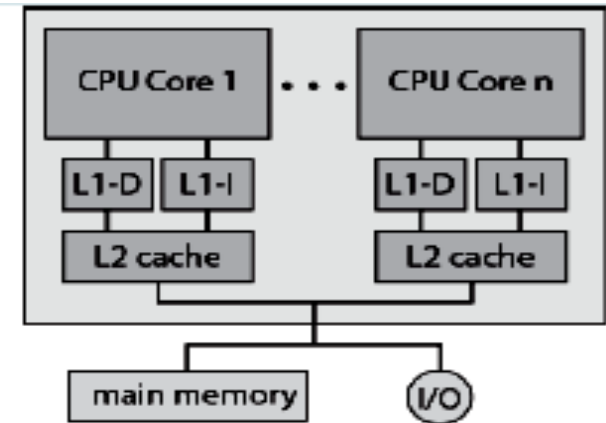
(a) On-chip parallelism (b) Coprocessor (c) Multiprocessor (d) Multicomputer (e) Grid

# Cấu trúc bộ xử lý tiên tiến

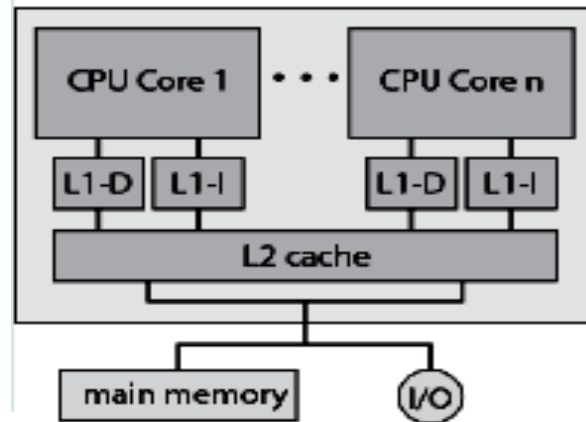
- Multi-core



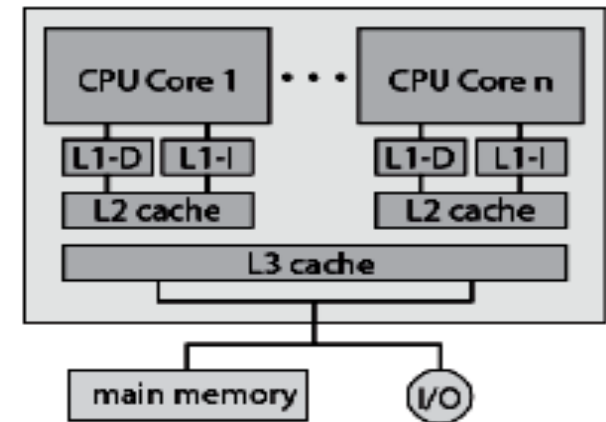
(a) Dedicated L1 cache



(b) Dedicated L2 cache



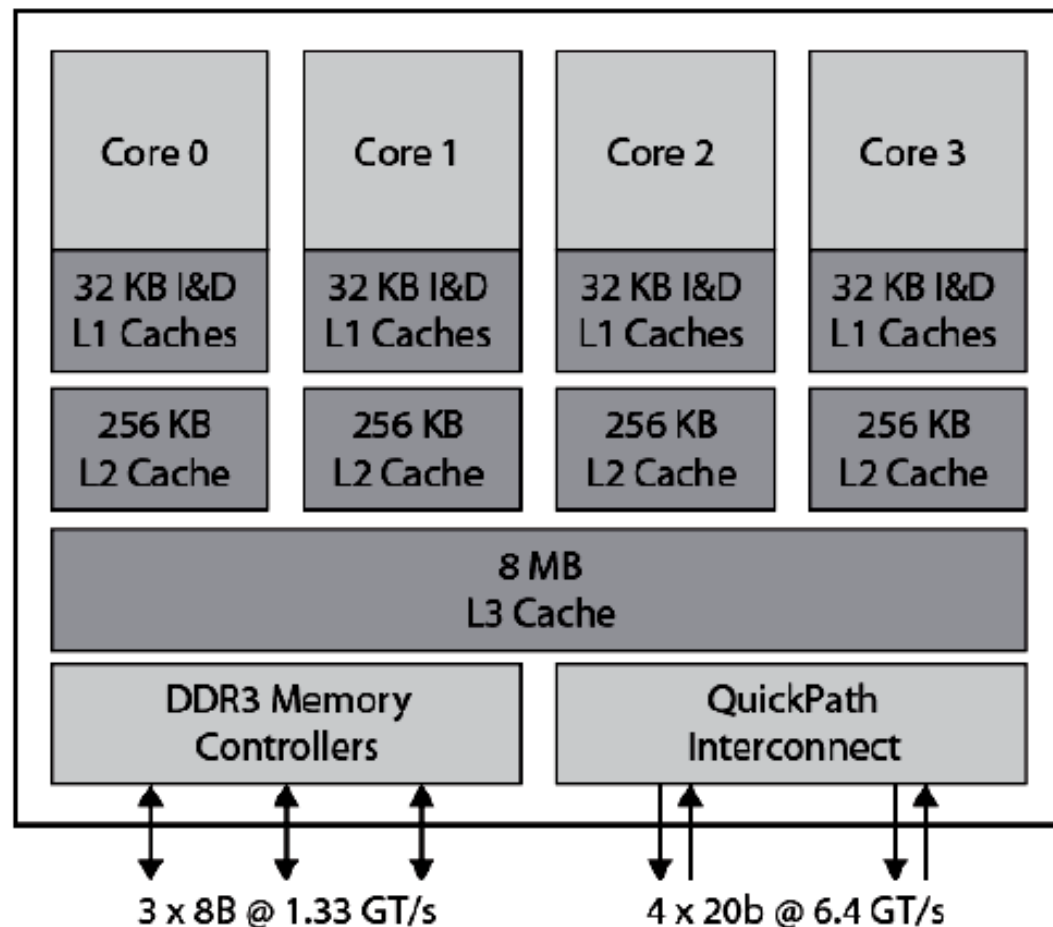
(c) Shared L2 cache



(d) Shared L3 cache

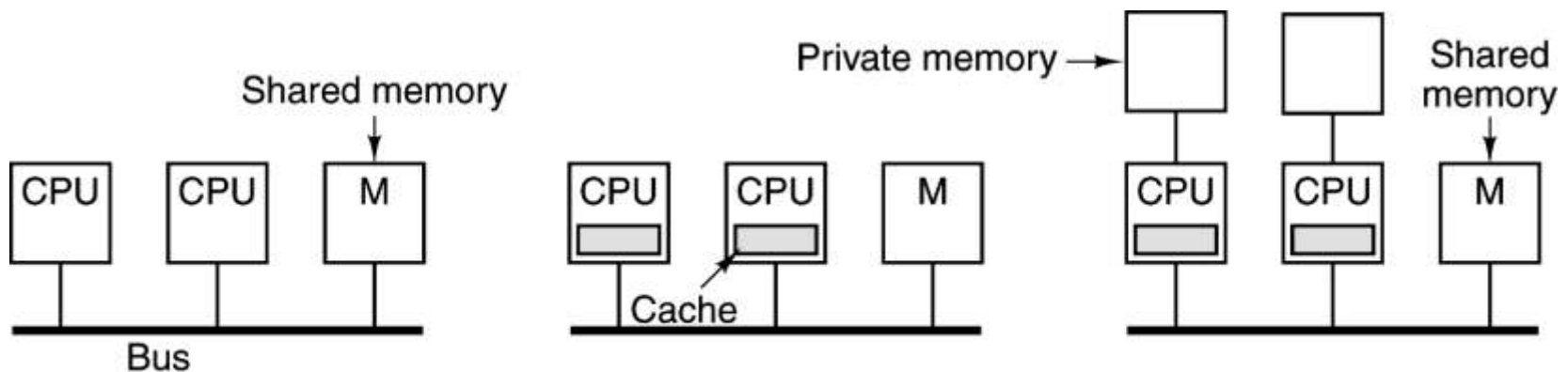
# Cấu trúc bộ xử lý tiên tiến

- Ví dụ : CPU Intel Core i7 gồm 4 nhân



# Cấu trúc bộ xử lý tiên tiến

- Multi-processor
  - Sử dụng bus chung hoặc switch
  - Sử dụng bộ nhớ chung hoặc riêng biệt

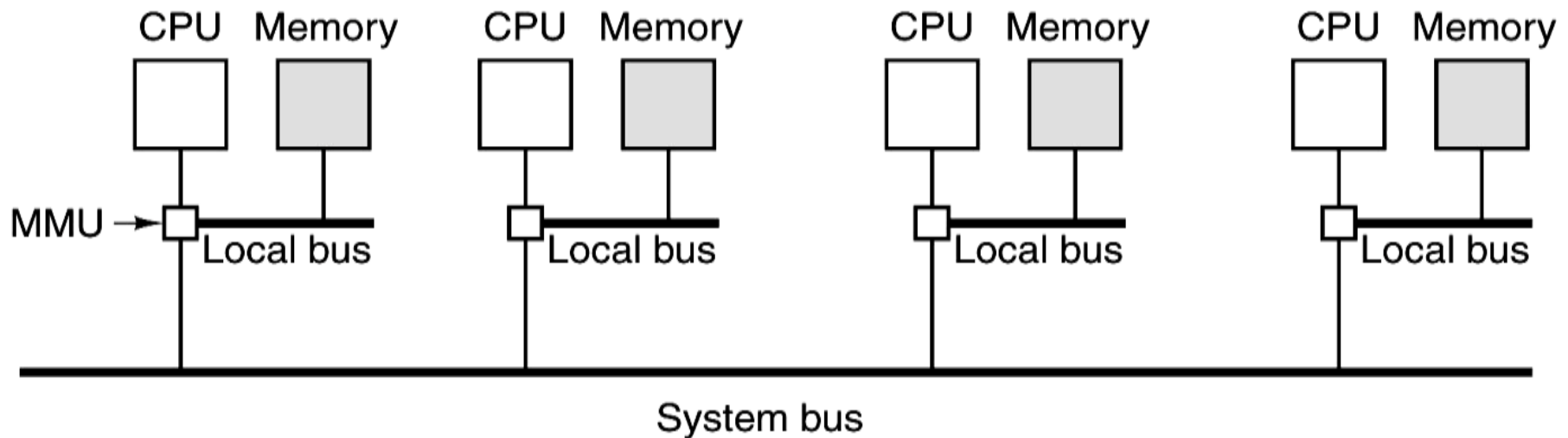


Sơ đồ UMA (Uniform Memory Access) dùng bus chung và bộ nhớ chung



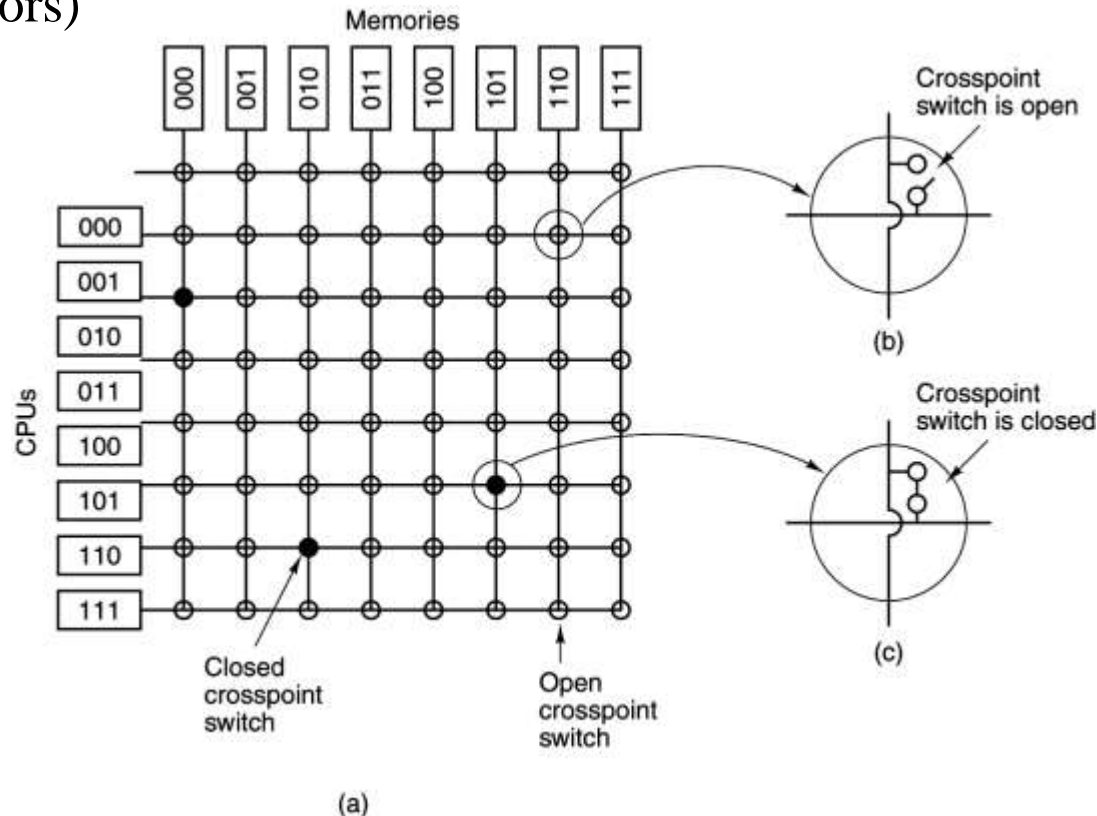
# Cấu trúc bộ xử lý tiên tiến

- Multi-processor (tiếp)
  - Sơ đồ NUMA (Non-Uniform Memory Access)  
dùng bus chung và bộ nhớ riêng



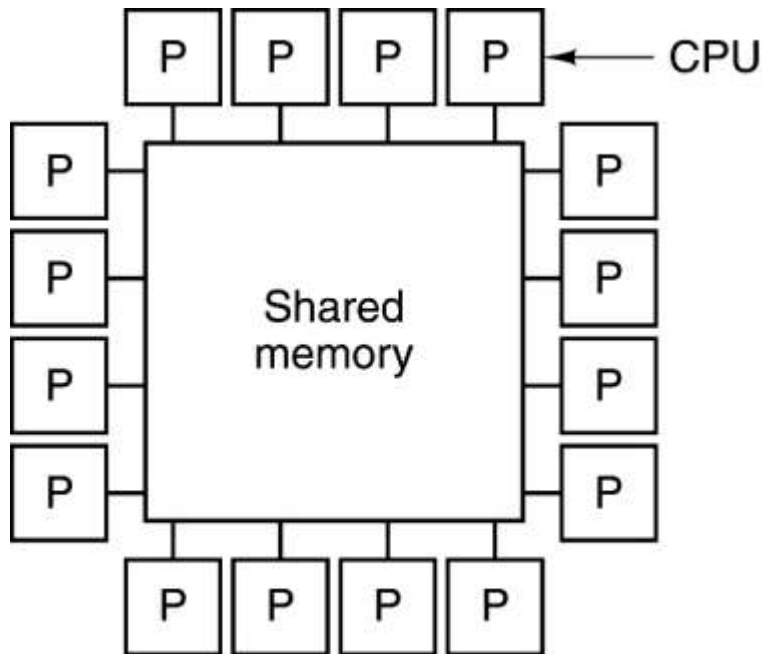
# Cấu trúc bộ xử lý tiên tiến

- Multi-processor (tiếp)
  - Sơ đồ UMA (Uniform Memory Access) dùng switch và bộ nhớ riêng
  - Còn gọi là hệ thống đa xử lý đối xứng SMP (Symmetric Multi-Processors)

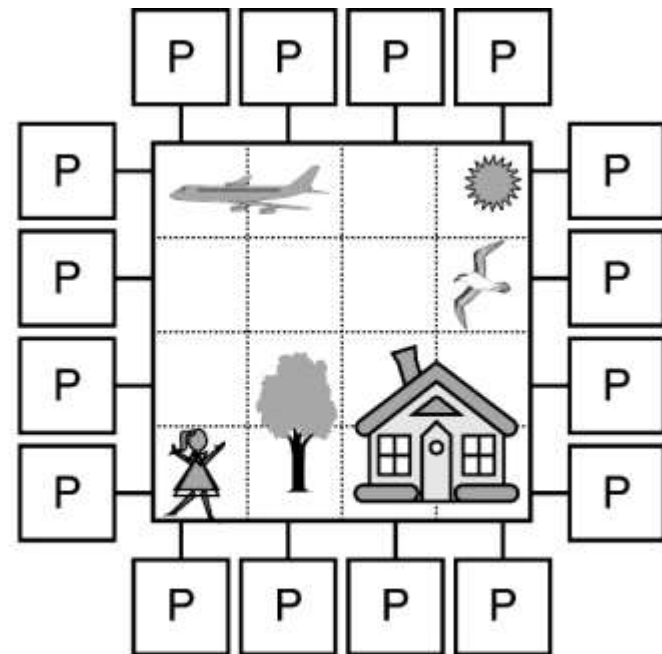


# Cấu trúc bộ xử lý tiên tiến

- Multi-processor (tiếp)
  - Sơ đồ multi-processor dùng bộ nhớ chung



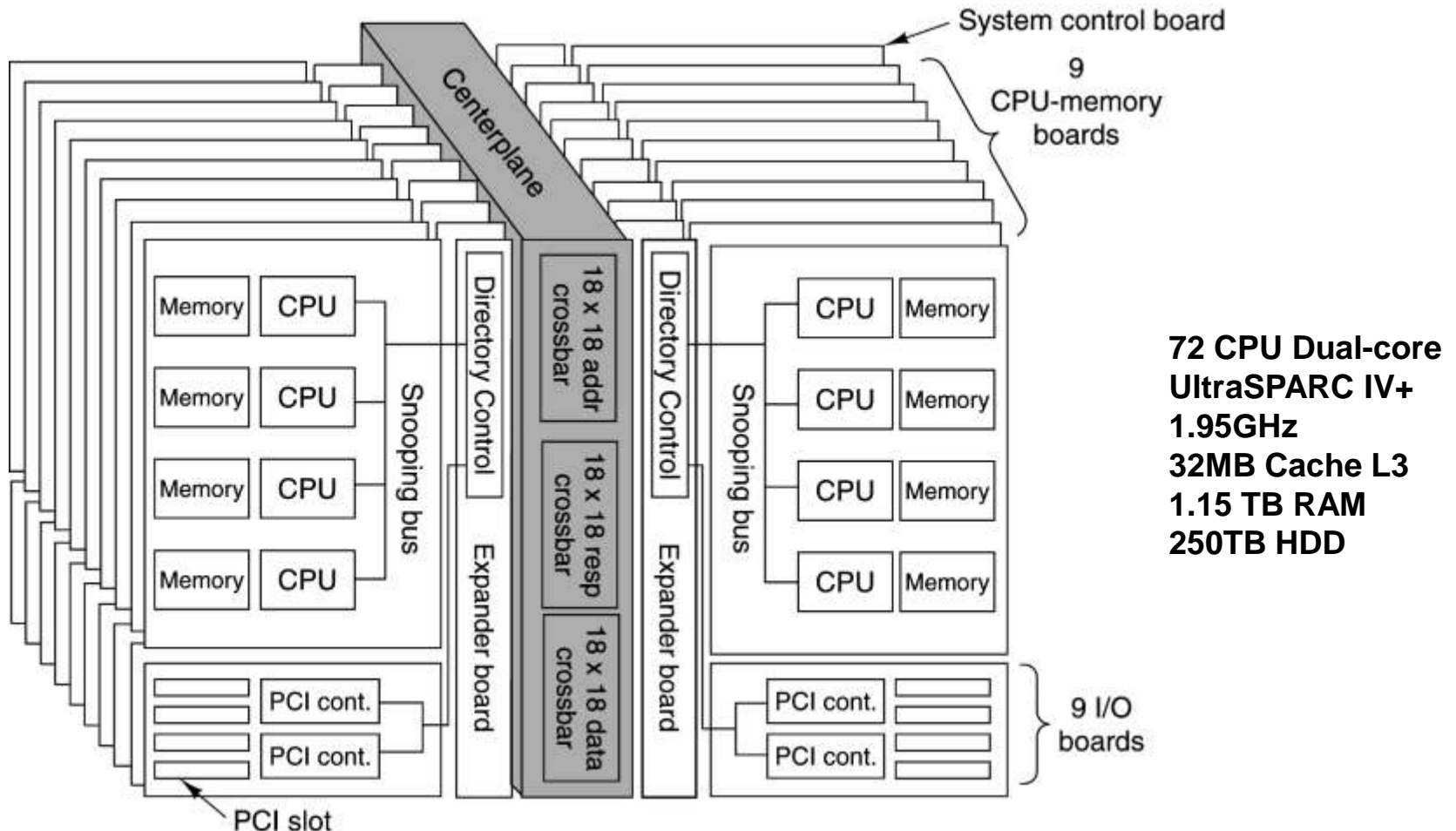
(a)



(b)

# Cấu trúc bộ xử lý tiên tiến

- Ví dụ: Hệ thống SUN E25K (NUMA multi-processor)

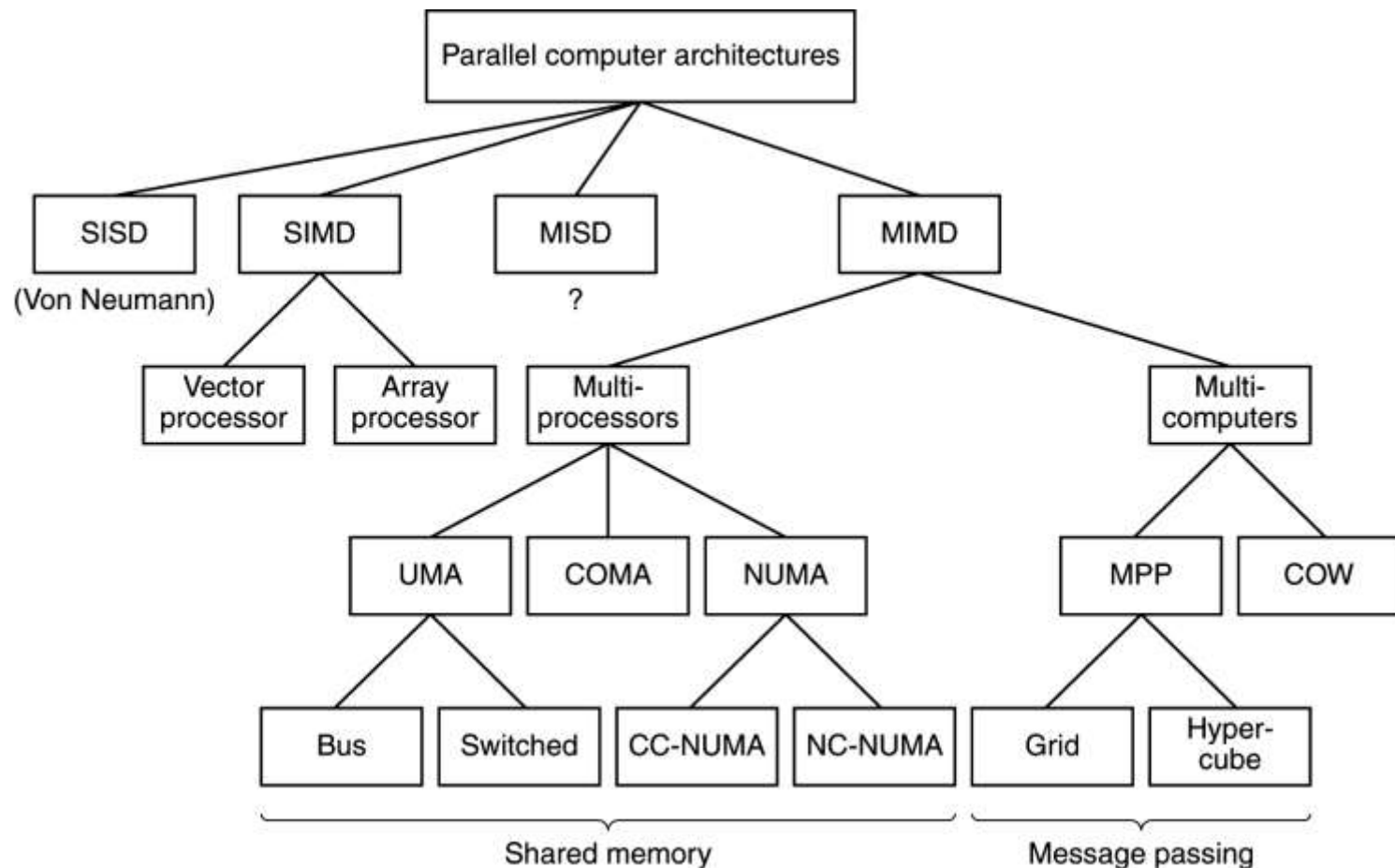


# Cấu trúc bộ xử lý tiên tiến

- Multi-computer
  - Phân loại theo Flynn (1966): Căn cứ vào số lượng lệnh và số lượng dữ liệu có thể xử lý là 1 hay nhiều
    - Single instruction, single data stream – **SISD**
    - Single instruction, multiple data stream – **SIMD**
    - Multiple instruction, single data stream – **MISD**
    - Multiple instruction, multiple data stream- **MIMD**

# Cấu trúc bộ xử lý tiên tiến

- Sơ đồ phân loại Flynn



# Cấu trúc bộ xử lý tiên tiến

- Ví dụ về SIMD

ADD R3 ← R1, R2							
R1	a7	a6	a5	a4	a3	a2	a0
	+	+	+	+	+	+	+
R2	b7	b6	b5	b4	b3	b2	b0
	=	=	=	=	=	=	=
R3	a7+b7	a6+b6	a5+b5	a4+b4	a3+b3	a2+b2	a0+b0

MULADD R3 ← R1, R2							
R1	a7	a6	a5	a4	a3	a2	a0
	x&+	x&+	x&+	x&+	x&+	x&+	x&+
R2	b7	b6	b5	b4	b3	b2	b0
	=	=	=	=	=	=	=
R3	(a6×b6)+(a7×b7)	(a4×b4)+(a5×b5)	(a2×b2)+(a3×b3)	(a0×b0)+(a1×b1)			

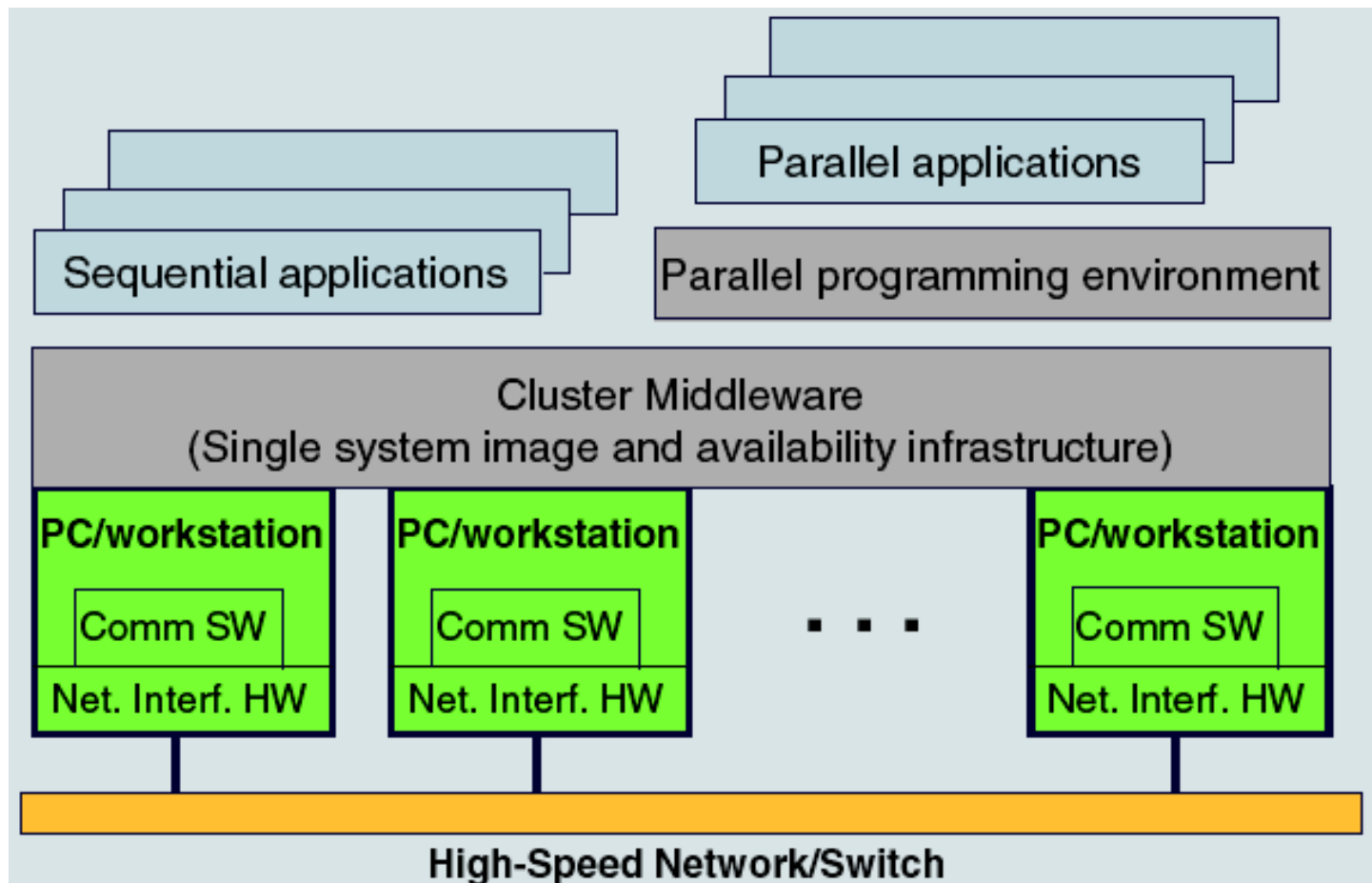
# Cấu trúc bộ xử lý tiên tiến

- Cluster
  - Là 1 dạng máy tính loại MIMD gồm nhiều máy tính độc lập kết nối qua mạng tốc độ cao, mỗi máy có CPU, BN và IO riêng
  - Dùng phương pháp truyền thông báo (Message Passing) để trao đổi thông tin (bằng phần mềm)
    - MPI (Message Passing Interface)
    - PVM (Parallel Virtual Machine)
  - Gồm 2 loại
    - NOW (Network of Workstations) hoặc COW (Cluster of Workstations) : Kết nối qua LAN
    - Grid : Kết nối qua Internet



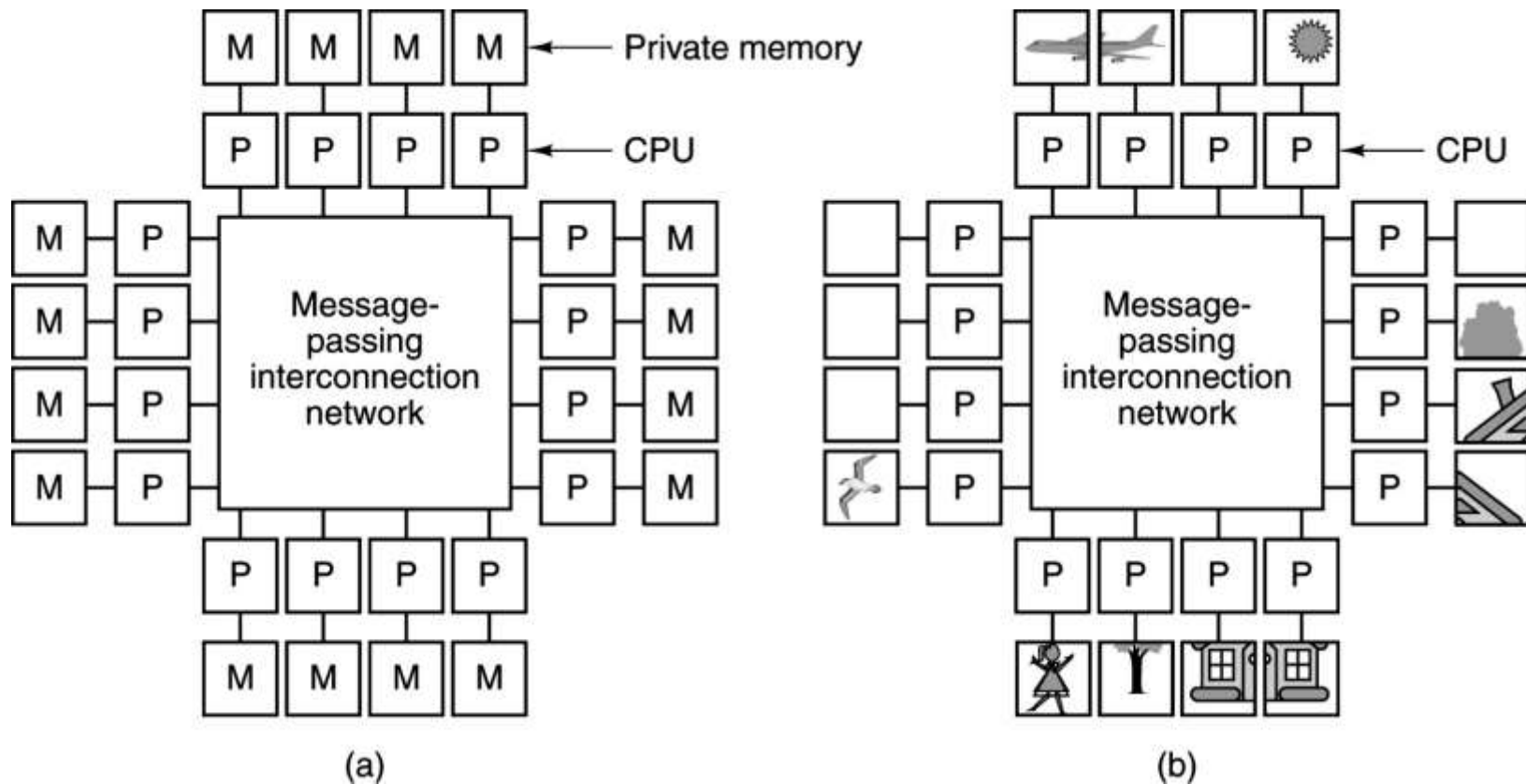
# Cấu trúc bộ xử lý tiên tiến

- Cluster (tiếp)



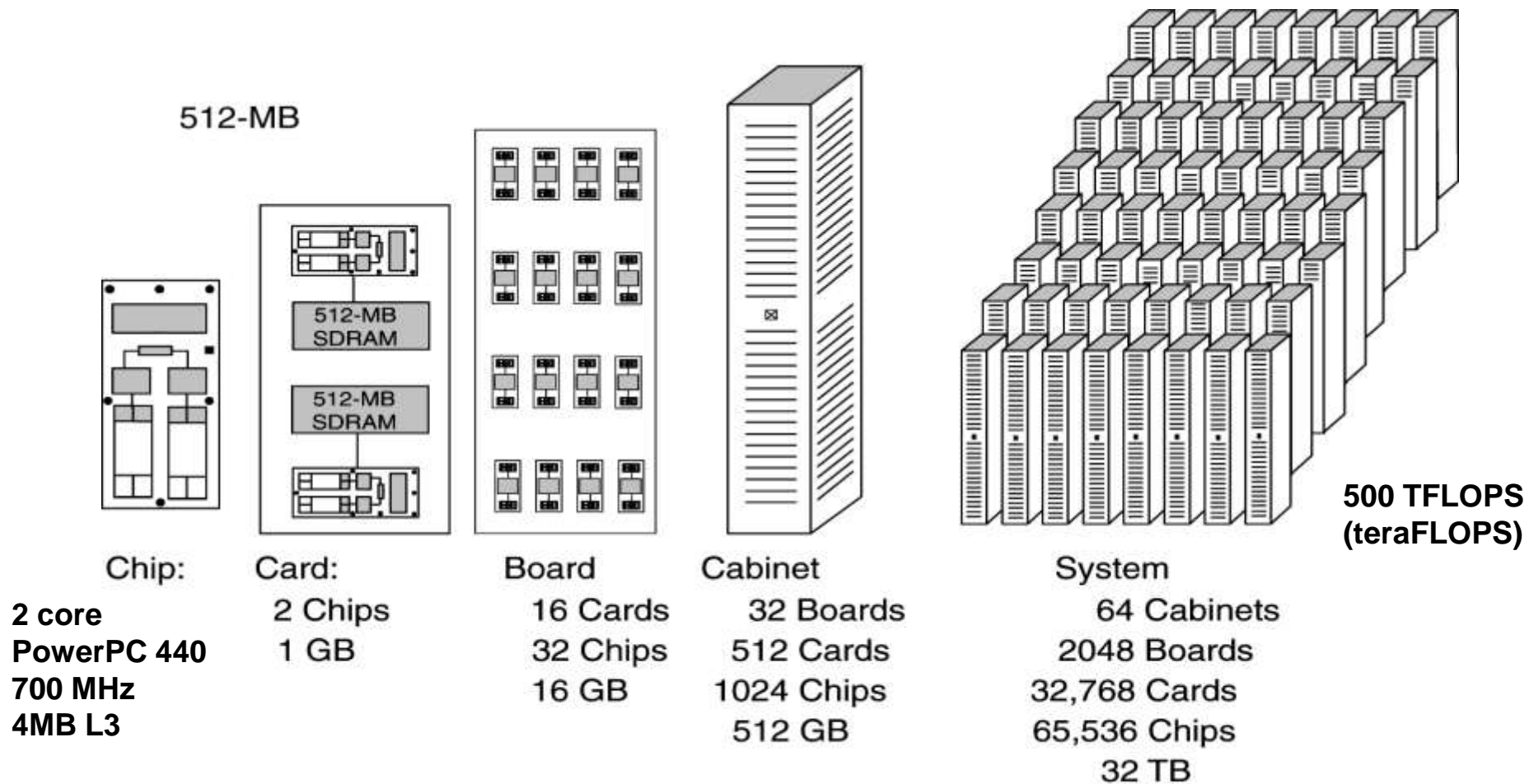
# Cấu trúc bộ xử lý tiên tiến

- Message-passing multi-computer



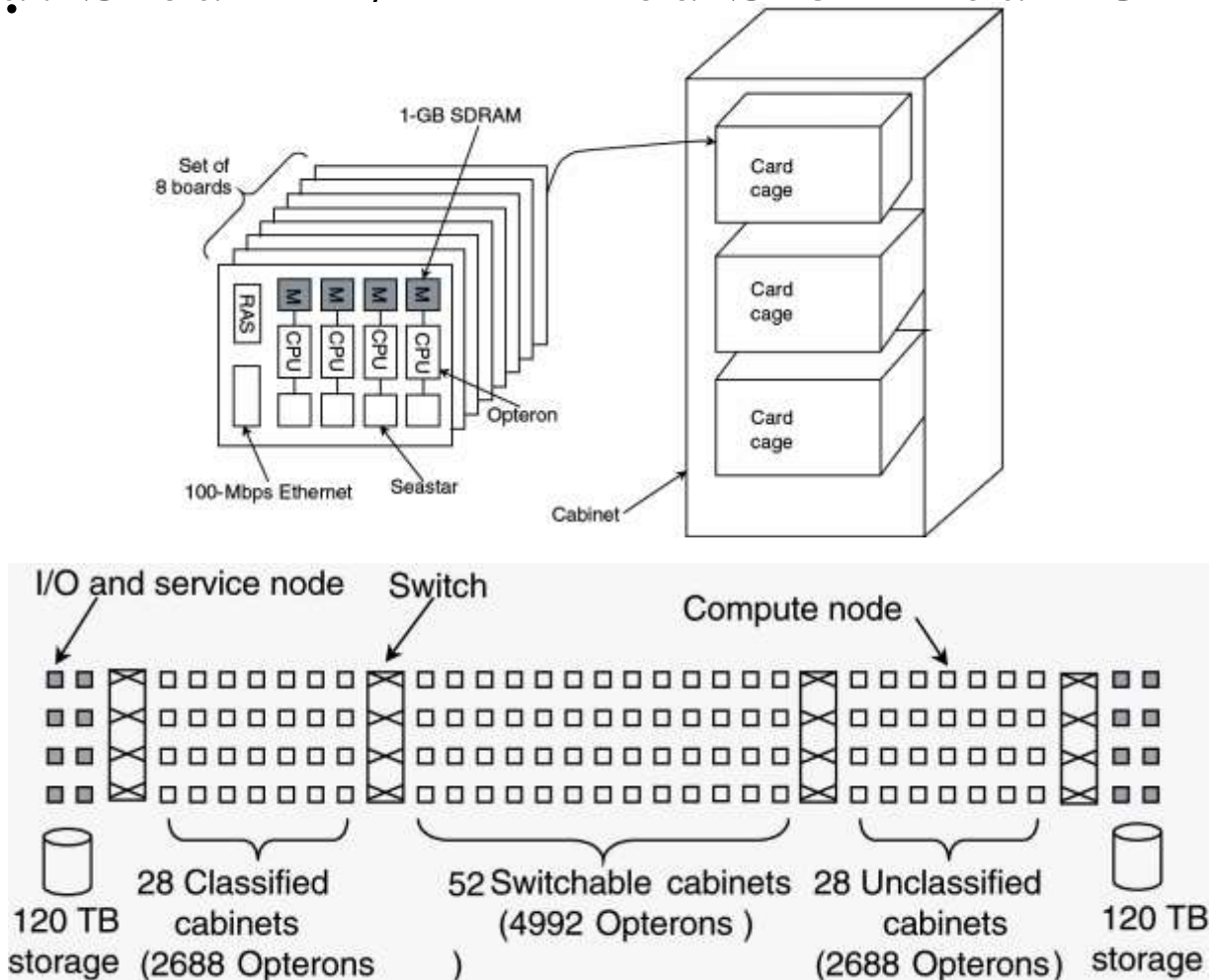
# Cấu trúc bộ xử lý tiên tiến

- Ví dụ: Siêu máy tính Bluegen của IBM



# Cấu trúc bộ xử lý tiên tiến

- Ví dụ: Siêu máy tính Red Storm của Cray



# Cấu trúc bộ xử lý tiên tiến

- So sánh 2 siêu máy tính Bluegen & Red Storm

Item	BlueGene/L	Red Storm
CPU	32-Bit PowerPC	64-Bit Opteron
Clock	700 MHz	2 GHz
Compute CPUs	65,536	10,368
CPUs/board	32	4
CPUs/cabinet	1024	96
Compute cabinets	64	108
Teraflops/sec	71	41
Memory/CPU	512 MB	2–4 GB
Total memory	32 TB	10 TB
Router	PowerPC	Seastar
Number of routers	65,536	10,368
Interconnect	3D torus $64 \times 32 \times 32$	3D torus $27 \times 16 \times 24$
Other networks	Gigabit Ethernet	Fast Ethernet
Partitionable	No	Yes
Compute OS	Custom	Custom
I/O OS	Linux	Linux
Vendor	IBM	Cray Research
Expensive	Yes	Yes

# Cấu trúc bộ xử lý tiên tiến

- Top 10 siêu máy tính 06/2010 trên trang top500.org

Rank	Site	Computer
1	Oak Ridge National Laboratory <a href="#">United States</a>	Jaguar - Cray XT5-HE Opteron Six Core 2.6 GHz <a href="#">Cray Inc.</a>
2	National Supercomputing Centre in Shenzhen <a href="#">China (Thâm Quyển)</a>	Nebulae (Tinh Vân) - Dawning TC3600 Blade, Intel X5650 <a href="#">Dawning</a>
3	DOE/NNSA/LANL <a href="#">United States</a>	Roadrunner - BladeCenter QS22/LS21 Cluster, PowerXCell 8i 3.2 Ghz / Opteron DC 1.8 GHz, Voltaire Infiniband <a href="#">IBM</a>
4	National Institute for Computational Sciences/University of Tennessee <a href="#">United States</a>	Kraken XT5 - Cray XT5-HE Opteron Six Core 2.6 GHz <a href="#">Cray Inc.</a>
5	Forschungszentrum Juelich (FZJ) <a href="#">Germany</a>	JUGENE - Blue Gene/P Solution <a href="#">IBM</a>
6	NASA/Ames Research Center/NAS <a href="#">United States</a>	Pleiades - SGI Altix ICE 8200EX/8400EX, Xeon HT QC 3.0 Ghz <a href="#">SGI</a>
7	National SuperComputer Center in Tianjin/NUDT <a href="#">China (Thiên Tân)</a>	Tianhe-1 (Tinh Hà) - NUDT TH-1 Cluster, Xeon E5540/E5450 <a href="#">NUDT</a>
8	DOE/NNSA/LLNL <a href="#">United States</a>	BlueGene/L - eServer Blue Gene Solution <a href="#">IBM</a>
9	Argonne National Laboratory <a href="#">United States</a>	Intrepid - Blue Gene/P Solution <a href="#">IBM</a>
10	National Renewable Energy Laboratory <a href="#">United States</a>	Red Sky - Sun Blade x6275, Xeon X55xx 2.93 Ghz, Infiniband <a href="#">Sun</a>

# Cấu trúc bộ xử lý tiên tiến

- Top 10 siêu máy tính 06/2011 trên trang top500.org

Rank	Site	Computer
1	RIKEN Advanced Institute for Computational Science - <b>Japan</b>	K computer, SPARC64 VIIIfx 2.0GHz <b>Fujitsu</b>
2	National Supercomputing Center in Tianjin (Thiên Tân) – <b>China</b>	Tianhe-1A (Tinh Hà) X5670 2.93Ghz 6C, NVIDIA GPU <b>NUDT</b>
3	DOE/SC/Oak Ridge National Laboratory <b>United States</b>	Jaguar - Cray XT5-HE Opteron 6-core 2.6 GHz <b>Cray Inc.</b>
4	National Supercomputing Centre in Shenzhen (Thâm Quyển) – <b>China</b>	Nebulae (Tinh Vân) Intel X5650, NVidia Tesla C2050 GPU <b>Dawning</b>
5	GSIC Center, Tokyo Institute of Technology <b>Japan</b>	TSUBAME 2.0 G7 Xeon 6C X5670, Nvidia GPU, <b>NEC/HP</b>
6	DOE/NNSA/LANL/SNL <b>United States</b>	Cielo - Cray XE6 8-core 2.4 GHz <b>Cray Inc.</b>
7	NASA/Ames Research Center/NAS <b>United States</b>	Pleiades Xeon HT QC 3.0/Xeon 5570/5670 2.93 Ghz <b>SGI</b>
8	DOE/SC/LBNL/NERSC <b>United States</b>	Hopper - Cray XE6 12-core 2.1 GHz <b>Cray Inc.</b>
9	Commissariat a l'Energie Atomique (CEA) <b>France</b>	Tera-100 - Bull bullx super-node S6010/S6030 <b>Bull SA</b>
10	DOE/NNSA/LANL <b>United States</b>	Roadrunner - PowerXCell 8i 3.2 Ghz / Opteron DC 1.8 GHz <b>IBM</b>

# Cấu trúc bộ xử lý tiên tiến

- Top 10 siêu máy tính 06/2012 trên trang top500.org

Rank	Site	Computer
1	<a href="#">DOE/NNSA/LLNL</a> United States	<b>Sequoia</b> - <a href="#">BlueGene/Q, Power BQC 16C 1.60 GHz, Custom IBM</a>
2	<a href="#">RIKEN Advanced Institute for Computational Science</a> Japan	<b>K computer</b> , <a href="#">SPARC64 VIIIfx 2.0GHz, Tofu interconnect Fujitsu</a>
3	<a href="#">DOE/SC/Argonne National Laboratory</a> United States	<b>Mira</b> - <a href="#">BlueGene/Q, Power BQC 16C 1.60GHz, Custom IBM</a>
4	<a href="#">Leibniz Rechenzentrum</a> Germany	<b>SuperMUC</b> - <a href="#">iDataPlex DX360M4, Xeon E5-2680 8C 2.70GHz, Infiniband FDR IBM</a>
5	<a href="#">National Supercomputing Center in Tianjin</a> China	<b>Tianhe-1A</b> - <a href="#">NUDT YH MPP, Xeon X5670 6C 2.93 GHz, NVIDIA 2050 NUDT</a>
6	<a href="#">DOE/SC/Oak Ridge National Laboratory</a> United States	<b>Jaguar</b> - <a href="#">Cray XK6, Opteron 6274 16C 2.200GHz, Cray Gemini interconnect, NVIDIA 2090 Cray Inc.</a>
7	<a href="#">CINECA</a> Italy	<b>Fermi</b> - <a href="#">BlueGene/Q, Power BQC 16C 1.60GHz, Custom IBM</a>
8	<a href="#">Forschungszentrum Juelich (FZJ)</a> Germany	<b>JuQUEEN</b> - <a href="#">BlueGene/Q, Power BQC 16C 1.60GHz, Custom IBM</a>
9	<a href="#">CEA/TGCC-GENCI</a> France	<b>Curie thin nodes</b> - <a href="#">Bullx B510, Xeon E5-2680 8C 2.700GHz, Infiniband QDR Bull</a>
10	<a href="#">National Supercomputing Centre in Shenzhen (NSCS)</a> China	<b>Nebulae</b> - <a href="#">Dawning TC3600 Blade System, Xeon X5650 6C 2.66GHz, Infiniband QDR, NVIDIA 2050 Dawning</a>



# Cấu trúc bộ xử lý tiên tiến

- Top 10 siêu máy tính 11/2012 trên trang top500.org

Rank	Site	System	Cores
1	<a href="#">DOE/SC/Oak Ridge National Laboratory</a> United States	<a href="#">Titan</a> - Cray XK7 , Opteron 6274 16C 2.200GHz, Cray Inc.	560.640
2	<a href="#">DOE/NNSA/LLNL</a> United States	<a href="#">Sequoia</a> - BlueGene/Q, Power BQC 16C 1.60 Hz, IBM	1.572.864
3	<a href="#">RIKEN Advanced Institute for Computational Science</a> Japan	<a href="#">K computer</a> , SPARC64 VIIIfx 2.0GHz, Fujitsu	705.024
4	<a href="#">DOE/SC/Argonne National Laboratory</a> United States	<a href="#">Mira</a> - BlueGene/Q, Power BQC 16C 1.60GHz, IBM	786.432
5	<a href="#">Forschungszentrum Juelich (FZJ)</a> Germany	<a href="#">JUQUEEN</a> - BlueGene/Q, Power BQC 16C 1.60GHz, IBM	393.216
6	<a href="#">Leibniz Rechenzentrum</a> Germany	<a href="#">SuperMUC</a> - iDataPlex DX360M4, Xeon E5-2680 8C 2.70GHz, IBM	147.456
7	<a href="#">Texas Advanced Computing Center/Univ. of Texas</a> United States	<a href="#">Stampede</a> - PowerEdge C8220, Xeon E5-2680 8C 2.700GHz, Intel Xeon Phi Dell	204.900
8	<a href="#">National Supercomputing Center in Tianjin</a> China	<a href="#">Tianhe-1A</a> - NUDT YH MPP, Xeon X5670 6C 2.93 GHz, NVIDIA 2050 NUDT	186.368
9	<a href="#">CINECA</a> Italy	<a href="#">Fermi</a> - BlueGene/Q, Power BQC 16C 1.60GHz, IBM	163.840
10	<a href="#">IBM Development Engineering</a> United States	<a href="#">DARPA Trial Subset</a> - Power 775, POWER7 8C 3.836GHz IBM	63.360

# Câu hỏi

