

**Trường ĐH Công Nghiệp TP.HCM**  
**Khoa Công nghệ Điện Tử**  
**Bộ môn Điện Tử Công Nghiệp**

## **ĐỀ CƯƠNG ÔN THI LIÊN THÔNG.**

### **HỆ CAO ĐẲNG - ĐẠI HỌC** **MÔN CHUYÊN NGÀNH - ĐIỆN TỬ SỐ** **PHẦN 1**

**Ngày cập nhật: 07/08/2008**

**Số câu: 424**

#### **CHƯƠNG 1 : HỆ THỐNG SỐ ĐẾM**

1. Số bát phân tương đương của số nhị phân 110100.11 là:  
a. 64.6                      b. 64.3                      c. 34.6                      d. 34.3
2. Số thập phân tương đương của số nhị phân 110100.11 là:  
a. 64.6                      b. 52.75                      c. 34.3                      d. 34.6
3. Số thập lục phân tương đương của số nhị phân 110100.11 là:  
a. 64.6                      b. 64.3                      c. 34.C                      d. 34.3
4. Số nhị phân tương đương của số bát phân 75.3 là:  
a. 01110101.0011                      b. 101111.011                      c. 111101.110                      d. 111101.011
5. Số thập phân tương đương của số bát phân 75.3 là:  
a. 61.375                      b. 61.75                      c. 47.375                      d. 47.75
6. Số thập lục phân tương đương của số bát phân 75.3 là:  
a. 3D.3                      b. 3D.6                      c. CD.6                      d. CD.3
7. Số nhị phân tương đương của số thập phân 25.375 là:  
a. 10011.011                      b. 10011.11                      c. 11001.011                      d. 11001.11
8. Số bát phân tương đương của số thập phân 25.375 là:  
a. 23.6                      b. 23.3                      c. 31.6                      d. 31.3
9. Số thập lục phân tương đương của số thập phân 25.375 là:  
a. 19.6                      b. 19.C                      c. 13.6                      d. 13.C
10. Số BCD8421 tương đương của số thập phân 29.5 là:  
a. 11101.1                      b. 00101001.0101                      c. 101001.101                      d. 00101001.101
11. Số nhị phân tương đương của số thập lục phân 37.E là:  
a. 11111.111                      b. 11111.0111                      c. 110111.111                      d. 110111.0111
12. Số bát phân tương đương của số thập lục phân 37.E là:  
a. 77.7                      b. 77.34                      c. 67.34                      d. 67.7
13. Số thập phân tương đương của số thập lục phân 37.E là:  
a. 55.875                      b. 55.4375                      c. 31.875                      d. 31.4375
14. Số thập phân tương đương của số BCD 00110010.0100 là:  
a. 50.25                      b. 32.4                      c. 32.1                      d. 62.2
15. Mã BCD của số thập phân 251 là:  
a. 10 0101 0001                      b. 0100 0101 0001                      c. 0010 0101 0001                      d. 0010 0101 001
16. Mã quá 3 của số thập phân 47 là:

- a. 110010      b. 100111      c. 1111010      d. 101111
17. Số thập phân tương đương của số nhị phân có mã quá ba 01100100 là  
a. 64      b. 144      c. 100      d. 97
18. Số thập lục phân tương đương của số nhị phân có mã quá ba 01100100 là:  
a. 64      b. 61      c. 100      d. 97
19. Số bát phân tương đương của số nhị phân có mã quá ba 01100101 là:  
a. 145      b. 142      c. 101      d. 98
20. Mã Gray tương đương của số 110010 B là:  
a. 111100      b. 101010      c. 101101      d. 101011
21. Mã Gray tương đương của số nhị phân có mã quá ba 011001 là:  
a. 010101      b. 010001      c. 011101      d. 010110
22. Số bù 1 của số nhị phân 1010 là:  
a. 0101      b. 1001      c. 1011      d. 0110
23. Số bù 2 của số nhị phân 1010 là:  
a. 0101      b. 0110      c. 1100      d. 1000
24. Số thập phân tương đương của số nhị phân 10000000 là:  
a. 100      b. 102      c. 128      d. 127
25. Số thập phân tương đương của số nhị phân 1111 là:  
a. 1111      b. 16      c. 65      d. 15
26. Số thập phân tương đương của số nhị phân 10000001 là:  
a. 129      b. 128      c. 127      d. 126
27. Số thập lục phân tương đương của số nhị phân 11111111 là:  
a. FF      b. 128      c. 255      d. 377
28. Số thập phân tương đương của số bát phân 36 là:  
a. 30      b. 26      c. 44      d. 38
29. Số thập phân tương đương của số bát phân 257 là:  
a. 267      b. 247      c. 157      d. 175
30. Số thập phân tương đương của số thập lục phân 7FF là:  
a. 71515      b. 2047      c. 3777      d. 7000
31. Số nhị phân tương đương của số thập lục phân 7FF là:  
a. 001111111111      b. 100000000000      c. 71515      d. 111111111111
32. Số nhị phân 4 bit biểu diễn được tối đa bao nhiêu số?  
a. 4      b. 8      c. 1111      d. 16
33. Số nhị phân 8 bit biểu diễn được tối đa bao nhiêu số?  
a. 256      b. 255      c. 11111111      d. 10000000
34. Trong hệ thống bát phân có bao nhiêu số có 2 chữ số?  
a. 256      b. 100      c. 64      d. 63
35. Trong hệ thống thập lục phân có bao nhiêu số có 2 chữ số?  
a. 256      b. 100      c. 64      d. 63
36. Trong hệ thống nhị phân ký hiệu LSB mang ý nghĩa sau:  
a. Bit có trọng số nhỏ nhất      b. Bit có trọng số lớn nhất.  
c. Số có nghĩa nhất      d. Số ít nghĩa nhất
37. Trong hệ thống nhị phân ký hiệu MSB mang ý nghĩa sau:  
a. Bit có trọng số nhỏ nhất      b. Bit có trọng số lớn nhất.  
c. Số có nghĩa nhất      d. Số ít nghĩa nhất

**Đề cương ôn thi liên thông môn chuyên ngành, hệ Cao đẳng - Đại học.**

**38.** Một con số trong số nhị phân được gọi là:

- a. Bit                      b. Byte                      c. Nipple                      d. Word

**39.** Phải dùng một số nhị phân có bao nhiêu bit để diễn tả số thập phân 500 ?

- a. 500                      b. 5                      c. 9                      d. 10

**40.** Phải dùng một số nhị phân có bao nhiêu bit để diễn tả số thập phân 1000?

- a. 512                      b. 5                      c. 9                      d. 10

**41.** 1Kbit bằng bao nhiêu bit?

- a. 1000                      b. 1024                      c. 8000                      d. 8192

**42.** 4Kbit bằng bao nhiêu bit?

- a. 4                      b. 1000                      c. 4000                      d. 4096

**43.** 4Mbit bằng bao nhiêu bit?

- a. 4                      b. 4000000                      c. 4194304                      d. 16777216

**44.** 1Kbyte bằng bao nhiêu bit?

- a. 8000                      b. 1024                      c. 1000                      d. 8192

**45.** 2Kbyte bằng bao nhiêu byte?

- a. 2000                      b. 2048                      c. 2                      d. 1024

**46.** Để diễn tả số thập phân 999 thì số bit của số nhị phân ít hơn số bit của số BCD là bao nhiêu bit?

- a. 9                      b. 4                      c. 2                      d. 3

**47.** Các số nhị phân sau số nào không phải là số BCD:

- a. 1001 0011                      b. 1011 0101                      c. 0101 0111                      d. 0011 1001

**48.** Số bù hai của một số nhị phân:

- a. Là chính số nhị phân đó                      b. Số bù 1 cộng thêm 1  
c. Đổi Bit 0 thành 1 một thành 0 của số bù 1                      d. Bù của số bù 1

**49.** 11011 B + 11101 B bằng bao nhiêu ?

- a. 101000 B                      b. 110110 B                      c. 111000 B                      d. 111010 B

**50.** 110110 B - 11101 B bằng bao nhiêu ?

- a. 11001B                      b. 10101 B                      c. 11011 B                      d. 10011 B

## **CHƯƠNG 2 : ĐẠI SỐ BOOLE VÀ CÔNG LOGIC**

**51.** Với mọi phần tử  $x$  thuộc tập hợp  $B = \{0,1\}$ , tồn tại phần tử bù  $\bar{x}$  sao cho:

- a.  $x + \bar{x} = 1$       b.  $x + \bar{x} = 0$       c.  $x + \bar{x} = x$       d.  $x + \bar{x} = \bar{x}$

**52.** Với mọi phần tử  $x$  thuộc tập hợp  $B = \{0,1\}$ , tồn tại phần tử bù  $\bar{x}$  sao cho:

- a.  $x \cdot \bar{x} = 1$       b.  $x \cdot \bar{x} = 0$       c.  $x \cdot \bar{x} = \bar{x}$       d.  $x \cdot \bar{x} = x$

**53.** Với mọi phần tử  $x$  thuộc tập hợp  $B = \{0,1\}$ , tồn tại các hằng số 0 và 1 sao cho:

- a.  $x + 0 = 0$  ;  $x \cdot 1 = 1$       b.  $x + 0 = x$  ;  $x \cdot 1 = 1$   
c.  $x + 0 = x$  ;  $x \cdot 1 = x$       d.  $x + 0 = 0$  ;  $x \cdot 1 = x$

**54.** Với mọi phần tử  $x$  thuộc tập hợp  $B = \{0,1\}$ , tồn tại các hằng số 0 và 1 sao cho:

- a.  $x + 1 = x$  ;  $x \cdot 0 = x$       b.  $x + 1 = 1$  ;  $x \cdot 0 = x$   
c.  $x + 1 = x$  ;  $x \cdot 0 = 0$       d.  $x + 1 = 1$  ;  $x \cdot 0 = 0$

**55.** Với mọi phần tử  $x$  thuộc tập hợp  $B = \{0,1\}$ , ta có:

- a.  $x + x = x$       b.  $x + x = 2x$       c.  $x + x = 0$       d.  $x + x = 1$

**56.** Với mọi phần tử  $x$  thuộc tập hợp  $B = \{0,1\}$ , ta có:

- a.  $x \cdot x = x^2$       b.  $x \cdot x = x$       c.  $x \cdot x = 0$       d.  $x \cdot x = 1$

**57.** Với mọi phần tử  $X$  thuộc tập hợp  $B = \{0,1\}$ , ta có:

- a.  $\overline{\overline{X}} = 0$       b.  $\overline{\overline{X}} = 1$       c.  $\overline{\overline{X}} = X$       d.  $\overline{\overline{X}} = \overline{X}$

**58.** Với mọi phần tử  $x$  và  $y$  thuộc tập hợp  $B = \{0,1\}$ , ta có:

- a.  $\overline{x+y} = \bar{x} + \bar{y}$       b.  $\overline{x+y} = x + y$       c.  $\overline{x+y} = x \cdot y$       d.  $\overline{x+y} = \bar{x} \cdot \bar{y}$

**59.** Với mọi phần tử  $x$  và  $y$  thuộc tập hợp  $B = \{0,1\}$ , ta có:

- a.  $\overline{x \cdot y} = \bar{x} + \bar{y}$       b.  $\overline{x \cdot y} = x + y$       c.  $\overline{x \cdot y} = \bar{x} \cdot \bar{y}$       d.  $\overline{x \cdot y} = x + y$

**60.** Với mọi phần tử  $x, y$  và  $z$  thuộc tập hợp  $B = \{0,1\}$ , ta có:

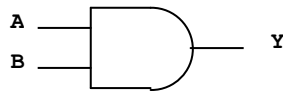
- a.  $\overline{x+y+z} = x \cdot y \cdot z$       b.  $\overline{x+y+z} = \bar{x} \cdot \bar{y} \cdot \bar{z}$   
c.  $\overline{x+y+z} = \bar{x} + \bar{y} + \bar{z}$       d.  $\overline{x+y+z} = x + y + z$

**61.** Với mọi phần tử  $x, y$  và  $z$  thuộc tập hợp  $B = \{0,1\}$ , ta có:

- a.  $\overline{x \cdot y \cdot z} = \bar{x} \cdot \bar{y} \cdot \bar{z}$       b.  $\overline{x \cdot y \cdot z} = x \cdot y \cdot z$   
c.  $\overline{x \cdot y \cdot z} = \bar{x} + \bar{y} + \bar{z}$       d.  $\overline{x \cdot y \cdot z} = x + y + z$

**62.** Cho sơ đồ mạch logic như hình 2.1. Biểu thức đại số logic của ngõ ra Y là:

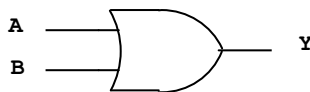
- a.  $Y = A \cdot B$       b.  $Y = A + B$       c.  $Y = \overline{A \cdot B}$       d.  $Y = \overline{A + B}$



**Hình 2.1**

**63.** Cho sơ đồ mạch logic như hình 2.2. Biểu thức đại số của Y là:

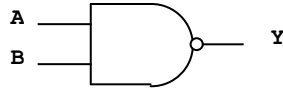
- a.  $Y = A \cdot B$       b.  $Y = A + B$       c.  $Y = \overline{A \cdot B}$       d.  $Y = \overline{A + B}$



**Hình 2.2**

**64.** Cho sơ đồ mạch logic như hình 2.3. Biểu thức đại số của Y là:

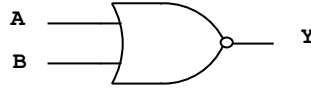
- a.  $Y = A \cdot B$       b.  $Y = A + B$       c.  $Y = \overline{A \cdot B}$       d.  $Y = \overline{A + B}$



Hình 2.3

65. Cho sơ đồ mạch logic như hình 2.4. Biểu thức đại số của Y là:

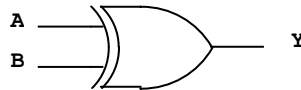
- a.  $Y = A.B$       b.  $Y = A+B$       c.  $Y = \overline{A.B}$       d.  $Y = \overline{A+B}$



Hình 2.4

66. Cho sơ đồ mạch logic như hình 2.5. Biểu thức đại số của Y là:

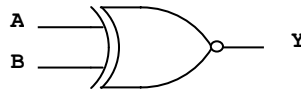
- a.  $Y = A.\overline{B} + \overline{A}.B$       b.  $Y = A.B + \overline{A}.\overline{B}$       c.  $Y = A + B$       d.  $Y = \overline{A+B}$



Hình 2.5

67. Cho sơ đồ mạch logic như hình 2.6. Biểu thức đại số của Y là:

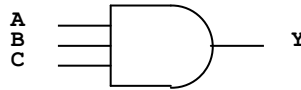
- a.  $Y = A.\overline{B} + \overline{A}.B$       b.  $Y = A.B + \overline{A}.\overline{B}$       c.  $Y = A + B$       d.  $Y = \overline{A+B}$



Hình 2.6

68. Cho sơ đồ mạch logic như hình 2.7. Biểu thức đại số của Y là:

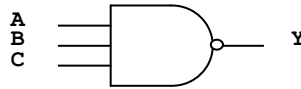
- a.  $Y = A.B.C$       b.  $Y = A + B + C$       c.  $Y = \overline{A.B.C}$       d.  $Y = \overline{A+B+C}$



Hình 2.7

69. Cho sơ đồ mạch logic như hình 2.8. Biểu thức đại số của Y là:

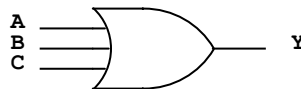
- a.  $Y = A.B.C$       b.  $Y = A + B + C$       c.  $Y = \overline{A.B.C}$       d.  $Y = \overline{A+B+C}$



Hình 2.8

70. Cho sơ đồ mạch logic như hình 2.9. Biểu thức đại số của Y là:

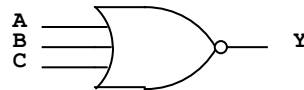
- a.  $Y = A.B.C$       b.  $Y = A + B + C$       c.  $Y = \overline{A.B.C}$       d.  $Y = \overline{A+B+C}$



Hình 2.9

71. Cho sơ đồ mạch logic như hình 2.10. Biểu thức đại số của Y là:

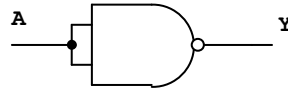
- a.  $Y = A.B.C$       b.  $Y = A + B + C$       c.  $Y = \overline{A.B.C}$       d.  $Y = \overline{A+B+C}$



Hình 2.10

72. Cho sơ đồ mạch logic như hình 2.11. Biểu thức đại số của Y là:

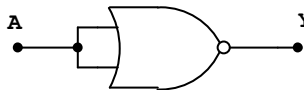
- a.  $Y = A$       b.  $Y = \bar{A}$       c.  $Y = A \cdot \bar{A}$       d.  $Y = A + \bar{A}$



Hình 2.11

73. Cho sơ đồ mạch logic như hình 2.12. Biểu thức đại số của Y là:

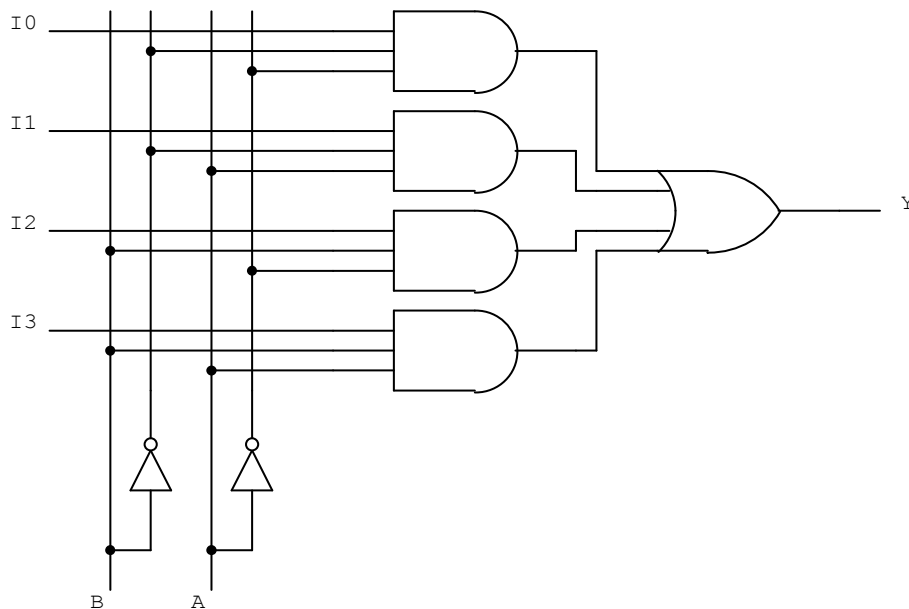
- a.  $Y = A$       b.  $Y = A \cdot \bar{A}$       c.  $Y = \bar{A}$       d.  $Y = A + \bar{A}$



Hình 2.12

74. Cho sơ đồ mạch logic như hình 2.12a. Biểu thức đại số của Y là:

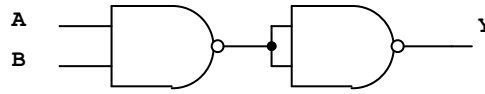
- a.  $Y = (\bar{B} + \bar{A} + I_0)(\bar{B} + A + I_1)(B + \bar{A} + I_2)(B + A + I_3)$   
 b.  $Y = \bar{B} \bar{A} I_0 + \bar{B} A I_1 + B \bar{A} I_2 + B A I_3$   
 c.  $Y = \bar{B} \bar{A} I_3 + \bar{B} A I_2 + B \bar{A} I_1 + B A I_0$   
 d. Cả 3 câu a, b, c đều sai



Hình 2.12a

75. Cho sơ đồ mạch logic như hình 2.13. Biểu thức đại số của Y là:

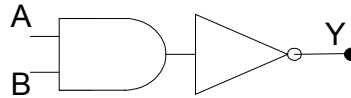
- a.  $Y = A \cdot B$       b.  $Y = A + B$       c.  $Y = \overline{A \cdot B}$       d.  $Y = \overline{A + B}$



Hình 2.13

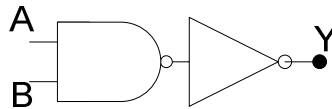
76. Cho sơ đồ mạch logic như hình 2.13a. Biểu thức đại số của Y là:

- a.  $Y = A.B$       b.  $Y = A+B$       c.  $Y = \overline{A.B}$       d.  $Y = \overline{A+B}$



Hình 2.13a

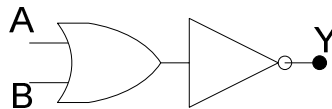
77. Cho sơ đồ mạch logic như hình 2.13b. Biểu thức đại số của Y là:



Hình 2.13b

- a.  $Y = A.B$       b.  $Y = A+B$       c.  $Y = \overline{A.B}$       d.  $Y = \overline{A+B}$

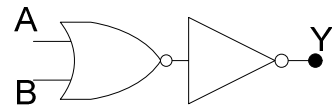
78. Cho sơ đồ mạch logic như hình 2.13c. Biểu thức đại số của Y là:



Hình 2.13c

- a.  $Y = A.B$       b.  $Y = A+B$       c.  $Y = \overline{A.B}$       d.  $Y = \overline{A+B}$

79. Cho sơ đồ mạch logic như hình 2.13d. Biểu thức đại số của Y là:

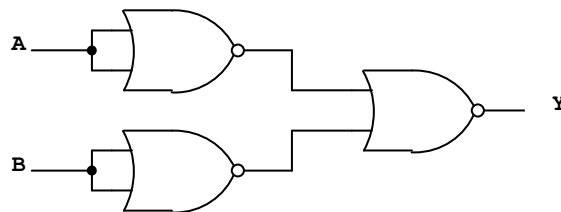


Hình 2.13d

- a.  $Y = A.B$       b.  $Y = A+B$       c.  $Y = \overline{A.B}$       d.  $Y = \overline{A+B}$

80. Cho sơ đồ mạch logic như hình 2.14. Biểu thức đại số của Y là:

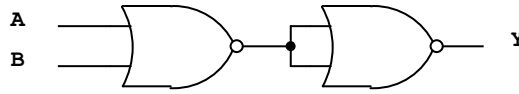
- a.  $Y = A.B$       b.  $Y = A+B$       c.  $Y = \overline{A.B}$       d.  $Y = \overline{A+B}$



Hình 2.14

81. Cho sơ đồ mạch logic như hình 2.15. Biểu thức đại số của Y là:

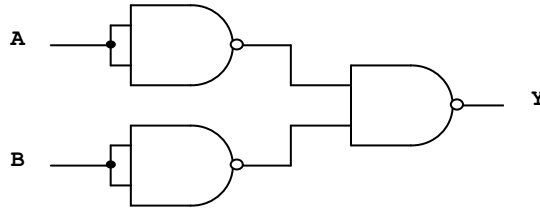
- a.  $Y = A.B$       b.  $Y = A+B$       c.  $Y = \overline{A.B}$       d.  $Y = \overline{A+B}$



Hình 2.15

82. Cho sơ đồ mạch logic như hình 2.16. Biểu thức đại số của Y là:

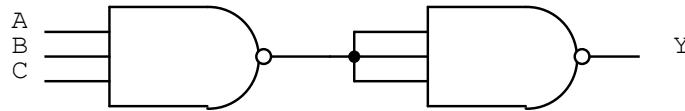
- a.  $Y = A.B$       b.  $Y = A+B$       c.  $Y = \overline{A.B}$       d.  $Y = \overline{A+B}$



Hình 2.16

83. Cho sơ đồ mạch logic như hình 2.17. Biểu thức đại số của Y là:

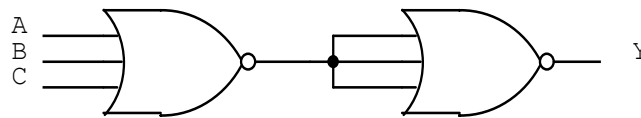
- a.  $Y = A.B.C$       b.  $Y = A+B+C$       c.  $Y = \overline{A.B.C}$       d.  $Y = \overline{A+B+C}$



Hình 2.17

84. Cho sơ đồ mạch logic như hình 2.18. Biểu thức đại số của Y là:

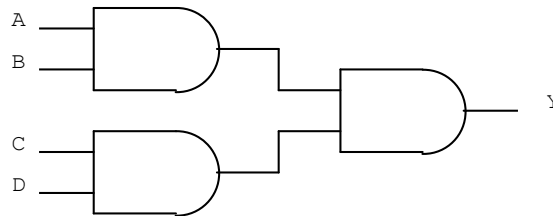
- a.  $Y = A.B.C$       b.  $Y = A+B+C$       c.  $Y = \overline{A.B.C}$       d.  $Y = \overline{A+B+C}$



Hình 2.18

85. Cho sơ đồ mạch logic như hình 2.19. Biểu thức đại số của Y là:

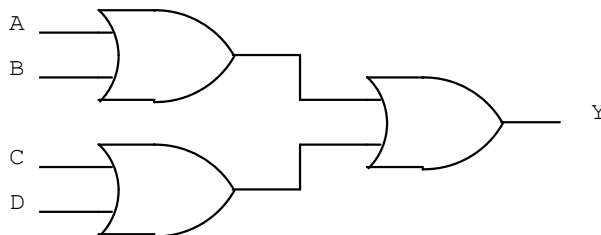
- a.  $Y = A.B.C.D$       b.  $Y = A+B+C+D$       c.  $Y = A.B + C.D$       d.  $Y = (A+B)(C+D)$



Hình 2.19

86. Cho sơ đồ mạch logic như hình 2.20. Biểu thức đại số của Y là:

- a.  $Y = A.B.C.D$       b.  $Y = A+B+C+D$       c.  $Y = A.B + C.D$       d.  $Y = (A+B)(C+D)$



Hình 2.20

87. Cho sơ đồ mạch logic như hình 2.21. Biểu thức đại số của Y là:

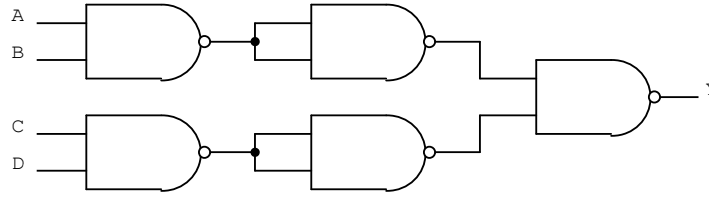


a.  $Y = A.B.C.D$

b.  $Y = A+B+C+D$

c.  $Y = \overline{A.B.C.D}$

d.  $Y = \overline{A + B + C + D}$



Hình 2.21

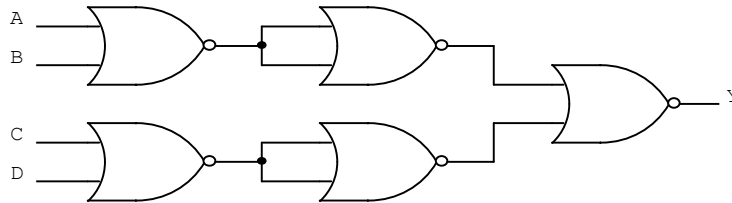
88. Cho sơ đồ mạch logic như hình 2.22. Biểu thức đại số của Y là:

a.  $Y = A.B.C.D$

b.  $Y = A+B+C+D$

c.  $Y = \overline{A.B.C.D}$

d.  $Y = \overline{A + B + C + D}$



Hình 2.22

89. Cho  $Z = \overline{A.B} + C.D + 0$  thì hàm đảo của Z là:

a.  $\overline{Z} = (A+B)(C+D).1$

b.  $\overline{Z} = (A+B)(\overline{C+D}).1$

c.  $\overline{Z} = A+B.\overline{C}+\overline{D}.1$

d.  $\overline{Z} = (\overline{A+B})(C+D).0$

90. Cho  $Z = \overline{A.BC} + C.\overline{D}$  thì hàm đảo của Z là:

a.  $\overline{Z} = (A+\overline{B+C})(\overline{C+D})$

b.  $\overline{Z} = (A+\overline{B+C})(\overline{C+D})$

c.  $\overline{Z} = A+B+C.\overline{C}+D$

d.  $\overline{Z} = (A+\overline{B+C})(\overline{C+D})$

91. Cho  $Z = A+B+\overline{C}+\overline{D}+\overline{E}$  thì hàm đảo của Z là:

a.  $\overline{Z} = \overline{A.B.C.D.E}$

b.  $\overline{Z} = \overline{A.B.C.D.E}$

c.  $\overline{Z} = \overline{A.B.C.D.E}$

d.  $\overline{Z} = \overline{A.B.C.D.E}$

92. Cho  $Z = A.\overline{C} + B + \overline{C} + \overline{D.E}$  thì hàm đảo của Z là:

a.  $\overline{Z} = \overline{A+C.B.C.D+E}$

b.  $\overline{Z} = (\overline{A+C})(\overline{B.C}(\overline{D+E}))$

c.  $\overline{Z} = \overline{A+C.B.C.(\overline{D+E})}$

d.  $\overline{Z} = (\overline{A+C}).\overline{B.C.(\overline{D+E})}$

93. Cho  $Z = A+B+\overline{C}+\overline{D}+\overline{E}$  thì hàm đối ngẫu của Z là:

a.  $Z' = \overline{A.B.C.D.E}$

b.  $Z' = \overline{A.B.C.D.E}$

c.  $Z' = \overline{A.B.C.D.E}$

d.  $Z' = \overline{A.B.C.D.E}$

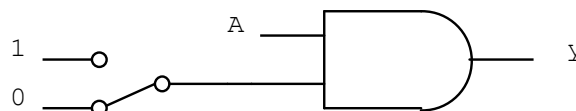
94. Cho sơ đồ mạch logic như hình 2.23. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

a. Ở mức cao

b. Ở mức thấp

c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A

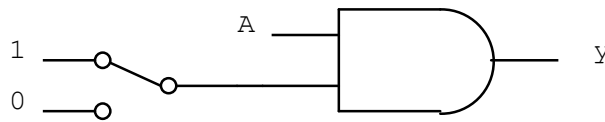
d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



Hình 2.23

95. Cho sơ đồ mạch logic như hình 2.24. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

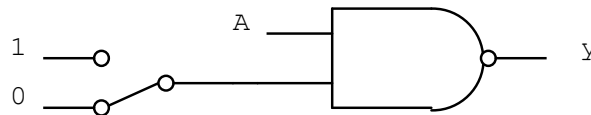
- a. Ở mức cao  
b. Ở mức thấp  
c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A  
d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



Hình 2.24

96. Cho sơ đồ mạch logic như hình 2.25. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

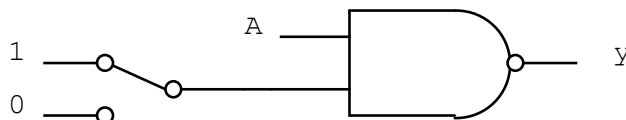
- a. Ở mức cao  
b. Ở mức thấp  
c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A  
d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



Hình 2.25

97. Cho sơ đồ mạch logic như hình 2.26. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

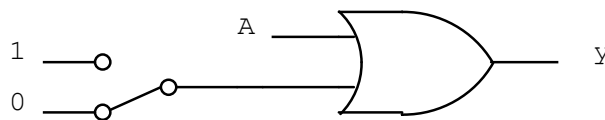
- a. Ở mức cao  
b. Ở mức thấp  
c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A  
d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



Hình 2.26

98. Cho sơ đồ mạch logic như hình 2.27. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

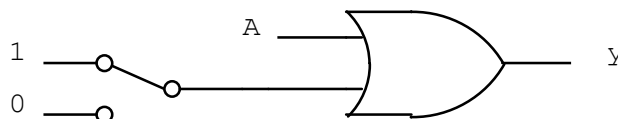
- a. Ở mức cao  
b. Ở mức thấp  
c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A  
d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



Hình 2.27

99. Cho sơ đồ mạch logic như hình 2.28. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

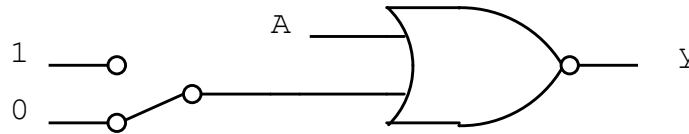
- a. Ở mức cao  
b. Ở mức thấp  
c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A  
d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



Hình 2.28

100. Cho sơ đồ mạch logic như hình 2.29. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

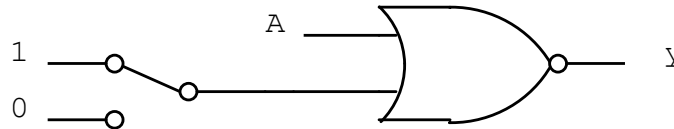
- a. Ở mức cao
- b. Ở mức thấp
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



Hình 2.29

101. Cho sơ đồ mạch logic như hình 2.30. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

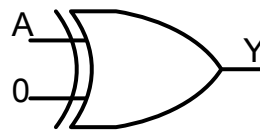
- a. Ở mức cao
- b. Ở mức thấp
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



Hình 2.30

102. Cho sơ đồ mạch logic như hình 2.47. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

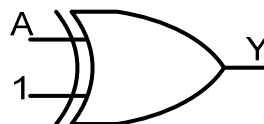
- a. Ở mức cao
- b. Ở mức thấp
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



Hình 2.47

103. Cho sơ đồ mạch logic như hình 2.48. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

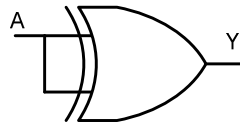
- a. Ở mức cao
- b. Ở mức thấp
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



Hình 2.48

104. Cho sơ đồ mạch logic như hình 2.49. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

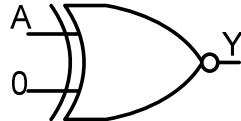
- a. Ở mức cao
- b. Ở mức thấp
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



Hình 2.49

105. Cho sơ đồ mạch logic như hình 2.50. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

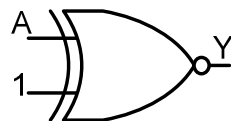
- a. Ở mức cao
- b. Ở mức thấp
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



Hình 2.50

106. Cho sơ đồ mạch logic như hình 2.51. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

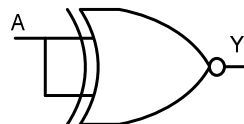
- a. Ở mức cao
- b. Ở mức thấp
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



Hình 2.51

107. Cho sơ đồ mạch logic như hình 2.52. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

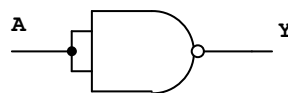
- a. Ở mức cao
- b. Ở mức thấp
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



Hình 2.52

108. Cho sơ đồ mạch logic như hình 2.31. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

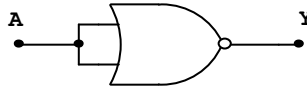
- a. Ở mức cao
- b. Ở mức thấp
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



Hình 2.31

109. Cho sơ đồ mạch logic như hình 2.32. Nếu tín hiệu đưa vào A là xung vuông có tần số 1 Hz thì ngõ ra Y :

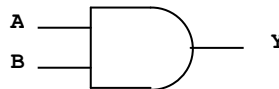
- a. Ở mức cao
- b. Ở mức thấp
- c. Có tín hiệu xung vuông tần số 1 Hz, cùng pha với tín hiệu tại A
- d. Có tín hiệu xung vuông tần số 1 Hz, ngược pha với tín hiệu tại A



Hình 2.32

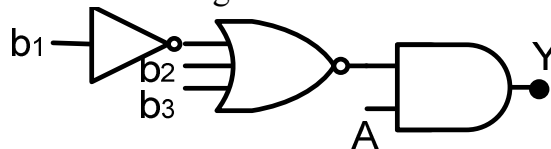
110. Cho sơ đồ mạch logic như hình 2.33. Nếu tín hiệu đưa vào A và B lần lượt là xung vuông có tần số 500 Hz và 0,5 Hz thì ngõ ra Y :

- a. Có tín hiệu xung vuông tần số 0,5 Hz
- b. Có tín hiệu xung vuông tần số 500 Hz
- c. Có tín hiệu xung vuông tần số 25 Hz
- d. Luân phiên có tín hiệu xung vuông tần số 500Hz trong 1s sau đó ở mức thấp trong 1s.



Hình 2.33

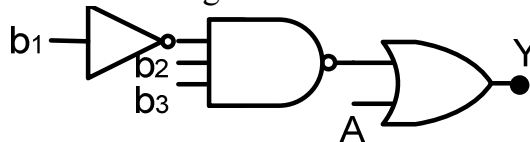
111. Cho mạch logic như hình 2.33. Ngõ ra Y = A khi:



Hình 2.33

- a.  $b_1b_2b_3 = 010$
- b.  $b_1b_2b_3 = 011$
- c.  $b_1b_2b_3 = 100$
- d.  $b_1b_2b_3 = 101$

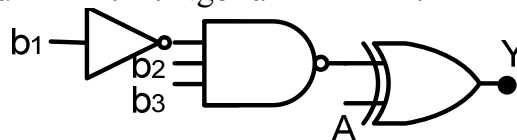
112. Cho mạch logic như hình 2.34. Ngõ ra Y = A khi:



Hình 2.34

- a.  $b_1b_2b_3 = 010$
- b.  $b_1b_2b_3 = 011$
- c.  $b_1b_2b_3 = 100$
- d.  $b_1b_2b_3 = 110$

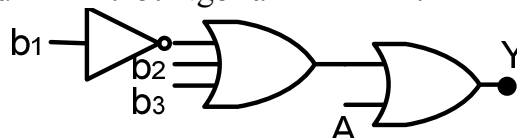
113. Cho mạch logic như hình 2.44. Ngõ ra Y = A khi:



Hình 2.44

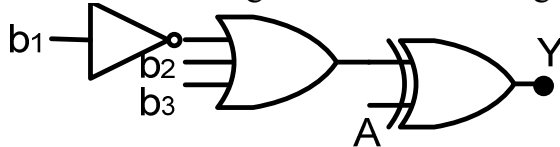
- a.  $b_1b_2b_3 = 010$
- b.  $b_1b_2b_3 = 011$
- c.  $b_1b_2b_3 = 100$
- d.  $b_1b_2b_3 = 110$

114. Cho mạch logic như hình 2.45. Ngõ ra Y = A khi:



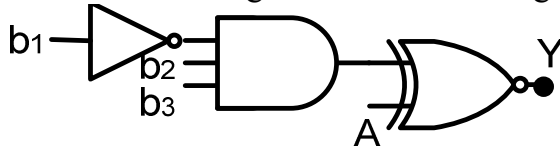
Hình 2.45

115. Cho mạch logic như hình 2.46. Ngõ ra  $Y = A$  khi:



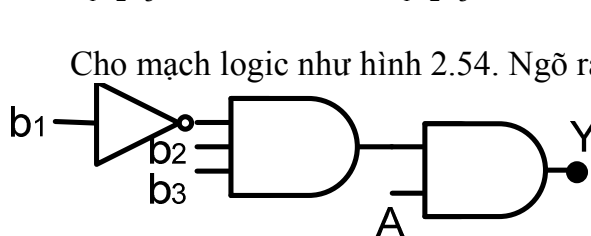
Hình 2.46

116. Cho mạch logic như hình 2.53. Ngõ ra  $Y = A$  khi:



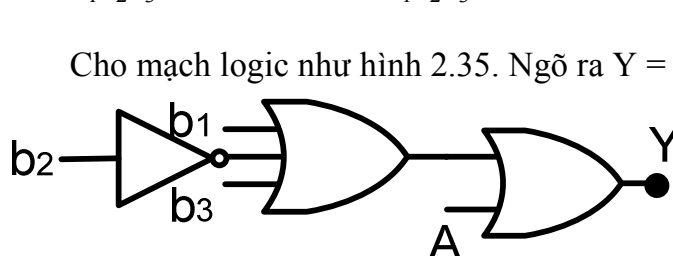
Hình 2.53

117. Cho mạch logic như hình 2.54. Ngõ ra  $Y = A$  khi:



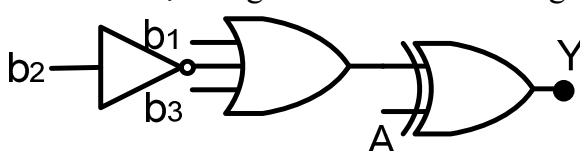
Hình 2.54

118. Cho mạch logic như hình 2.35. Ngõ ra  $Y = A$  khi:



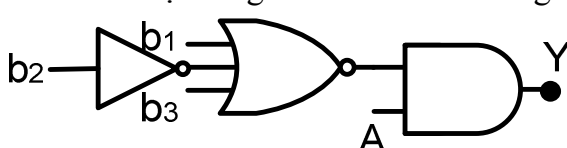
Hình 2.35

119. Cho mạch logic như hình 2.35a. Ngõ ra  $Y = A$  khi:



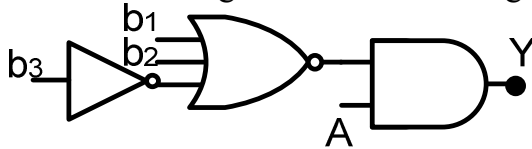
Hình 2.35a

120. Cho mạch logic như hình 2.36. Ngõ ra  $Y = A$  khi:



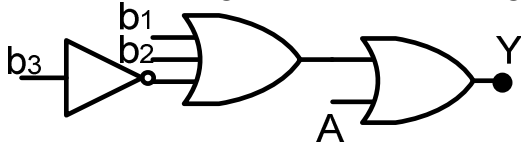
Hình 2.36

121. Cho mạch logic như hình 2.37. Ngõ ra  $Y = A$  khi:
- a.  $b_1b_2b_3 = 010$       b.  $b_1b_2b_3 = 011$       c.  $b_1b_2b_3 = 101$       d.  $b_1b_2b_3 = 110$



Hình 2.37

122. Cho mạch logic như hình 2.38. Ngõ ra  $Y = A$  khi:
- a.  $b_1b_2b_3 = 010$       b.  $b_1b_2b_3 = 011$       c.  $b_1b_2b_3 = 101$       d.  $b_1b_2b_3 = 001$



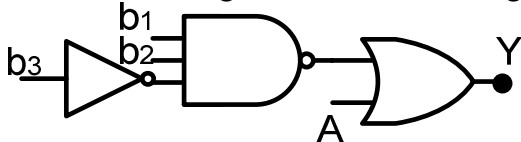
Hình 2.38

123. Cho mạch logic như hình 2.39. Ngõ ra  $Y = A$  khi:
- a.  $b_1b_2b_3 = 010$       b.  $b_1b_2b_3 = 011$       c.  $b_1b_2b_3 = 110$       d.  $b_1b_2b_3 = 001$



Hình 2.39

124. Cho mạch logic như hình 2.40. Ngõ ra  $Y = A$  khi:
- a.  $b_1b_2b_3 = 010$       b.  $b_1b_2b_3 = 011$       c.  $b_1b_2b_3 = 110$       d.  $b_1b_2b_3 = 001$



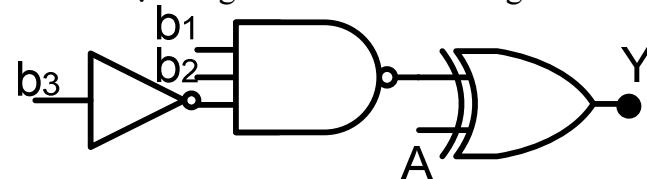
Hình 2.40

125. Cho mạch logic như hình 2.41. Ngõ ra  $Y = A$  khi:
- a.  $b_1b_2b_3 = 001$       b.  $b_1b_2b_3 = 011$       c.  $b_1b_2b_3 = 110$       d.  $b_1b_2b_3 = 101$



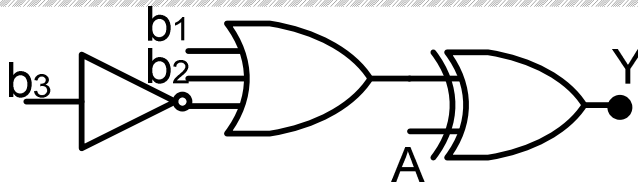
Hình 2.41

126. Cho mạch logic như hình 2.42. Ngõ ra  $Y = A$  khi:
- a.  $b_1b_2b_3 = 001$       b.  $b_1b_2b_3 = 011$       c.  $b_1b_2b_3 = 110$       d.  $b_1b_2b_3 = 101$



Hình 2.42

127. Cho mạch logic như hình 2.43. Ngõ ra  $Y = A$  khi:
- a.  $b_1b_2b_3 = 001$       b.  $b_1b_2b_3 = 011$       c.  $b_1b_2b_3 = 110$       d.  $b_1b_2b_3 = 101$



Hình 2.43

a.  $b_1b_2b_3 = 001$

b.  $b_1b_2b_3 = 011$

c.  $b_1b_2b_3 = 110$

d.  $b_1b_2b_3 = 101$

128. Hàm  $Y = f(A,B)$  có 4 tích chuẩn (minterm) là:

a.  $m_0 = \bar{A} + \bar{B}$  ;  $m_1 = \bar{A} + B$  ;  $m_2 = A + \bar{B}$  ;  $m_3 = A + B$

b.  $m_0 = A.B$  ;  $m_1 = \bar{A}.B$  ;  $m_2 = A.\bar{B}$  ;  $m_3 = \bar{A}.\bar{B}$

c.  $m_0 = \bar{A}.\bar{B}$  ;  $m_1 = \bar{A}.B$  ;  $m_2 = A.\bar{B}$  ;  $m_3 = A.B$

d.  $m_0 = A + B$  ;  $m_1 = A + \bar{B}$  ;  $m_2 = \bar{A} + B$  ;  $m_3 = \bar{A} + \bar{B}$

129. Hàm  $Y = f(A,B)$  có 4 tổng chuẩn (maxterm) là:

a.  $M_0 = \bar{A} + \bar{B}$  ;  $M_1 = \bar{A} + B$  ;  $M_2 = A + \bar{B}$  ;  $M_3 = A + B$

b.  $M_0 = A.B$  ;  $M_1 = A.\bar{B}$  ;  $M_2 = \bar{A}.B$  ;  $M_3 = \bar{A}.\bar{B}$

c.  $M_0 = \bar{A}.\bar{B}$  ;  $M_1 = \bar{A}.B$  ;  $M_2 = A.\bar{B}$  ;  $M_3 = A.B$

d.  $M_0 = A + B$  ;  $M_1 = A + \bar{B}$  ;  $M_2 = \bar{A} + B$  ;  $M_3 = \bar{A} + \bar{B}$

130. Cho hàm Boole  $f(A,B,C,D) = \sum(0,2,3,8,9,11,13,15) + d_{10}$ . Biểu thức đại số logic (dạng tổng các tích) gọn nhất của hàm trên là:

a.  $f(A,B,C,D) = A.D + \bar{B}.C + \bar{B}.\bar{D}$

b.  $f(A,B,C,D) = A.\bar{B} + A.D + \bar{B}.C + \bar{B}.\bar{D}$

c.  $f(A,B,C,D) = A.D + A.\bar{B} + \bar{A}.\bar{B}.C + \bar{A}.\bar{B}.\bar{D}$

d.  $f(A,B,C,D) = A.D + A.\bar{B}.\bar{C} + \bar{A}.\bar{B}.C + \bar{A}.\bar{B}.\bar{D}$

131. Cho hàm Boole  $f(A,B,C,D) = \sum(0,2,8,9,10,11,13,15) + d_3$ . Biểu thức đại số logic (dạng tổng các tích) gọn nhất của hàm trên là:

a.  $f(A,B,C,D) = A.D + \bar{B}.C + \bar{B}.\bar{D}$

b.  $f(A,B,C,D) = A.D + \bar{B}.\bar{D}$

c.  $f(A,B,C,D) = A.D + A.\bar{B} + \bar{A}.\bar{B}.C + \bar{A}.\bar{B}.\bar{D}$

d.  $f(A,B,C,D) = A.D + A.\bar{B}.\bar{C} + \bar{A}.\bar{B}.C + \bar{A}.\bar{B}.\bar{D}$

132. Cho hàm Boole  $f(A,B,C,D) = \prod(2,4,6,10,12,13,14,15) .d_5$ . Biểu thức đại số logic (dạng tích các tổng) gọn nhất của hàm trên là:

a.  $f(A,B,C,D) = (A + \bar{B} + C)(B + \bar{C} + \bar{D})(\bar{C} + \bar{D})$

b.  $f(A,B,C,D) = (\bar{A} + \bar{B})(\bar{B} + C)(\bar{C} + D)$

c.  $f(A,B,C,D) = (A + \bar{B} + C)(\bar{B} + \bar{C})(\bar{C} + \bar{D})(\bar{C} + \bar{D})$

d.  $f(A,B,C,D) = (\bar{A} + D)(\bar{B} + C)(\bar{C} + D)$

133. Đại số Boole là một cấu trúc đại số được định nghĩa trên:

a. Tập hợp số nhị phân

b. Tập hợp số thập phân

c. Tập hợp số thập lục phân

d. Tập hợp số thực

134. Trên tập hợp đại số Boole, cổng AND có giá trị là 1 khi:

a. Có ít nhất 1 ngõ vào bằng 1

b. Tất cả các ngõ vào đều bằng 1

c. Có 1 ngõ vào bằng 1

d. Không xác định được.

135. Trên tập hợp đại số Boole, cổng OR có giá trị là 1 khi:



**Đề cương ôn thi liên thông môn chuyên ngành, hệ Cao đẳng - Đại học.**

- a. Có 1 ngõ vào bằng 1  
b. Có 1 ngõ vào bằng 0  
c. Có ít nhất 1 ngõ vào bằng 1  
d. Tất cả các ngõ vào đều bằng 1
- 136.** Trên tập hợp đại số Boole, cổng NAND có giá trị là 1 khi:  
a. Có ít nhất 1 ngõ vào bằng 0  
b. Có ít nhất 1 ngõ vào bằng 1  
c. Có 1 ngõ vào bằng 1  
d. Có 1 ngõ vào bằng 0
- 137.** Trên tập hợp đại số Boole, cổng NOR có giá trị là 1 khi:  
a. Có 1 ngõ vào bằng 1  
b. Có 1 ngõ vào bằng 0  
c. Có ít nhất 1 ngõ vào bằng 1  
d. Tất cả các ngõ vào đều bằng 0
- 138.** Biểu thức cổng XOR (EXOR) có 2 ngõ vào a, b:  
a.  $ab + \bar{a}\bar{b}$   
b.  $ab + \bar{a}b$   
c.  $\bar{a}b + \bar{a}\bar{b}$   
d.  $ab + \bar{a}\bar{b}$
- 139.** Biểu thức cổng XNOR (EXNOR) có 2 ngõ vào a, b:  
a.  $ab + \bar{a}\bar{b}$   
b.  $ab + \bar{a}b$   
c.  $\bar{a}b + \bar{a}\bar{b}$   
d.  $ab + \bar{a}\bar{b}$
- 140.** Trên tập hợp đại số Boole, giá trị ngõ ra cổng XOR (EXOR) có 2 ngõ vào a, b là 1 khi:  
a.  $a = 0, b$  tùy ý  
b.  $a = 1, b$  tùy ý  
c.  $a = b$   
d.  $a \neq b$
- 141.** Trên tập hợp đại số Boole, giá trị ngõ ra cổng XNOR (EXNOR) có 2 ngõ vào a, b là 1 khi:  
a.  $a = 0, b$  tùy ý  
b.  $a = 1, b$  tùy ý  
c.  $a = b$   
d.  $a \neq b$
- 142.** Cho một ngõ vào x thuộc tập hợp đại số Boole, phép toán  $(x + x)$  có giá trị là:  
a. x  
b. 2x  
c. 0  
d. 1
- 143.** Cho một ngõ vào x thuộc tập hợp đại số Boole, phép toán  $(x.x)$  có giá trị là:  
a.  $x^2$   
b. x  
c. 1  
d. 0
- 144.**  $\bar{x}$  là ngõ vào bù của x thuộc tập hợp đại số Boole thỏa:  
a.  $x + \bar{x} = 1; x.\bar{x} = 0$   
b.  $x + \bar{x} = 0; x.\bar{x} = 1$   
c.  $x + \bar{x} = 1; x.\bar{x} = 1$   
d.  $x + \bar{x} = 0; x.\bar{x} = 0$
- 145.** Cho một ngõ vào x thuộc tập hợp đại số Boole, phép toán  $(x + 1)$  có giá trị là:  
a. x  
b. 1  
c. 0  
d. Không xác định được.
- 146.** Cho a, b là 2 ngõ vào thuộc tập hợp đại số Boole, chọn câu đúng:  
a.  $\overline{a+b} = \bar{a} + \bar{b}$   
b.  $\overline{a+b} = \bar{a}.\bar{b}$   
c.  $\overline{a+b} = \bar{a}.\bar{b}$   
d.  $\overline{a+b} = ab$
- 147.** Cho a, b là 2 ngõ vào thuộc tập hợp đại số Boole, chọn câu đúng:  
a.  $\overline{a.b} = \bar{a} + \bar{b}$   
b.  $\overline{a.b} = \bar{a}.\bar{b}$   
c.  $\overline{a.b} = a + b$   
d.  $\overline{a.b} = a + b$
- 148.** Cho x, y, z là 3 ngõ vào thuộc tập hợp đại số Boole, phép toán  $(x + y.z)$  có giá trị bằng:  
a.  $x.(y + z)$   
b.  $(x+y).(x+z)$   
c.  $y + x.z$   
d.  $(x+y).z$
- 149.** Giá trị của phép toán đại số Boole  $(x + x.y)$  bằng:  
a.  $x + y$   
b. x.y  
c. x  
d. y
- 150.** Giá trị của phép toán đại số Boole  $x(x + y)$  bằng:  
a.  $x^2 + x.y$   
b.  $x + y$   
c. x.y  
d. x
- 151.** Giá trị của phép toán đại số Boole  $(x + \bar{x}.y)$  bằng:  
a.  $x + y$   
b.  $x + \bar{x}$   
c. x  
d.  $\bar{x}.y$

**152.** Biểu thức cổng NAND 2 ngõ vào A, B:

a.  $C = \overline{A.B}$   
b.  $C = A.\overline{B}$   
c.  $C = \overline{A}.B$   
d.  $C = \overline{A}.B$

**153.** Biểu thức cổng NOR 2 ngõ vào A, B:

a.  $C = \overline{A} + \overline{B}$                       b.  $C = \overline{\overline{A} + \overline{B}}$   
c.  $C = \overline{A} + B$                       d.  $C = A + \overline{B}$

**154.** Giá trị hàm Boole F được tạo bởi các biến nhị phân, các phép toán AND, OR, NOT, dấu =, dấu () là:

- a. Một số nguyên  
b. 0 hoặc 1  
c. Mà một số thực  
d. Nằm trong khoảng  $(0, 1)$

**155.** Biểu thức rút gọn của hàm Boole  $F = ABC + \bar{A}C$ :

a.  $F = AB + C$   
 b.  $F = AB + \bar{A}$   
 c.  $F = BC + \bar{A}C$   
 d.  $F = BC + \bar{A}$

**156.** Biểu thức rút gọn của  $F = ABC + A\bar{B}C + \bar{A}$ :

a.  $F = \bar{A} + C$   
 c.  $F = A + \bar{B}$

**157.** Biểu thức rút gọn của  $F = \overline{A} \overline{B} C + \overline{A} B C + A B C$ :

a.  $F = \overline{A} \overline{B} + AB$       b.  $F = \overline{B} C + \overline{A} B$   
c.  $F = \overline{A} C + BC$       d.  $F = \overline{A} C + ABC$

**158.** Biểu thức rút gọn của  $F = (A + B)(A + \bar{B})$ :

a.  $F = A$       b.  $F = A + B$       c.  $F = A + \bar{B}$       d.  $F = B$

**159.** Dạng chuẩn 1 là:

- a. Dạng tích của các tổng chuẩn làm cho hàm  $F = 1$   
 b. Dạng tổng của các tích chuẩn làm cho hàm  $F = 1$   
 c. Dạng tổng của các tích chuẩn làm cho hàm  $F = 0$   
 d. Dạng tích của các tổng chuẩn làm cho hàm  $F = 0$

**160.** Dạng chuẩn 2 là:

- a. Dạng tổng của các tích chuẩn làm cho hàm  $F = 1$   
b. Dạng tích của các tổng chuẩn làm cho hàm  $F = 1$   
c. Dạng tích của các tổng chuẩn làm cho hàm  $F = 0$   
d. Dạng tổng của các tích chuẩn làm cho hàm  $F = 0$

**161.** Trên bìa Karnaugh n biến, số ô kề nhau tối đa mà ta có thể liên kết là:

- a.  $n$                       b.  $2n$                       c.  $2^n$                       d.  $(n-1)$

**162.** Khi liên kết  $2^n$  ô kề nhau trên bảng Karnaugh, số biến được loại đi là:

- a. 1 biến                                  b. 2 biến  
c.  $(n - 1)$  biến                      d. n biến

**163.** Đơn giản hàm Boole  $F(A,B,C,D) = \sum(2,6,7,8,9,10,11,13,14,15)$  sau dùng bìa Karnaugh 4 biến được:

a.  $F = \overline{A}\overline{B} + AD + BC + \overline{C}\overline{D}$       b.  $F = \overline{A}\overline{B} + \overline{C}\overline{D} + ABD + BCD$   
c.  $F = \overline{A}\overline{B} + \overline{C}\overline{D} + A\overline{C}\overline{D} + BCD$       d.  $F = \overline{A}\overline{B} + \overline{C}\overline{D} + ABD + \overline{A}BC$

**164.** Đơn giản hàm Boole  $F(A,B,C,D) = \prod(0,1,2,3,4,6,8,9,10,11,12,14)$  sau dùng bìa Karnaugh 4 biến được:

a.  $F = \overline{B} + \overline{D}$

b.  $F = \overline{B.D}$

c.  $F = B.D$

d.  $F = B + D$

### **CHƯƠNG 3 : HỆ TỔ HỢP**

**165.** Mạch tổ hợp có 3 ngõ vào là A, B, C và 1 ngõ ra là y. Biết ngõ ra bằng 1 nếu các biến vào có các bit 1 nhiều hơn bit 0 và ngõ ra bằng 0 trong các trường hợp còn lại. Biểu thức đại số logic (dạng tổng các tích) gọn nhất của hàm ra là:

a.  $y = AB + AC + BC$

b.  $y = A\overline{B} + A\overline{C} + B\overline{C}$

c.  $y = \overline{A}B + \overline{A}C + \overline{B}C$

d.  $y = \overline{A}\overline{B} + \overline{A}\overline{C} + \overline{B}\overline{C}$

**166.** Mạch tổ hợp có 3 ngõ vào là A, B, C và 1 ngõ ra là y. Biết ngõ ra có mức điện thế cao (logic 1) nếu các ngõ vào có mức điện thế cao nhiều hơn các ngõ vào có mức điện thế thấp (logic 0) và ngõ ra có mức điện thế thấp trong các trường hợp còn lại. Biểu thức đại số logic (dạng tích các tổng) gọn nhất của ngõ ra là:

a.  $y = (A + \overline{B})(A + \overline{C})(B + \overline{C})$

b.  $y = (A+B)(A+C)(B+C)$

c.  $y = (\overline{A} + B)(\overline{A} + C)(\overline{B} + C)$

d.  $y = (\overline{A} + \overline{B})(\overline{A} + \overline{C})(\overline{B} + \overline{C})$

**167.** Mạch tổ hợp có 3 ngõ vào là A, B, C và 1 ngõ ra là y. Ngõ ra bằng 1 nếu giá trị thập phân tương đương của ngõ vào nhỏ hơn 3 (với A là MSB và C là LSB), ngõ ra bằng 0 trong các trường hợp còn lại. Biểu thức đại số logic (dạng tổng các tích) gọn nhất của hàm ra là:

a.  $y = \overline{A}\overline{B} + \overline{B}\overline{C}$

b.  $y = \overline{A}\overline{C} + \overline{B}\overline{C}$

c.  $y = \overline{A}\overline{B} + \overline{A}\overline{C}$

d.  $y = AB + AC$

**168.** Mạch tổ hợp có 3 ngõ vào là A, B, C và 1 ngõ ra là y. Ngõ ra bằng 1 nếu giá trị thập phân tương đương của ngõ vào nhỏ hơn 3 (với A là MSB và C là LSB), ngõ ra bằng 0 trong các trường hợp còn lại. Biểu thức đại số logic (dạng tích các tổng) gọn nhất của hàm ra là:

a.  $y = A(\overline{B} + \overline{C})$

b.  $y = \overline{A}(B + C)$

c.  $y = A(B + C)$

d.  $y = \overline{A}(\overline{B} + \overline{C})$

**169.** Mạch tổ hợp có 4 ngõ vào là A, B, C, D và 1 ngõ ra là y. Ngõ ra bằng 1 nếu giá trị thập phân tương đương của ngõ vào nhỏ hơn 10 (với A là MSB và D là LSB), ngõ ra bằng 0 trong các trường hợp còn lại. Biểu thức đại số logic (dạng tổng các tích) gọn nhất của hàm ra là:

a.  $y = \overline{A} + \overline{B}\overline{C}$

b.  $y = \overline{A} + A\overline{B}\overline{C}$

c.  $y = \overline{A}\overline{B} + \overline{A}B + \overline{B}\overline{C}$

d.  $y = A + BC$

**170.** Mạch tổ hợp có 4 ngõ vào là A, B, C, D và 1 ngõ ra là y. Ngõ ra bằng 1 nếu giá trị thập phân tương đương của ngõ vào nhỏ hơn 10 (với A là MSB và D là LSB), ngõ ra bằng 0 trong các trường hợp còn lại. Biểu thức đại số logic (dạng tích các tổng) gọn nhất của hàm ra là:

a.  $y = (A+B)(A+C)$

b.  $y = (\overline{A} + \overline{B})(\overline{A} + \overline{C})$

c.  $y = (\overline{A} + \overline{B})(\overline{A} + B + \overline{C})$

d.  $y = (\overline{A} + \overline{B} + C)(\overline{A} + \overline{C})$

**171.** Mạch cộng nhị phân bán phần HA thực hiện phép cộng 2 số hạng một bit cho kết quả là tổng và số nhớ. Gọi A, B là hai ngõ vào và S, C là hai ngõ ra (S là tổng, C là số nhớ). Biểu thức đại số logic (dạng tổng các tích) gọn nhất của các ngõ ra S là:

a.  $S = \overline{A}B$

b.  $S = A\overline{B}$

c.  $S = A\overline{B} + \overline{A}B$

d.  $S = AB + \overline{A}\overline{B}$

**172.** Mạch cộng nhị phân bán phần HA thực hiện phép cộng 2 số hạng một bit cho kết quả là tổng và số nhớ. Gọi A, B là hai ngõ vào và S, C là hai ngõ ra (S là tổng, C là số nhớ). Biểu thức đại số logic (dạng tổng các tích) gọn nhất của ngõ ra C là:

a.  $C = A\overline{B}$

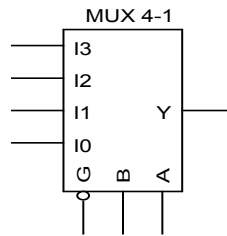
b.  $C = \overline{A}B$

c.  $C = \overline{AB}$

d.  $C = AB$

**173.** Cho mạch hợp kênh 4→1 như hình 3.1, trong đó  $I_0 \div I_3$  là 4 kênh tín hiệu vào (data inputs), B và A là 2 ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra (data output). Để Y kết nối với  $I_2$  phải điều khiển như sau:

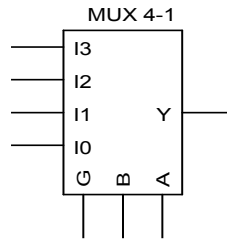
- a. G=0 ; BA=10                      b. G=1 ; BA=10  
c. G=0 ; BA=01                      d. G=1 ; BA=01



Hình 3.1

- 174.** Cho mạch hợp kênh 4→1 như hình 3.1, trong đó  $I_0 \div I_3$  là 4 kênh tín hiệu vào (data inputs), B và A là 2 ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra (data output). Để Y kết nối với  $I_1$  phải điều khiển như sau:
- a. G=0 ; BA=10                      b. G=1 ; BA=10  
c. G=0 ; BA=01                      d. G=1 ; BA=01
- 175.** Cho mạch hợp kênh 4→1 như hình 3.1, trong đó  $I_0 \div I_3$  là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra (data output). Nếu điều khiển G=1 ; BA=11 thì :
- a. Ngõ ra Y kết nối với ngõ vào  $I_0$                       b. Ngõ ra Y kết nối với ngõ vào  $I_1$   
c. Ngõ ra Y kết nối với ngõ vào  $I_3$                       d. MUX không hoạt động và ngõ ra Y ở mức thấp
- 176.** Cho mạch hợp kênh 4→1 như hình 3.1, trong đó  $I_0 \div I_3$  là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra (data output). Nếu điều khiển G=1 ; BA=00 thì :
- a. Ngõ ra Y kết nối với ngõ vào  $I_0$                       b. Ngõ ra Y kết nối với ngõ vào  $I_1$   
c. Ngõ ra Y kết nối với ngõ vào  $I_3$                       d. MUX không hoạt động và ngõ ra Y ở mức thấp
- 177.** Cho mạch hợp kênh 4→1 như hình 3.1, trong đó  $I_0 \div I_3$  là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra (data output). Nếu điều khiển G=0 ; BA=01 thì :
- a. Ngõ ra Y kết nối với ngõ vào  $I_0$                       b. Ngõ ra Y kết nối với ngõ vào  $I_1$   
c. Ngõ ra Y kết nối với ngõ vào  $I_3$                       d. MUX không hoạt động và ngõ ra Y ở mức thấp
- 178.** Cho mạch hợp kênh 4→1 như hình 3.1, trong đó  $I_0 \div I_3$  là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra (data output). Nếu điều khiển G=0 ; BA=11 thì :
- a. Ngõ ra Y kết nối với ngõ vào  $I_0$                       b. Ngõ ra Y kết nối với ngõ vào  $I_1$   
c. Ngõ ra Y kết nối với ngõ vào  $I_3$                       d. MUX không hoạt động và ngõ ra Y ở mức thấp
- 179.** Cho mạch hợp kênh 4→1 như hình 3.1, trong đó  $I_0 \div I_3$  là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra (data output). Nếu điều khiển G=1 ; BA=00 thì :
- a. Ngõ ra Y kết nối với ngõ vào  $I_0$                       b. Ngõ ra Y kết nối với ngõ vào  $I_1$   
c. Ngõ ra Y kết nối với ngõ vào  $I_3$                       d. MUX không hoạt động và ngõ ra Y ở mức thấp
- 180.** Cho mạch hợp kênh 4→1 như hình 3.1, trong đó  $I_0 \div I_3$  là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra (data output). Biểu thức đại số logic của ngõ ra Y là :
- a.  $y = G( I_0 \bar{B} \bar{A} + I_1 \bar{B} A + I_2 B \bar{A} + I_3 B A )$                       b.  $y = G( I_0 B A + I_1 \bar{B} A + I_2 B \bar{A} + I_3 \bar{B} \bar{A} )$   
c.  $y = \bar{G} ( I_0 B A + I_1 \bar{B} A + I_2 B \bar{A} + I_3 \bar{B} \bar{A} )$                       d.  $y = \bar{G} ( I_0 \bar{B} \bar{A} + I_1 \bar{B} A + I_2 B \bar{A} + I_3 B A )$

- 181.** Cho mạch hợp kênh 4→1 như hình 3.2, trong đó  $I_0 \div I_3$  là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra. Để Y kết nối với  $I_1$  phải điều khiển như sau:
- a.  $G=0$  ;  $BA=10$     b.  $G=1$  ;  $BA=10$     c.  $G=0$  ;  $BA=01$     d.  $G=1$  ;  $BA=01$

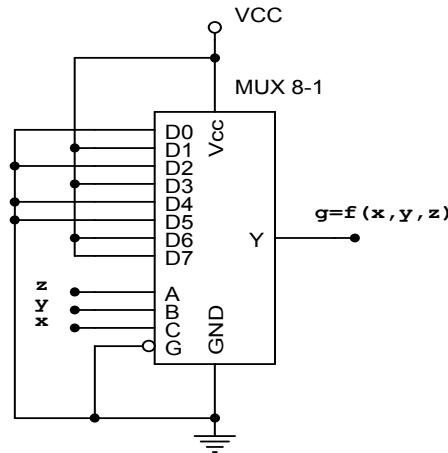


Hình 3.2

- 182.** Cho mạch hợp kênh 4→1 như hình 3.2, trong đó  $I_0 \div I_3$  là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra. Để Y kết nối với  $I_2$  phải điều khiển như sau:
- a.  $G=0$  ;  $BA=10$     b.  $G=1$  ;  $BA=10$     c.  $G=0$  ;  $BA=01$     d.  $G=1$  ;  $BA=01$
- 183.** Cho mạch hợp kênh 4→1 như hình 3.2, trong đó  $I_0 \div I_3$  là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra. Nếu điều khiển  $G=0$  ;  $BA=00$  thì :
- a. Ngõ ra Y kết nối với ngõ vào  $I_0$     b. Ngõ ra Y kết nối với ngõ vào  $I_1$   
c. Ngõ ra Y kết nối với ngõ vào  $I_3$     d. Mux không hoạt động và  $Y=0$
- 184.** Cho mạch hợp kênh 4→1 như hình 3.2, trong đó  $I_0 \div I_3$  là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra. Nếu điều khiển  $G=0$  ;  $BA=01$  thì :
- a. Ngõ ra Y kết nối với ngõ vào  $I_0$     b. Ngõ ra Y kết nối với ngõ vào  $I_1$   
c. Ngõ ra Y kết nối với ngõ vào  $I_3$     d. Mux không hoạt động và  $Y=0$
- 185.** Cho mạch hợp kênh 4→1 như hình 3.2, trong đó  $I_0 \div I_3$  là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra. Nếu điều khiển  $G=0$  ;  $BA=10$  thì :
- a. Ngõ ra Y kết nối với ngõ vào  $I_0$     b. Ngõ ra Y kết nối với ngõ vào  $I_1$   
c. Ngõ ra Y kết nối với ngõ vào  $I_3$     d. Mux không hoạt động và  $Y=0$
- 186.** Cho mạch hợp kênh 4→1 như hình 3.2, trong đó  $I_0 \div I_3$  là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra. Nếu điều khiển  $G=1$  ;  $BA=11$  thì :
- a. Ngõ ra Y kết nối với ngõ vào  $I_0$     b. Ngõ ra Y kết nối với ngõ vào  $I_1$   
c. Ngõ ra Y kết nối với ngõ vào  $I_3$     d. Mux không hoạt động và  $Y=0$
- 187.** Cho mạch hợp kênh 4→1 như hình 3.2, trong đó  $I_0 \div I_3$  là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra. Nếu điều khiển  $G=1$  ;  $BA=00$  thì :
- a. Ngõ ra Y kết nối với ngõ vào  $I_0$     b. Ngõ ra Y kết nối với ngõ vào  $I_1$   
c. Ngõ ra Y kết nối với ngõ vào  $I_3$     d. Mux không hoạt động và  $Y=0$
- 188.** Cho mạch hợp kênh 4→1 như hình 3.2, trong đó  $I_0 \div I_3$  là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra. Nếu điều khiển  $G=1$  ;  $BA=01$  thì :



- a. Ngõ ra Y kết nối với ngõ vào  $I_0$   
b. Ngõ ra Y kết nối với ngõ vào  $I_1$   
c. Ngõ ra Y kết nối với ngõ vào  $I_3$   
d. Mux không hoạt động và  $Y=0$
- 189.** Cho mạch hợp kênh 4→1 như hình 3.2, trong đó  $I_0 \div I_3$  là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra. Nếu điều khiển  $G=0$ ;  $BA=11$  thì :
- a. Ngõ ra Y kết nối với ngõ vào  $I_0$   
b. Ngõ ra Y kết nối với ngõ vào  $I_1$   
c. Ngõ ra Y kết nối với ngõ vào  $I_3$   
d. Mux không hoạt động và  $Y=0$
- 190.** Cho mạch hợp kênh 4→1 như hình 3.2, trong đó  $I_0 \div I_3$  là 4 kênh tín hiệu vào (data inputs), B và A là các ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra. Biểu thức đại số logic của ngõ ra Y là :
- a.  $y = G(I_0 \bar{B} \bar{A} + I_1 \bar{B} A + I_2 B \bar{A} + I_3 BA)$   
b.  $y = G(I_0 BA + I_1 \bar{B} A + I_2 B \bar{A} + I_3 \bar{B} \bar{A})$   
c.  $y = \bar{G}(I_0 BA + I_1 \bar{B} A + I_2 B \bar{A} + I_3 \bar{B} \bar{A})$   
d.  $y = \bar{G}(I_0 \bar{B} \bar{A} + I_1 \bar{B} A + I_2 B \bar{A} + I_3 BA)$
- 191.** Hàm  $G=f(x,y,z)$  được thực hiện bằng bộ hợp kênh 8→1 như hình 3.3, trong đó  $D_0 \div D_7$  là 8 kênh tín hiệu vào (data inputs), C ÷ A là 3 ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra (data output). Biểu thức đại số logic của hàm  $G=f(x,y,z)$  là :
- a.  $G = \Sigma(1,3,6,7)$   
b.  $G = \Sigma(0,2,4,5)$   
c.  $G = \Pi(1,3,6,7)$   
d.  $G = \Pi(0,1,3,6,7)$



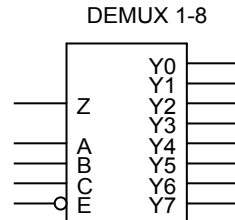
Hình 3.3

- 192.** Hàm  $G=f(x,y,z)$  được thực hiện bằng bộ hợp kênh 8→1 như hình 3.3, trong đó  $D_0 \div D_7$  là 8 kênh tín hiệu vào (data inputs), C ÷ A là 3 ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra (data output). Biểu thức đại số logic của hàm  $g=f(x,y,z)$  là :
- a.  $G = \Sigma(0,1,3,6,7)$   
b.  $G = \Sigma(0,2,4,5)$   
c.  $G = \Pi(0,2,4,5)$   
d.  $G = \Pi(1,3,6,7)$
- 193.** Hàm  $G=f(x,y,z)$  được thực hiện bằng bộ hợp kênh 8→1 như hình 3.3, trong đó  $D_0 \div D_7$  là 8 kênh tín hiệu vào (data inputs), CBA là 3 ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra (data output). Biểu thức đại số logic của hàm  $g=f(x,y,z)$  là :
- a.  $G=f(x,y,z) = \bar{x} \bar{y} \bar{z} + \bar{x} y \bar{z} + x \bar{y} \bar{z} + x y \bar{z}$   
b.  $G=f(x,y,z) = \bar{x} \bar{y} z + \bar{x} y z + x y \bar{z} + x y z$   
c.  $G=f(x,y,z) = x y \bar{z} + x \bar{y} \bar{z} + \bar{x} \bar{y} z + \bar{x} y \bar{z}$   
d.  $G=f(x,y,z) = x y z + x \bar{y} z + \bar{x} y z + \bar{x} y \bar{z}$
- 194.** Hàm  $G=f(x,y,z)$  được thực hiện bằng bộ hợp kênh 8→1 như hình 3.3, trong đó  $D_0 \div D_7$  là 8 kênh tín hiệu vào (data inputs), CBA là 3 ngõ vào điều khiển (select inputs) với A là LSB, G là ngõ vào cho phép (enable input), Y là ngõ ra (data output). Biểu thức đại số logic của hàm  $g=f(x,y,z)$  là :
- a.  $G=f(x,y,z) = (\bar{x} + \bar{y} + \bar{z})(\bar{x} + y + \bar{z})(x + \bar{y} + \bar{z})(x + \bar{y} + z)$   
b.  $G=f(x,y,z) = (\bar{x} + \bar{y} + z)(\bar{x} + y + z)(x + y + \bar{z})(x + y + z)$

- c.  $G=f(x,y,z) = (x+y+\bar{z})(x+\bar{y}+\bar{z})(\bar{x}+\bar{y}+z)(\bar{x}+\bar{y}+\bar{z})$   
 d.  $G=f(x,y,z) = (x+y+z)(x+\bar{y}+z)(\bar{x}+y+z)(\bar{x}+y+\bar{z})$

**195.** Cho mạch phân kênh 1→8 như hình 3.4, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs), C÷A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Để Z kết nối với  $Y_6$  phải điều khiển như sau:

- a. E = 0 ; CBA = 110  
 b. E = 0 ; CBA = 011  
 c. E = 1 ; CBA = 110  
 d. E = 1 ; CBA = 011



Hình 3.4

**196.** Cho mạch phân kênh 1→8 như hình 3.4, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs), C÷A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Để Z kết nối với  $Y_3$  phải điều khiển như sau:

- a. E = 0 ; CBA = 110  
 b. E = 0 ; CBA = 011  
 c. E = 1 ; CBA = 110  
 d. E = 1 ; CBA = 011

**197.** Cho mạch phân kênh 1→8 như hình 3.4, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs), C÷A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Để Z kết nối với  $Y_0$  phải điều khiển như sau:

- a. E = 0 ; CBA = 000  
 b. E = 0 ; CBA = 110  
 c. E = 1 ; CBA = 001  
 d. E = 1 ; CBA = 111

**198.** Cho mạch phân kênh 1→8 như hình 3.4, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs), C÷A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Để Z kết nối với  $Y_1$  phải điều khiển như sau:

- a. E = 0 ; CBA = 110  
 b. E = 0 ; CBA = 001  
 c. E = 1 ; CBA = 110  
 d. E = 1 ; CBA = 011

**199.** Cho mạch phân kênh 1→8 như hình 3.4, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs), C÷A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Để Z kết nối với  $Y_5$  phải điều khiển như sau:

- a. E = 0 ; CBA = 101  
 b. E = 0 ; CBA = 010  
 c. E = 1 ; CBA = 110  
 d. E = 1 ; CBA = 011

**200.** Cho mạch phân kênh 1→8 như hình 3.4, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs), C÷A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Để Z kết nối với  $Y_2$  phải điều khiển như sau:

- a. E = 0 ; CBA = 101  
 b. E = 0 ; CBA = 010  
 c. E = 1 ; CBA = 110  
 d. E = 1 ; CBA = 011

**201.** Cho mạch phân kênh 1→8 như hình 3.4, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs), C÷A là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Để Z kết nối với  $Y_4$  phải điều khiển như sau:

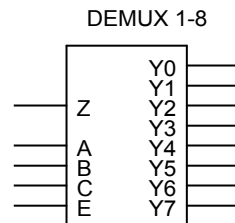
- a. E = 0 ; CBA = 110  
 b. E = 0 ; CBA = 100  
 c. E = 1 ; CBA = 110  
 d. E = 1 ; CBA = 011

**Đề cương ôn thi liên thông môn chuyên ngành, hệ Cao đẳng - Đại học.**

- 202.** Cho mạch phân kênh  $1 \rightarrow 8$  như hình 3.4, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển  $E = 0$ ,  $CBA = 001$  thì
- Ngõ vào Z kết nối với Y1
  - Ngõ vào Z kết nối với Y3
  - Mạch không hoạt động các ngõ ra bằng 1
  - Mạch không hoạt động các ngõ ra bằng 0
- 203.** Cho mạch phân kênh  $1 \rightarrow 8$  như hình 3.4, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển  $E = 1$ ,  $CBA = 001$  thì
- Ngõ vào Z kết nối với Y1
  - Ngõ vào Z kết nối với Y3
  - Mạch không hoạt động các ngõ ra bằng 1
  - Mạch không hoạt động, các ngõ ra bằng 0
- 204.** Cho mạch phân kênh  $1 \rightarrow 8$  như hình 3.4, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển  $E = 0$ ,  $CBA = 110$  thì ngõ vào Z kết nối với
- Ngõ vào Z kết nối với Y3
  - Ngõ vào Z kết nối với Y6
  - Mạch không hoạt động các ngõ ra bằng 1
  - Mạch không hoạt động, các ngõ ra bằng 0
- 205.** Cho mạch phân kênh  $1 \rightarrow 8$  như hình 3.4, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển  $E = 1$ ,  $CBA = 110$  thì
- Ngõ vào Z kết nối với Y3
  - Ngõ vào Z kết nối với Y6
  - Mạch không hoạt động các ngõ ra bằng 1
  - Mạch không hoạt động, các ngõ ra bằng 0
- 206.** Cho mạch phân kênh  $1 \rightarrow 8$  như hình 3.4, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển  $E = 0$ ,  $CBA = 101$  thì
- Ngõ vào Z kết nối với Y1
  - Ngõ vào Z kết nối với Y5
  - Mạch không hoạt động các ngõ ra bằng 1
  - Mạch không hoạt động, các ngõ ra bằng 0
- 207.** Cho mạch phân kênh  $1 \rightarrow 8$  như hình 3.4, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển  $E = 1$ ,  $CBA = 011$  thì
- Ngõ vào Z kết nối với Y3
  - Ngõ vào Z kết nối với Y6
  - Mạch không hoạt động các ngõ ra bằng 1
  - Mạch không hoạt động, các ngõ ra bằng 0
- 208.** Cho mạch phân kênh  $1 \rightarrow 8$  như hình 3.4, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển  $E = 0$ ,  $CBA = 100$  thì
- Ngõ vào Z kết nối với Y1
  - Ngõ vào Z kết nối với Y4
  - Mạch không hoạt động các ngõ ra bằng 1
  - Mạch không hoạt động, các ngõ ra bằng 0
- 209.** Cho mạch phân kênh  $1 \rightarrow 8$  như hình 3.4, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển  $E = 1$ ,  $CBA = 100$  thì
- Ngõ vào Z kết nối với Y1
  - Ngõ vào Z kết nối với Y6
  - Ngõ vào Z kết nối với Y4
  - DEMUX không hoạt động và các ngõ ra  $Y_0 \div Y_7$  ở mức thấp.



- 210.** Cho mạch phân kênh 1→8 như hình 3.5, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Để Z kết nối với  $Y_3$  phải điều khiển như sau:
- $E = 0$  ;  $CBA = 110$
  - $E = 0$  ;  $CBA = 011$
  - $E = 1$  ;  $CBA = 110$
  - $E = 1$  ;  $CBA = 011$
- 211.** Cho mạch phân kênh 1→8 như hình 3.5, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Để Z kết nối với  $Y_6$  phải điều khiển như sau:
- $E = 0$  ;  $CBA = 110$
  - $E = 0$  ;  $CBA = 011$
  - $E = 1$  ;  $CBA = 110$
  - $E = 1$  ;  $CBA = 011$
- 212.** Cho mạch phân kênh 1→8 như hình 3.5, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Để Z kết nối với  $Y_2$  phải điều khiển như sau:
- $E = 0$  ;  $CBA = 010$
  - $E = 0$  ;  $CBA = 101$
  - $E = 1$  ;  $CBA = 010$
  - $E = 1$  ;  $CBA = 101$
- 213.** Cho mạch phân kênh 1→8 như hình 3.5, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Để Z kết nối với  $Y_1$  phải điều khiển như sau:
- $E = 0$  ;  $CBA = 001$
  - $E = 0$  ;  $CBA = 100$
  - $E = 1$  ;  $CBA = 001$
  - $E = 1$  ;  $CBA = 100$
- 214.** Cho mạch phân kênh 1→8 như hình 3.5, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Để Z kết nối với  $Y_4$  phải điều khiển như sau:
- $E = 0$  ;  $CBA = 001$
  - $E = 0$  ;  $CBA = 100$
  - $E = 1$  ;  $CBA = 001$
  - $E = 1$  ;  $CBA = 100$
- 215.** Cho mạch phân kênh 1→8 như hình 3.5, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển  $E = 1$ ,  $CBA = 100$  thì Ngõ vào Z kết nối với
- Ngõ vào Z kết nối với  $Y_1$
  - Ngõ vào Z kết nối với  $Y_4$
  - Mạch không hoạt động, ngõ ra bằng 0
  - Mạch không hoạt động, ngõ ra bằng 1

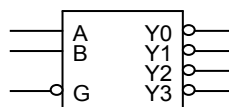


Hình 3.5

- 216.** Cho mạch phân kênh 1→8 như hình 3.5, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển  $E = 0$ ,  $CBA = 100$  thì Ngõ vào Z kết nối với
- Ngõ vào Z kết nối với  $Y_1$
  - Ngõ vào Z kết nối với  $Y_4$
  - Mạch không hoạt động, ngõ ra bằng 0
  - Mạch không hoạt động, ngõ ra bằng 1

- 217.** Cho mạch phân kênh  $1 \rightarrow 8$  như hình 3.5, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển  $E = 1$ ,  $CBA = 001$  thì Ngõ vào Z kết nối với
- Ngõ vào Z kết nối với Y1
  - Ngõ vào Z kết nối với Y4
  - Mạch không hoạt động, ngõ ra bằng 0
  - Mạch không hoạt động, ngõ ra bằng 1
- 218.** Cho mạch phân kênh  $1 \rightarrow 8$  như hình 3.5, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển  $E = 0$ ,  $CBA = 100$  thì Ngõ vào Z kết nối với
- Ngõ vào Z kết nối với Y1
  - Ngõ vào Z kết nối với Y4
  - Mạch không hoạt động, ngõ ra bằng 0
  - Mạch không hoạt động, ngõ ra bằng 1
- 219.** Cho mạch phân kênh  $1 \rightarrow 8$  như hình 3.5, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển  $E = 1$ ,  $CBA = 110$  thì Ngõ vào Z kết nối với
- Ngõ vào Z kết nối với Y2
  - Ngõ vào Z kết nối với Y6
  - Mạch không hoạt động, ngõ ra bằng 0
  - Mạch không hoạt động, ngõ ra bằng 1
- 220.** Cho mạch phân kênh  $1 \rightarrow 8$  như hình 3.5, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển  $E = 0$ ,  $CBA = 110$  thì Ngõ vào Z kết nối với
- Ngõ vào Z kết nối với Y3
  - Ngõ vào Z kết nối với Y6
  - Mạch không hoạt động, ngõ ra bằng 0
  - Mạch không hoạt động, ngõ ra bằng 1
- 221.** Cho mạch phân kênh  $1 \rightarrow 8$  như hình 3.5, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển  $E = 1$ ,  $CBA = 011$  thì Ngõ vào Z kết nối với
- Ngõ vào Z kết nối với Y3
  - Ngõ vào Z kết nối với Y6
  - Mạch không hoạt động, ngõ ra bằng 0
  - Mạch không hoạt động, ngõ ra bằng 1
- 222.** Cho mạch phân kênh  $1 \rightarrow 8$  như hình 3.5, trong đó Z là kênh tín hiệu vào (data input),  $Y_0 \div Y_7$  là 8 kênh tín hiệu ra (data outputs),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB, E là ngõ vào cho phép (enable input). Nếu điều khiển  $E = 0$ ,  $CBA = 011$  thì Ngõ vào Z kết nối với
- Ngõ vào Z kết nối với Y3
  - Ngõ vào Z kết nối với Y6
  - Mạch không hoạt động, ngõ ra bằng 0
  - Mạch không hoạt động, ngõ ra bằng 1
- 223.** Cho mạch giải mã  $2 \rightarrow 4$  như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_3$  là các ngõ ra (data outputs). Để  $Y_1$  ở mức tích cực và  $Y_0, Y_2, Y_3$  ở mức thụ động ta điều khiển như sau:
- $G=0$  ;  $BA=10$
  - $G=1$  ;  $BA=10$
  - $G=0$  ;  $BA=01$
  - $G=1$  ;  $BA=01$

DECODER 2-4



Hình 3.6

- 224.** Cho mạch giải mã  $2 \rightarrow 4$  như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_3$  là các ngõ ra (data outputs). Để  $Y_2$  ở mức tích cực và  $Y_0, Y_1, Y_3$  ở mức thụ động ta điều khiển như sau:
- $G=0$  ;  $BA=10$
  - $G=1$  ;  $BA=10$
  - $G=0$  ;  $BA=01$
  - $G=1$  ;  $BA=01$

**Đề cương ôn thi liên thông môn chuyên ngành, hệ Cao đẳng - Đại học.**

**225.** Cho mạch giải mã  $2 \rightarrow 4$  như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_3$  là các ngõ ra (data outputs). Để  $Y_0$  ở mức tích cực và  $Y_0, Y_1, Y_3$  ở mức thụ động ta điều khiển như sau:

- a. G=0 ; BA=11                      b. G=0 ; BA=00  
c. G=1 ; BA=00                      d. G=1 ; BA=11

**226.** Cho mạch giải mã  $2 \rightarrow 4$  như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_3$  là các ngõ ra (data outputs). Để  $Y_3$  ở mức tích cực và  $Y_0, Y_1, Y_2$  ở mức thụ động ta điều khiển như sau:

- a. G=0 ; BA=11                      b. G=0 ; BA=00  
c. G=1 ; BA=00                      d. G=1 ; BA=11

**227.** Cho mạch giải mã  $2 \rightarrow 4$  như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_3$  là các ngõ ra (data outputs). Nếu G=0; BA=00 thì trạng thái của các ngõ ra là :

- a.  $Y_3Y_2Y_1Y_0 = 0000$                       b.  $Y_3Y_2Y_1Y_0 = 0001$   
c.  $Y_3Y_2Y_1Y_0 = 1110$                       d.  $Y_3Y_2Y_1Y_0 = 1111$

**228.** Cho mạch giải mã  $2 \rightarrow 4$  như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_3$  là các ngõ ra (data outputs). Nếu G=1; BA=00 thì trạng thái của các ngõ ra là :

- a.  $Y_3Y_2Y_1Y_0 = 0000$                       b.  $Y_3Y_2Y_1Y_0 = 0001$   
c.  $Y_3Y_2Y_1Y_0 = 1110$                       d.  $Y_3Y_2Y_1Y_0 = 1111$

**229.** Cho mạch giải mã  $2 \rightarrow 4$  như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_3$  là các ngõ ra (data outputs). Nếu G=0; BA=01 thì trạng thái của các ngõ ra là :

- a.  $Y_3Y_2Y_1Y_0 = 0000$                       b.  $Y_3Y_2Y_1Y_0 = 0010$   
c.  $Y_3Y_2Y_1Y_0 = 1101$                       d.  $Y_3Y_2Y_1Y_0 = 1111$

**230.** Cho mạch giải mã  $2 \rightarrow 4$  như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_3$  là các ngõ ra (data outputs). Nếu G=1; BA=01 thì trạng thái của các ngõ ra là :

- a.  $Y_3Y_2Y_1Y_0 = 0000$                       b.  $Y_3Y_2Y_1Y_0 = 0010$   
c.  $Y_3Y_2Y_1Y_0 = 1101$                       d.  $Y_3Y_2Y_1Y_0 = 1111$

**231.** Cho mạch giải mã  $2 \rightarrow 4$  như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_3$  là các ngõ ra (data outputs). Nếu G=0; BA=11 thì trạng thái của các ngõ ra là :

- a.  $Y_3Y_2Y_1Y_0 = 0000$                       b.  $Y_3Y_2Y_1Y_0 = 0111$   
c.  $Y_3Y_2Y_1Y_0 = 1000$                       d.  $Y_3Y_2Y_1Y_0 = 1111$

**232.** Cho mạch giải mã  $2 \rightarrow 4$  như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_3$  là các ngõ ra (data outputs). Nếu G=1; BA=11 thì trạng thái của các ngõ ra là :

- a.  $Y_3Y_2Y_1Y_0 = 0000$                       b.  $Y_3Y_2Y_1Y_0 = 0111$   
c.  $Y_3Y_2Y_1Y_0 = 1000$                       d.  $Y_3Y_2Y_1Y_0 = 1111$

**233.** Cho mạch giải mã  $2 \rightarrow 4$  như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_3$  là các ngõ ra (data outputs). Nếu G=0; BA=10 thì trạng thái của các ngõ ra là :

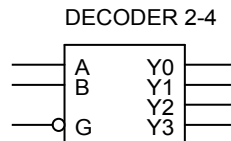
- a.  $Y_3Y_2Y_1Y_0 = 1011$                       b.  $Y_3Y_2Y_1Y_0 = 1101$   
c.  $Y_3Y_2Y_1Y_0 = 0100$                       d.  $Y_3Y_2Y_1Y_0 = 0010$

**234.** Cho mạch giải mã  $2 \rightarrow 4$  như hình 3.6, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_3$  là các ngõ ra (data outputs). Nếu  $G=1$ ;  $BA=10$  thì trạng thái của các ngõ ra là :

- a.  $Y_3Y_2Y_1Y_0 = 1011$                       b.  $Y_3Y_2Y_1Y_0 = 0100$   
c.  $Y_3Y_2Y_1Y_0 = 0000$                       d.  $Y_3Y_2Y_1Y_0 = 1111$

**235.** Cho mạch giải mã  $2 \rightarrow 4$  như hình 3.7, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_3$  là các ngõ ra (data outputs). Để  $Y_2$  ở mức tích cực và  $Y_0, Y_1, Y_3$  ở mức thụ động ta điều khiển như sau :

- a.  $G=0$  ;  $BA=10$                       b.  $G=1$  ;  $BA=10$   
c.  $G=0$  ;  $BA=01$                       d.  $G=1$  ;  $BA=01$



Hình 3.7

**236.** Cho mạch giải mã  $2 \rightarrow 4$  như hình 3.7, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_3$  là các ngõ ra (data outputs). Nếu  $G=0$ ;  $BA=10$  thì trạng thái của các ngõ ra là :

- a.  $Y_3Y_2Y_1Y_0 = 1011$                       b.  $Y_3Y_2Y_1Y_0 = 1101$   
c.  $Y_3Y_2Y_1Y_0 = 0100$                       d.  $Y_3Y_2Y_1Y_0 = 0010$

**237.** Cho mạch giải mã  $2 \rightarrow 4$  như hình 3.7, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_3$  là các ngõ ra (data outputs). Nếu  $G=1$ ;  $BA=01$  thì trạng thái của các ngõ ra là :

- a.  $Y_3Y_2Y_1Y_0 = 1011$                       b.  $Y_3Y_2Y_1Y_0 = 0100$   
c.  $Y_3Y_2Y_1Y_0 = 0000$                       d.  $Y_3Y_2Y_1Y_0 = 1111$

**238.** Cho mạch giải mã  $2 \rightarrow 4$  như hình 3.7, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_3$  là các ngõ ra (data outputs). Nếu  $G=1$ ;  $BA=00$  thì trạng thái của các ngõ ra là :

- a.  $Y_3Y_2Y_1Y_0 = 0000$                       b.  $Y_3Y_2Y_1Y_0 = 0001$   
c.  $Y_3Y_2Y_1Y_0 = 1110$                       d.  $Y_3Y_2Y_1Y_0 = 1111$

**239.** Cho mạch giải mã  $2 \rightarrow 4$  như hình 3.7, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_3$  là các ngõ ra (data outputs). Nếu  $G=0$ ;  $BA=00$  thì trạng thái của các ngõ ra là :

- a.  $Y_3Y_2Y_1Y_0 = 0000$                       b.  $Y_3Y_2Y_1Y_0 = 0001$   
c.  $Y_3Y_2Y_1Y_0 = 1110$                       d.  $Y_3Y_2Y_1Y_0 = 1111$

**240.** Cho mạch giải mã  $2 \rightarrow 4$  như hình 3.7, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_3$  là các ngõ ra (data outputs). Nếu  $G=0$ ;  $BA=11$  thì trạng thái của các ngõ ra là :

- a.  $Y_3Y_2Y_1Y_0 = 0000$                       b.  $Y_3Y_2Y_1Y_0 = 1000$   
c.  $Y_3Y_2Y_1Y_0 = 0001$                       d.  $Y_3Y_2Y_1Y_0 = 1111$

**241.** Cho mạch giải mã  $2 \rightarrow 4$  như hình 3.7, trong đó G là ngõ vào cho phép (enable input), B, A là 2 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_3$  là các ngõ ra (data outputs). Nếu  $G=1$ ;  $BA=00$  thì trạng thái của các ngõ ra là :

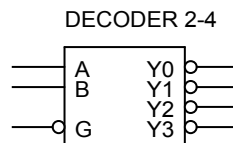
- a.  $Y_3Y_2Y_1Y_0 = 0000$       b.  $Y_3Y_2Y_1Y_0 = 0001$   
c.  $Y_3Y_2Y_1Y_0 = 1110$       d.  $Y_3Y_2Y_1Y_0 = 1111$

242. Cho mạch giải mã  $2 \rightarrow 4$  như hình 3.7, trong đó G là ngõ vào cho phép (enable input), B và A là 2 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_3$  là các ngõ ra (data outputs). Biểu thức đại số logic của các ngõ ra  $Y_0$  là :

- a.  $Y_0 = \overline{G} \overline{B} \overline{A}$       b.  $Y_0 = G \overline{B} \overline{A}$   
c.  $Y_0 = \overline{G} + \overline{B} + \overline{A}$       d.  $Y_0 = G + \overline{B} + \overline{A}$

243. Cho mạch giải mã  $2 \rightarrow 4$  như hình 3.8, trong đó G là ngõ vào cho phép (enable input), B và A là 2 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_3$  là các ngõ ra (data outputs). Biểu thức đại số logic của các ngõ ra  $Y_0$  là :

- a.  $Y_0 = \overline{G} \overline{B} \overline{A}$       b.  $Y_0 = G \overline{B} \overline{A}$   
c.  $Y_0 = \overline{G} + B + A$       d.  $Y_0 = G + B + A$



Hình 3.8

244. Để tạo ra bộ giải mã  $3 \rightarrow 8$ , ta ghép 2 bộ giải mã (mỗi bộ giải mã đều phải có ngõ vào cho phép):

- a.  $2 \rightarrow 4$       b.  $2 \rightarrow 8$       c.  $1 \rightarrow 4$       d.  $1 \rightarrow 8$

245. Để tạo ra bộ giải mã  $4 \rightarrow 16$ , ta ghép 2 bộ giải mã (mỗi bộ giải mã đều có ngõ vào cho phép):

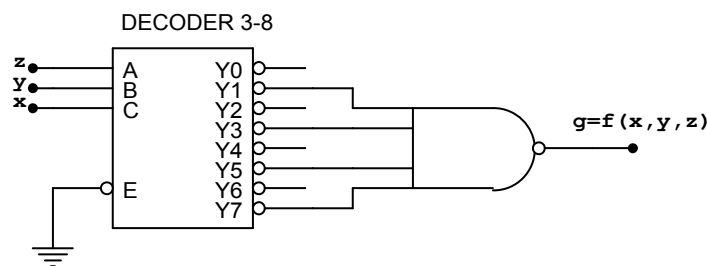
- a.  $2 \rightarrow 8$       b.  $3 \rightarrow 8$       c.  $3 \rightarrow 16$       d.  $2 \rightarrow 16$

246. Một bộ giải mã có thể thực hiện:

- a. Chỉ duy nhất 1 hàm Boole      b. 2 hàm Boole trên cùng 1 hệ giải mã  
c. Không thực hiện được hàm Boole      d. Nhiều hàm Boole trên cùng 1 hệ giải mã

247. Hàm  $G=f(x,y,z)$  được thực hiện bằng mạch giải mã nhị phân như hình 3.9 trong đó E là ngõ vào cho phép (enable input),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_7$  là các ngõ ra (data outputs). Biểu thức đại số logic của hàm  $g=f(x,y,z)$  là :

- a.  $G = \Sigma(1,3,5,7)$       b.  $G = \Sigma(0,2,4,6)$   
c.  $G = \Pi(1,3,5,7)$       d.  $G = \Pi(0,1,3,5,7)$



Hình 3.9

248. Hàm  $G=f(x,y,z)$  được thực hiện bằng mạch giải mã nhị phân như hình 3.9 trong đó E là ngõ vào cho phép (enable input),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_7$  là các ngõ ra (data outputs). Biểu thức đại số logic của hàm  $g=f(x,y,z)$  là :

- a.  $G = \Sigma(0,1,3,5,7)$       b.  $G = \Sigma(0,2,4,6)$   
c.  $G = \Pi(0,2,4,6)$       d.  $G = \Pi(1,3,5,7)$

249. Hàm  $G=f(x,y,z)$  được thực hiện bằng mạch giải mã nhị phân như hình 3.9 trong đó E là ngõ vào cho phép (enable input),  $C \div A$  là 3 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_7$  là



**Đề cương ôn thi liên thông môn chuyên ngành, hệ Cao đẳng - Đại học.**

các ngõ ra (data outputs). Biểu thức đại số logic của hàm  $g=f(x,y,z)$  là :

a.  $G=f(x,y,z) = \bar{x} \bar{y} \bar{z} + \bar{x} y \bar{z} + x \bar{y} \bar{z} + x y \bar{z}$  b.  $G=f(x,y,z) = \bar{x} \bar{y} z + \bar{x} y z + x \bar{y} z + x y z$

c.  $G=f(x,y,z) = x y \bar{z} + x \bar{y} \bar{z} + \bar{x} y \bar{z} + \bar{x} \bar{y} \bar{z}$  d.  $G=f(x,y,z) = x y z + x \bar{y} z + \bar{x} y z + \bar{x} \bar{y} z$

**250.** Hàm  $G=f(x,y,z)$  được thực hiện bằng mạch giải mã nhị phân như hình 3.9 trong đó E là ngõ vào cho phép (enable input), C÷A là 3 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_7$  là 8 ngõ ra (data outputs). Biểu thức đại số logic của hàm  $G=f(x,y,z)$  là:

a.  $G=f(x,y,z) = (\bar{x} + \bar{y} + \bar{z})(\bar{x} + y + \bar{z})(x + \bar{y} + \bar{z})(x + y + \bar{z})$

b.  $G=f(x,y,z) = (\bar{x} + \bar{y} + z)(\bar{x} + y + z)(\bar{x} + y + \bar{z})(x + y + z)$

c.  $G=f(x,y,z) = (x + y + \bar{z})(x + \bar{y} + \bar{z})(\bar{x} + y + \bar{z})(\bar{x} + \bar{y} + \bar{z})$

d.  $G=f(x,y,z) = (x + y + z)(x + \bar{y} + z)(\bar{x} + y + z)(\bar{x} + \bar{y} + z)$

**251.** Hàm  $G=f(x,y,z)$  được thực hiện bằng mạch giải mã nhị phân như hình 3.10 trong đó E là ngõ vào cho phép (enable input), C÷A là 3 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_7$  là 8 ngõ ra (data outputs). Biểu thức đại số logic của hàm  $G=f(x,y,z)$  là:

a.  $G=\Sigma(1,3,5,7)$

b.  $G=\Sigma(0,2,4,6)$

c.  $G=\Pi(1,3,5,7)$

d.  $G=\Pi(0,1,3,5,7)$

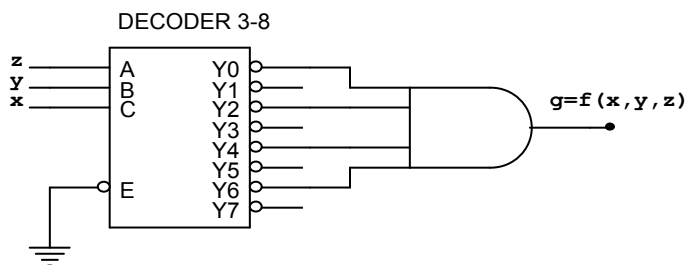
**252.** Hàm  $G=f(x,y,z)$  được thực hiện bằng mạch giải mã nhị phân như hình 3.10 trong đó E là ngõ vào cho phép (enable input), C÷A là 3 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_7$  là 8 ngõ ra (data outputs). Biểu thức đại số logic của hàm  $G=f(x,y,z)$  là:

a.  $G=\Sigma(0,1,3,5,7)$

b.  $G=\Sigma(0,2,4,6)$

c.  $G=\Pi(0,2,4,6)$

d.  $G=\Pi(1,3,5,7)$



**Hình 3.10**

**253.** Hàm  $G=f(x,y,z)$  được thực hiện bằng mạch giải mã nhị phân như hình 3.10 trong đó E là ngõ vào cho phép (enable input), C÷A là 3 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_7$  là 8 ngõ ra (data outputs). Biểu thức đại số logic của hàm  $G=f(x,y,z)$  là:

a.  $G=f(x,y,z) = \bar{x} \bar{y} \bar{z} + \bar{x} y \bar{z} + x \bar{y} \bar{z} + x y \bar{z}$

b.  $G=f(x,y,z) = \bar{x} \bar{y} z + \bar{x} y z + x \bar{y} z + x y z$

c.  $G=f(x,y,z) = x y \bar{z} + x \bar{y} \bar{z} + \bar{x} y \bar{z} + \bar{x} \bar{y} \bar{z}$

d.  $G=f(x,y,z) = x y z + x \bar{y} z + \bar{x} y z + \bar{x} \bar{y} z$

**254.** Hàm  $G=f(x,y,z)$  được thực hiện bằng mạch giải mã nhị phân như hình 3.10 trong đó E là ngõ vào cho phép (enable input), C÷A là 3 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 \div Y_7$  là 8 ngõ ra (data outputs). Biểu thức đại số logic của hàm  $G=f(x,y,z)$  là:

a.  $G=f(x,y,z) = (\bar{x} + \bar{y} + \bar{z})(\bar{x} + y + \bar{z})(x + \bar{y} + \bar{z})(x + y + \bar{z})$

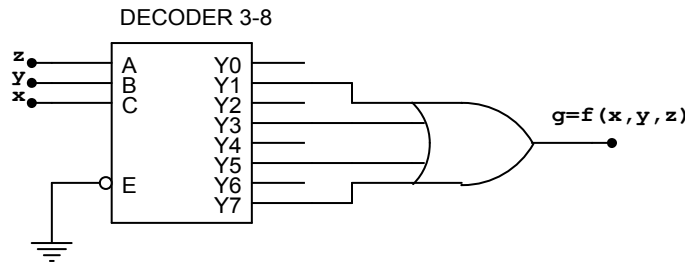
b.  $G=f(x,y,z) = (\bar{x} + \bar{y} + z)(\bar{x} + y + z)(\bar{x} + y + \bar{z})(x + y + z)$

c.  $G=f(x,y,z) = (x + y + \bar{z})(x + \bar{y} + \bar{z})(\bar{x} + y + \bar{z})(\bar{x} + \bar{y} + \bar{z})$

d.  $G=f(x,y,z) = (x + y + z)(x + \bar{y} + z)(\bar{x} + y + z)(\bar{x} + \bar{y} + z)$

**255.** Hàm  $G=f(x,y,z)$  được thực hiện bằng mạch giải mã nhị phân như hình 3.11 trong đó E là ngõ vào cho phép (enable input), C÷A là 3 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 ÷ Y_7$  là các ngõ ra (data outputs). Biểu thức đại số logic của hàm  $g=f(x,y,z)$  là :

- a.  $G=\Sigma(1,3,5,7)$                       b.  $G=\Sigma(0,2,4,6)$   
c.  $G=\Pi(1,3,5,7)$                       d.  $G=\Pi(0,1,3,5,7)$



Hình 3.11

**256.** Hàm  $G=f(x,y,z)$  được thực hiện bằng mạch giải mã nhị phân như hình 3.11 trong đó E là ngõ vào cho phép (enable input), C÷A là 3 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 ÷ Y_7$  là các ngõ ra (data outputs). Biểu thức đại số logic của hàm  $g=f(x,y,z)$  là :

- a.  $G=\Sigma(0,1,3,5,7)$                       b.  $G=\Sigma(0,2,4,6)$   
c.  $G=\Pi(0,2,4,6)$                       d.  $G=\Pi(1,3,5,7)$

**257.** Hàm  $G=f(x,y,z)$  được thực hiện bằng mạch giải mã nhị phân như hình 3.11 trong đó E là ngõ vào cho phép (enable input), C÷A là 3 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 ÷ Y_7$  là các ngõ ra (data outputs). Biểu thức đại số logic của hàm  $g=f(x,y,z)$  là :

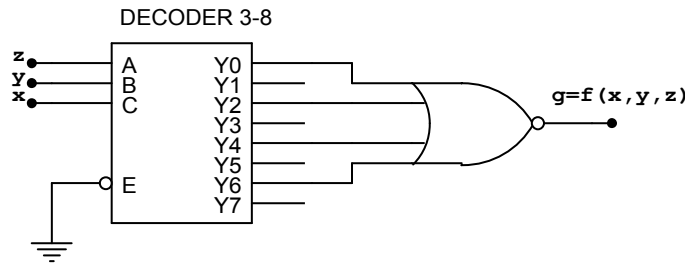
- a.  $G=f(x,y,z) = \bar{x} \bar{y} \bar{z} + \bar{x} y \bar{z} + x \bar{y} \bar{z} + x y \bar{z}$   
b.  $G=f(x,y,z) = \bar{x} \bar{y} z + \bar{x} y z + x \bar{y} z + x y z$   
c.  $G=f(x,y,z) = x y \bar{z} + x \bar{y} \bar{z} + \bar{x} y \bar{z} + \bar{x} \bar{y} \bar{z}$   
d.  $G=f(x,y,z) = x y z + x \bar{y} z + \bar{x} y z + \bar{x} \bar{y} z$

**258.** Hàm  $G=f(x,y,z)$  được thực hiện bằng mạch giải mã nhị phân như hình 3.11 trong đó E là ngõ vào cho phép (enable input), C÷A là 3 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 ÷ Y_7$  là 8 ngõ ra (data outputs). Biểu thức đại số logic của hàm  $G=f(x,y,z)$  là:

- a.  $G=f(x,y,z) = (\bar{x} + \bar{y} + \bar{z})(\bar{x} + y + \bar{z})(x + \bar{y} + \bar{z})(x + y + \bar{z})$   
b.  $G=f(x,y,z) = (\bar{x} + \bar{y} + z)(\bar{x} + y + z)(\bar{x} + y + \bar{z})(x + y + z)$   
c.  $G=f(x,y,z) = (x + y + \bar{z})(x + \bar{y} + \bar{z})(\bar{x} + y + \bar{z})(\bar{x} + \bar{y} + \bar{z})$   
d.  $G=f(x,y,z) = (x + y + z)(x + \bar{y} + z)(\bar{x} + y + z)(\bar{x} + \bar{y} + z)$

**259.** Hàm  $G=f(x,y,z)$  được thực hiện bằng mạch giải mã nhị phân như hình 3.12 trong đó E là ngõ vào cho phép (enable input), C÷A là 3 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 ÷ Y_7$  là 8 ngõ ra (data outputs). Biểu thức đại số logic của hàm  $G=f(x,y,z)$  là:

- a.  $G=\Sigma(1,3,5,7)$                       b.  $G=\Sigma(0,2,4,6)$   
c.  $G=\Pi(1,3,5,7)$                       d.  $G=\Pi(0,1,3,5,7)$



Hình 3.12

**260.** Hàm  $G=f(x,y,z)$  được thực hiện bằng mạch giải mã nhị phân như hình 3.12 trong đó E là ngõ vào cho phép (enable input), C÷A là 3 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 ÷ Y_7$  là 8 ngõ ra (data outputs). Biểu thức đại số logic của hàm  $G=f(x,y,z)$  là:

- a.  $G = \Sigma(0,1,3,5,7)$                       b.  $G = \Sigma(0,2,4,6)$   
c.  $G = \Pi(0,2,4,6)$                          d.  $G = \Pi(1,3,5,7)$

**261.** Hàm  $G=f(x,y,z)$  được thực hiện bằng mạch giải mã nhị phân như hình 3.12 trong đó E là ngõ vào cho phép (enable input), C÷A là 3 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 ÷ Y_7$  là 8 ngõ ra (data outputs). Biểu thức đại số logic của hàm  $G=f(x,y,z)$  là:

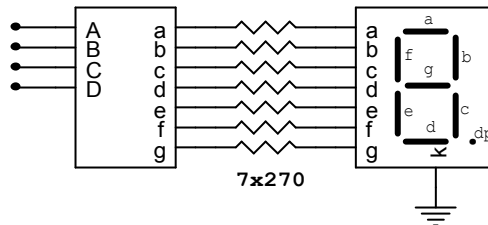
- a.  $G=f(x,y,z) = \bar{x} \bar{y} \bar{z} + \bar{x} y \bar{z} + x \bar{y} \bar{z} + x y \bar{z}$   
b.  $G=f(x,y,z) = \bar{x} \bar{y} z + \bar{x} y z + x \bar{y} z + x y z$   
c.  $G=f(x,y,z) = x y \bar{z} + x \bar{y} \bar{z} + \bar{x} y \bar{z} + \bar{x} \bar{y} \bar{z}$   
d.  $G=f(x,y,z) = x y z + x \bar{y} z + \bar{x} y z + \bar{x} \bar{y} z$

**262.** Hàm  $G=f(x,y,z)$  được thực hiện bằng mạch giải mã nhị phân như hình 3.12 trong đó E là ngõ vào cho phép (enable input), C÷A là 3 ngõ vào điều khiển (select inputs) với A là LSB,  $Y_0 ÷ Y_7$  là 8 ngõ ra (data outputs). Biểu thức đại số logic của hàm  $G=f(x,y,z)$  là:

- a.  $G=f(x,y,z) = (\bar{x} + \bar{y} + \bar{z})(\bar{x} + y + \bar{z})(x + \bar{y} + \bar{z})(x + y + \bar{z})$   
b.  $G=f(x,y,z) = (\bar{x} + \bar{y} + z)(\bar{x} + y + z)(\bar{x} + y + \bar{z})(x + y + z)$   
c.  $G=f(x,y,z) = (x + y + \bar{z})(x + \bar{y} + \bar{z})(\bar{x} + y + \bar{z})(\bar{x} + \bar{y} + \bar{z})$   
d.  $G=f(x,y,z) = (x + y + z)(x + \bar{y} + z)(\bar{x} + y + z)(\bar{x} + \bar{y} + z)$

**263.** Mạch giải mã BCD sang 7 đoạn loại catod chung như hình 3.13 trong đó D÷A là 4 ngõ vào dữ liệu với A là LSB, a÷g là 7 ngõ ra. Khi DCBA=0011 thì trạng thái ngõ ra:

- a. abcdefG=1111001                      b. abcdefG=0000110  
c. abcdefG=1011111                      d. abcdefG=0100000



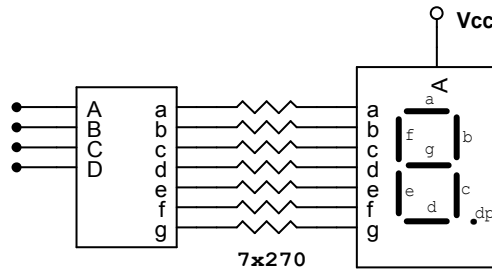
Hình 3.13

**264.** Mạch giải mã BCD sang 7 đoạn loại catod chung như hình 3.13 trong đó D÷A là 4 ngõ vào dữ liệu với A là LSB, a÷g là 7 ngõ ra. Khi DCBA=0010 thì trạng thái ngõ ra:

- a. abcdefG=0010010                      b. abcdefG=1101101  
c. abcdefG=0110011                      d. abcdefG=1001100

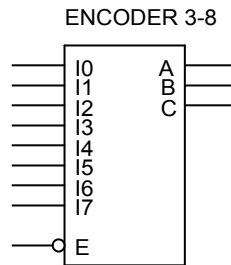


- 265.** Mạch giải mã BCD sang 7 đoạn loại catod chung như hình 3.13 trong đó D÷A là 4 ngõ vào dữ liệu với A là LSB, a÷g là 7 ngõ ra. Khi DCBA=0100 thì trạng thái ngõ ra:
- a. abcdefG=0010010                      b. abcdefG=1000100  
c. abcdefG=0110011                      d. abcdefG=0111011
- 266.** Mạch giải mã BCD sang 7 đoạn loại catod chung như hình 3.13 trong đó D÷A là 4 ngõ vào dữ liệu với A là LSB, a÷g là 7 ngõ ra. Khi DCBA=0101 thì trạng thái ngõ ra:
- a. abcdefG=0010010                      b. abcdefG=1101101  
c. abcdefG=1011011                      d. abcdefG=0100100
- 267.** Mạch giải mã BCD sang 7 đoạn loại anod chung như hình 3.14 trong đó D÷A là 4 ngõ vào dữ liệu với A là LSB, a÷g là 7 ngõ ra. Khi DCBA=0011 thì trạng thái ngõ ra:
- a. abcdefG=1111001                      b. abcdefG=0000110  
c. abcdefG=1011111                      d. abcdefG=0100000



Hình 3.14

- 268.** Mạch giải mã BCD sang 7 đoạn loại anod chung như hình 3.14 trong đó D÷A là 4 ngõ vào dữ liệu với A là LSB, a÷g là 7 ngõ ra. Khi DCBA=0010 thì trạng thái ngõ ra:
- a. abcdefG=1101101                      b. abcdefG=0010010  
c. abcdefG=1001111                      d. abcdefG=0110011
- 269.** Mạch giải mã BCD sang 7 đoạn loại anod chung như hình 3.14 trong đó D÷A là 4 ngõ vào dữ liệu với A là LSB, a÷g là 7 ngõ ra. Khi DCBA=0100 thì trạng thái ngõ ra:
- a. abcdefG=1101101                      b. abcdefG=0010010  
c. abcdefG=1001100                      d. abcdefG=1000100
- 270.** Mạch giải mã BCD sang 7 đoạn loại anod chung như hình 3.14 trong đó D÷A là 4 ngõ vào dữ liệu với A là LSB, a÷g là 7 ngõ ra. Khi DCBA=0101 thì trạng thái ngõ ra:
- a. abcdefG=1101101                      b. abcdefG=0010010  
c. abcdefG=0100100                      d. abcdefG=1011011
- 271.** Mạch mã hoá ưu tiên 8→3 như hình 3.15, trong đó E là ngõ vào tín hiệu cho phép, CBA là 3 ngõ ra tín hiệu với A là LSB, I<sub>0</sub>÷I<sub>7</sub> là 8 ngõ vào tín hiệu với độ ưu tiên giảm dần từ I<sub>7</sub> đến I<sub>0</sub>. Nếu điều khiển E = 0, I<sub>7</sub>I<sub>6</sub>I<sub>5</sub>I<sub>4</sub>I<sub>3</sub>I<sub>2</sub>I<sub>1</sub>I<sub>0</sub> = 10101001 thì trạng thái của ngõ ra là:
- a. CBA=111                                  b. CBA=101  
c. CBA=011                                  d. CBA=000



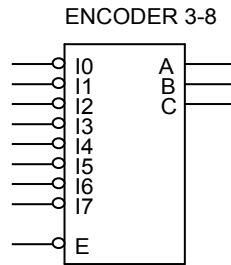
Hình 3.15

272. Mạch mã hoá ưu tiên 8→3 như hình 3.15, trong đó E là ngõ vào tín hiệu cho phép, CBA là 3 ngõ ra tín hiệu với A là LSB,  $I_0 \div I_7$  là 8 ngõ vào tín hiệu với độ ưu tiên giảm dần từ  $I_7$  đến  $I_0$ . Nếu điều khiển  $E = 1$ ,  $I_7 I_6 I_5 I_4 I_3 I_2 I_1 I_0 = 10101001$  thì trạng thái của ngõ ra là:

- a. CBA=111      b. CBA=101      c. CBA=011      d. CBA=000

273. Mạch mã hoá ưu tiên 8→3 như hình 3.16, trong đó E là ngõ vào tín hiệu cho phép, CBA là 3 ngõ ra tín hiệu với A là LSB,  $I_0 \div I_7$  là 8 ngõ vào tín hiệu với độ ưu tiên giảm dần từ  $I_7$  đến  $I_0$ . Nếu điều khiển  $E = 0$ ,  $I_7 I_6 I_5 I_4 I_3 I_2 I_1 I_0 = 10101010$  thì trạng thái của ngõ ra là:

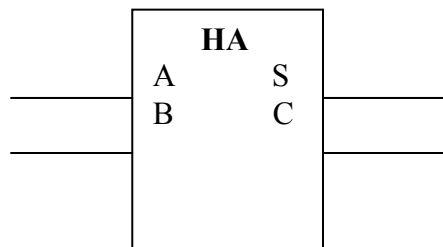
- a. CBA=111      b. CBA=110      c. CBA=101      d. CBA=100



Hình 3.16

274. Mạch cộng bán phần (Haft Adder) thực hiện cộng hai số:

- a. 1 bit      b. 2 bit      c. 3 bit      d. 4 bit



Hình 3.17

275. Mạch cộng bán phần HA (Haft Adder) như hình 3.17:

có biểu thức tổng S ở ngõ ra:

- a.  $S = AB$       b.  $S = A \oplus B$   
c.  $S = A + B$       d.  $S = A + AB$

276. Mạch cộng bán phần HA (Haft Adder) như hình 3.17:

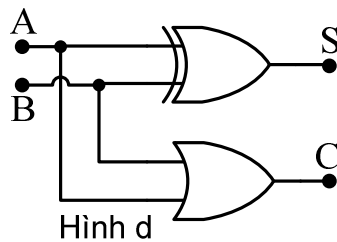
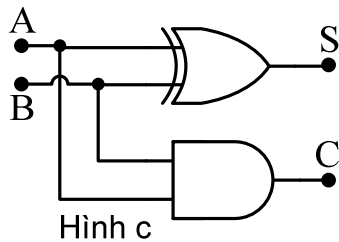
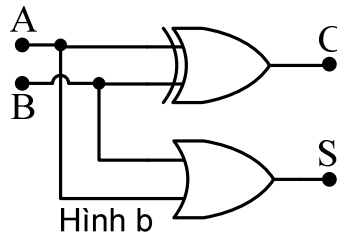
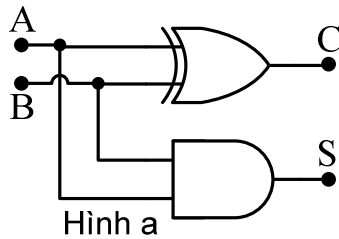
có biểu thức số nhớ C ở ngõ ra:

- a.  $C = A + B$       b.  $C = \bar{A} \bar{B}$

c.  $C = A \oplus B$

d.  $C = AB$

277. Trong các hình vẽ sau, hình nào là sơ đồ mạch cộng bán phần thực hiện bằng cổng logic:



278. Mạch cộng toàn phần FA (Full Adder) thực hiện cộng hai số:

a. 1 bit

b. 2 bit

c. 3 bit

d. 4 bit

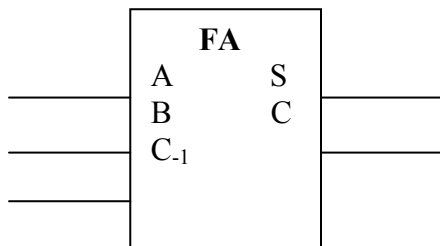
279. Đặc điểm khác nhau giữa mạch cộng toàn phần FA và mạch cộng bán phần HA là:

a. HA có số nhớ từ bit thấp đưa lên

b. FA có số nhớ từ bit thấp đưa lên

c. FA cộng hai số 2 bit, còn HA cộng hai số 1 bit

d. HA cộng hai số 2 bit, còn FA cộng hai số 1 bit



Hình 3.18

280. Mạch cộng toàn phần FA như hình 3.18, có biểu thức tổng ở ngõ ra:

a.  $S = ABC_{-1}$

b.  $S = A+B+C_{-1}$

c.  $S = A \oplus B \oplus C_{-1}$

d.  $S = \bar{A} \oplus \bar{B} \oplus \bar{C}_{-1}$

281. Mạch cộng toàn phần FA như hình 3.18, có biểu thức số nhớ C ở ngõ ra:

a.  $C = ABC_{-1}$

b.  $C = A+B+C_{-1}$

c.  $C = A \oplus B \oplus C_{-1}$

d.  $C = AB+AC_{-1}+BC_{-1}$

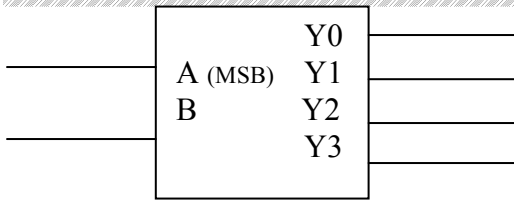
282. Mạch giải mã là mạch:

a. n ngõ vào và n ngõ ra

b. n ngõ vào và 2n ngõ ra

c.  $2^n$  ngõ vào và n ngõ ra

d. n ngõ vào và  $2^n$  ngõ ra



Hình 3.19

283. Mạch giải mã 2 -> 4 như hình 3.19:

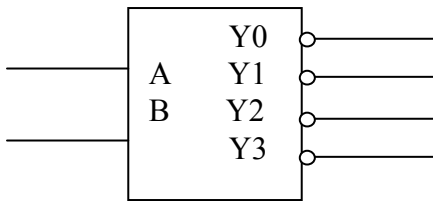
- a.  $Y3 = AB$   
c.  $Y3 = A \oplus B$

- b.  $Y3 = A+B$   
d.  $Y3 = AB+A+B$

284. Mạch giải mã 2 -> 4 như hình 3.19:

- a.  $Y1 = A + B$   
c.  $Y1 = \overline{A} B$

- b.  $Y1 = \overline{A} B$   
d.  $Y1 = A \oplus B$



Hình 3.20

285. Mạch giải mã 2 -> 4 như hình 3.20:

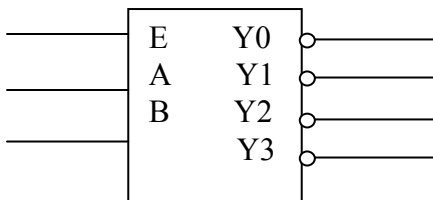
- a. Ngõ ra tích cực mức cao  
c. Ngõ ra luôn tích cực

- b. Ngõ ra tích cực mức thấp  
d. Ngõ ra luôn không tích cực

286. Mạch giải mã 2 -> 4 như hình 3.20:

- a.  $Y0 = \overline{A} B$   
c.  $Y1 = \overline{A} B$

- b.  $Y1 = A + B$   
d.  $Y0 = A + B$



Hình 3.21

287. Mạch giải mã như hình 3.21: Kết luận nào sau đây là SAI

- a. Đây là mạch giải mã 2 → 4  
c. Đây là mạch giải mã có ngõ vào cho phép

- b. Đây là mạch giải mã có ngõ ra tích cực mức thấp  
d. Đây là mạch giải mã có ngõ ra tích cực mức cao

288. Mạch giải mã như hình 3.21:

Kết luận nào sau đây đúng:

- a. Ngõ vào cho phép tích cực mức thấp  
c. Ngõ vào cho phép tích cực mức cao

- b. Ngõ ra tích cực mức cao  
d. Đây là mạch giải mã 3 → 4

289. Mạch giải mã như hình 3.21:

- a. Khi  $E = 0$  thì tất cả các ngõ ra có mức logic 0  
b. Khi  $E = 0$  thì tất cả các ngõ ra có mức logic 1  
c. Khi  $E = 1$  thì tất cả các ngõ ra có mức logic 0  
d. Khi  $E = 1$  thì tất cả các ngõ ra có mức logic 1

290. Khi ghép hai bộ giải mã 2 → 4 ta được

a.1 bộ giải mã  $4 \rightarrow 8$

b.1 bộ giải mã  $3 \rightarrow 8$

c.1 bộ mã hoá  $4 \rightarrow 8$

d.1 bộ mã hoá  $3 \rightarrow 8$

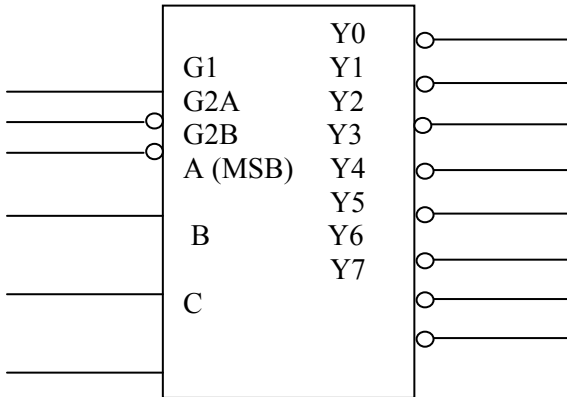
**291.** Để có thể ghép các bộ giải mã với nhau thì cần điều kiện:

a.Bộ giải mã phải có ngõ ra tích cực mức thấp

b.Bộ giải mã phải có ngõ ra tích cực mức cao

c.Không cần điều kiện gì

d.Các bộ giải mã phải có ngõ vào cho phép



**Hình 3.22**

**292.** Cho IC giải mã 74138 như hình 3.22:

a.Đây là IC giải mã từ 3 sang 8

b.Đây là IC giải mã từ 6 sang 8

c.Đây là IC giải mã từ 8 sang 6

d.Đây là IC giải mã từ 8 sang 3

**293.** Cho IC giải mã 74138 như hình 3.22:

a.IC có 3 ngõ vào cho phép

b.IC có ngõ ra tích cực mức cao

c.IC có ngõ ra tích cực mức thấp

d.Câu a,c đúng

**294.** Cho IC giải mã 74138 như hình 3.22:

a.Khi  $G1 = 1$  thì tất cả ngõ ra bằng 0

b.Khi  $G1 = 0$  thì tất cả ngõ ra bằng 0

c.Khi  $G1 = 0$  thì tất cả ngõ ra bằng 1

d.câu b, c đúng

**295.** Cho IC giải mã 74138 như hình 3.22:

a.Khi  $G2A = 1$  thì tất cả ngõ ra bằng 0

b.Khi  $G2A = 0$  thì tất cả ngõ ra bằng 0

c.Khi  $G2A = 1$  thì tất cả ngõ ra bằng 1

d.Khi  $G2A = 0$  thì tất cả ngõ ra bằng 1

**296.** Cho IC giải mã 74138 như hình 3.22:

a.Khi  $G1 = 1, G2A = 1, G2B = 1$  thì tất cả ngõ ra bằng 0

b.Khi  $G1 = 0, G2A = 1, G2B = 0$  thì tất cả ngõ ra bằng 0

c.Khi  $G1 = 1, G2A = 0, G2B = 0$  thì tất cả ngõ ra bằng 1

d.Khi  $G1 = 0, G2A = 1, G2B = 0$  thì tất cả ngõ ra bằng 1

**297.** Cho IC giải mã 74138 như hình 3.22:

Chọn câu đúng nhất:

a.Khi  $A = B = C = 0$  thì  $Y0$  luôn tích cực

b.Khi  $A = B = C = 1$  thì  $Y0$  luôn tích cực

c.Khi  $A = B = C = 0$  thì  $Y0$  tích cực khi các ngõ vào cho phép tích cực

d.Khi  $A = B = C = 1$  thì  $Y0$  tích cực khi các ngõ vào cho phép tích cực

**Đề cương ôn thi liên thông môn chuyên ngành, hệ Cao đẳng - Đại học.**

**298.** Cho IC giải mã 74138 như hình 3.22:

Cho các ngõ vào cho phép tích cực ( $G1 = 1, G2A = G2B = 0$ )

a. Khi  $A = B = C = 1$  thì  $Y0$  tích cực

b. Khi  $A = B = C = 0$  thì  $Y7$  tích cực

c. Khi  $A = 1, B = 0, C = 1$ , thì  $Y5$  tích cực

d. Câu a, b đúng

**299.** Kết luận nào sau đây SAI về mạch giải mã:

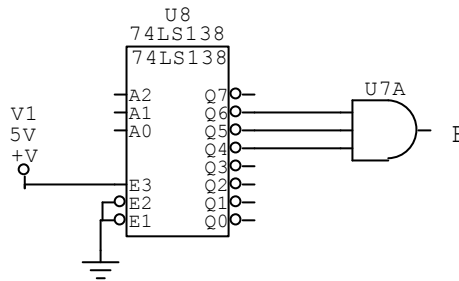
a. Mạch giải mã có số ngõ vào nhiều hơn số ngõ ra

b. Mạch giải mã có số ngõ ra nhiều hơn số ngõ vào

c. Mạch giải mã có thể kết hợp với cổng logic để thực hiện hàm Boole

d. Mạch giải mã có trạng thái ngõ ra phụ thuộc vào trạng thái ngõ vào

**300.** Cho mạch sau:



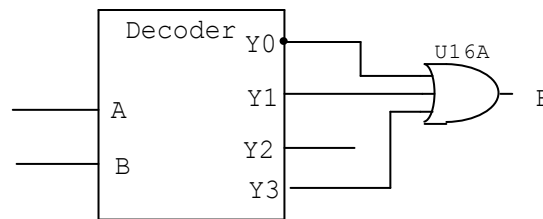
a.  $F = A2A1A0$

b.  $F = A2 + A1 + A0$

c.  $F = \Sigma(4,5,6)$

d.  $F = \Pi(4,5,6)$

**301.** Cho mạch như hình vẽ:



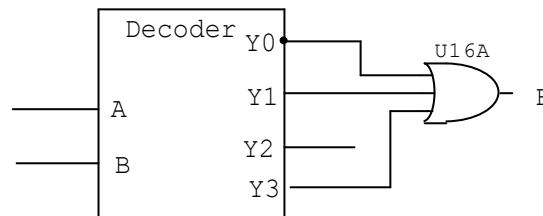
a.  $F = AB$

b.  $F = A + B$

c.  $F = \Sigma(0,1,3)$

d.  $F = \Pi(0,1,3)$

**302.** Cho mạch như hình vẽ:



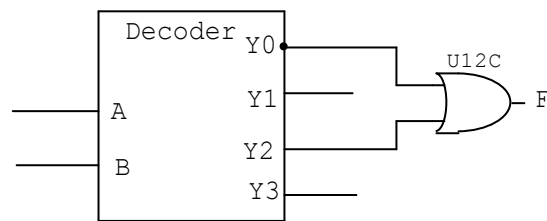
a. câu b, c đúng

b.  $F = \Sigma(0,1,3)$

c.  $F = AB + \bar{A}\bar{B} + \bar{A}B$

d.  $F = \Pi(0,1,3)$

**303.** Cho mạch như hình vẽ:



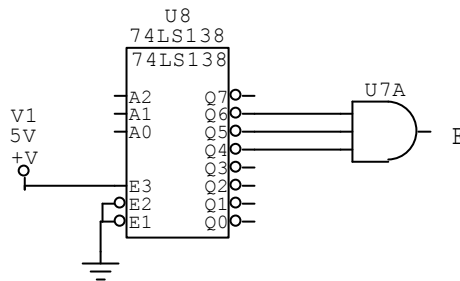
a.  $F = AB + A + B$

b.  $F = \Sigma(0,2)$

c.  $F = \Pi(0,2)$

d.  $F = \bar{A}B + AB$

304. Cho mạch như hình vẽ:



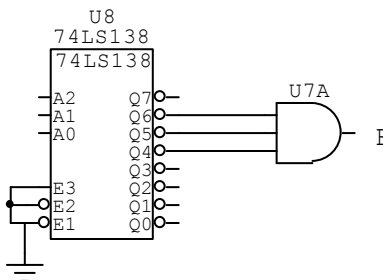
a.  $F = A_2 A_1 A_0 + \bar{A}_2 A_1 A_0 + A_2 A_1 \bar{A}_0$

b.  $F = \left( \bar{A}_2 + A_1 + A_0 \right) \left( \bar{A}_2 + A_1 + \bar{A}_0 \right) \left( \bar{A}_2 + \bar{A}_1 + A_0 \right)$

c.  $F = A_2 \bar{A}_1 \bar{A}_0 + A_2 \bar{A}_1 A_0 + A_2 A_1 A_0$

d.  $F = \left( \bar{A}_2 + A_1 + A_0 \right) \left( \bar{A}_2 + \bar{A}_1 + \bar{A}_0 \right) \left( \bar{A}_2 + \bar{A}_1 + A_0 \right)$

305. Cho mạch như hình vẽ:



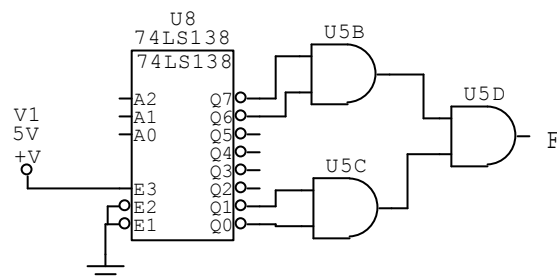
a.  $F = 1$

b.  $F = 0$

c.  $F = \Sigma(4,5,6)$

d.  $F = \Pi(4,5,6)$

306. Cho mạch như hình vẽ:



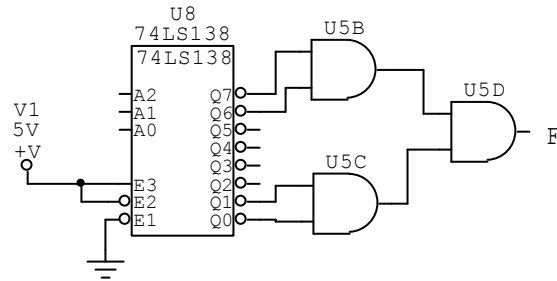
a.  $F = \Sigma(0,1,6,7)$

b.  $F = \Pi(0,1,6,7)$

c.  $F = \sum(1,2,3,4)$

d.  $F = \prod(1,2,3,4)$

307. Cho mạch như hình vẽ:



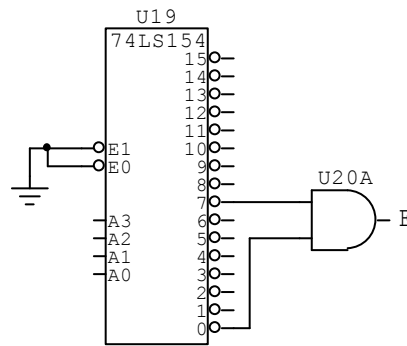
a.  $F = \sum(0,1,6,7)$

b.  $F = \prod(0,1,6,7)$

c.  $F = 1$

d.  $F = 0$

308. Cho mạch sau:



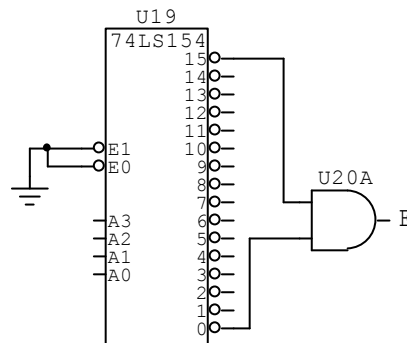
a.  $F = \sum(0,7)$

b.  $F = \prod(0,7)$

c.  $F = (A3 + A2 + A1 + A0)$

d.  $F = A3A2A1A0$

309. Cho mạch sau:



a.  $F = \sum(0,15)$

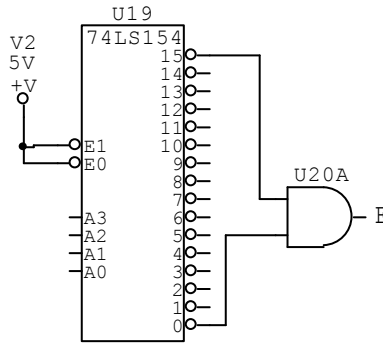
b.  $F = \prod(0,15)$

c.  $F = (A3 + A2 + A1 + A0)(\bar{A3} + \bar{A2} + \bar{A1} + \bar{A0})$

d. câu b,c đúng

310. Cho mạch sau:





a.  $F = \Sigma(0,15)$

b.  $F = \Pi(0,15)$

c.  $F = 1$

d.  $F = 0$

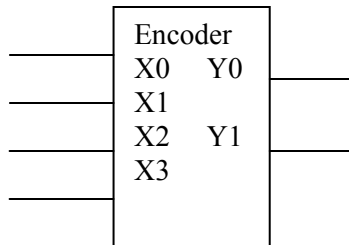
311. Mạch mã hoá (Encoder) là mạch có:

a. Số ngõ vào bằng số ngõ ra

b. Số ngõ vào  $2^n$  và số ngõ ra là  $n$

c. Số ngõ vào là  $n$  và số ngõ ra là  $2^n$

d. số ngõ ra không phụ thuộc vào số ngõ vào



Hình 3.23

312. Cho mạch mã hoá như hình 3.23:

a. Đây là mạch mã hoá  $4 \rightarrow 2$

b. Đây là mạch mã hoá  $2 \rightarrow 4$

c. Đây là mạch mã hoá có ngõ ra tích cực mức cao

d. Câu a, c đúng

313. Cho mạch mã hoá như hình 3.23:

a. Khi  $X0 = 1$  thì  $Y0 = 0, Y1 = 1$

b. Khi  $X0 = 1$  thì  $Y0 = 0, Y1 = 0$

c. Khi  $X0 = 1$  thì  $Y0 = 1, Y1 = 1$

d. Khi  $X0 = 1$  thì  $Y0 = 1, Y1 = 0$

314. Cho mạch mã hoá như hình 3.23:

a.  $Y0 = X0X1X2X3$

b.  $Y0 = \bar{X}0\bar{X}1\bar{X}2\bar{X}3$

c.  $Y0 = \bar{X}2\bar{X}0(\bar{X}3 \oplus \bar{X}1)$

d.  $Y0 = \bar{X}2\bar{X}0(X3 \oplus X1)$

315. Phát biểu nào đúng về mạch mã hoá ưu tiên

a. Mỗi thời điểm chỉ được có một ngõ vào tích cực

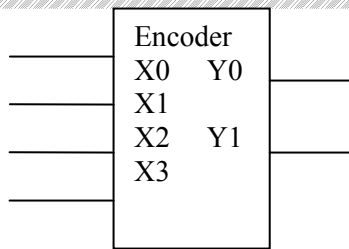
b. Mỗi thời điểm chỉ được có một ngõ ra tích cực

c. Mỗi thời điểm có thể có nhiều ngõ vào tích cực

d. Câu a và b đúng

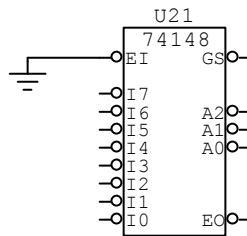
316. Cho mạch mã hoá ưu tiên như hình vẽ (Y1 là MSB), mức độ ưu tiên giảm dần từ X0 đến X3.

Nếu  $X0 = 0, X1 = 1, X2 = 1, X3 = 1$  thì ngõ ra:



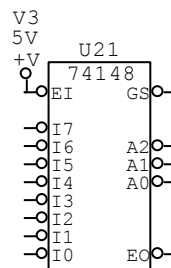
- a.  $Y0 = 1, Y1 = 0$   
 b.  $Y0 = 1, Y1 = 1$   
 c.  $Y0 = 0, Y1 = 0$   
 d.  $Y0 = 0, Y1 = 1$

317. Cho IC mã hoá ưu tiên 74148 như hình vẽ. Cho tất cả các ngõ vào đều có mức logic 0 thì:



- a.  $A2 = 1, A1 = 1, A0 = 1$   
 b.  $A2 = 0, A1 = 0, A0 = 0$   
 c. Giá trị  $A2, A1, A0$  phụ thuộc vào GS, EO  
 d. Câu a và b đúng

318. Cho IC mã hoá ưu tiên 74148 như hình vẽ



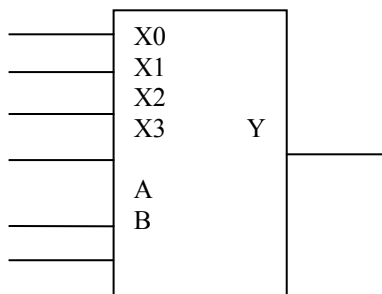
- a.  $A2 = 1, A1 = 1, A0 = 1$   
 b.  $A2 = 0, A1 = 0, A0 = 0$   
 c. Giá trị  $A2, A1, A0$  phụ thuộc vào GS, EO  
 d. Câu c và b đúng

319. Mạch dồn kênh MUX (Multiplexer) là mạch:

- a.  $n$  ngõ vào và  $2^n$  ngõ ra  
 b.  $2^n$  ngõ vào và  $n$  ngõ ra  
 c.  $2n$  ngõ vào và  $n$  ngõ ra  
 d.  $2^n$  dữ liệu (data),  $n$  ngõ vào điều khiển và 1 ngõ ra

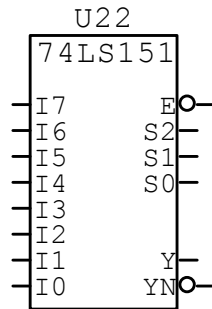
320. Phát biểu nào sau đây SAI về MUX (Multiplexer)

- a. Số ngõ ra luôn là 1  
 b. Số ngõ vào dữ liệu bằng  $2^n$ , với  $n$  là số ngõ vào điều khiển  
 c. Số ngõ vào ít hơn số ngõ ra  
 d. Số ngõ vào nhiều hơn số ngõ ra

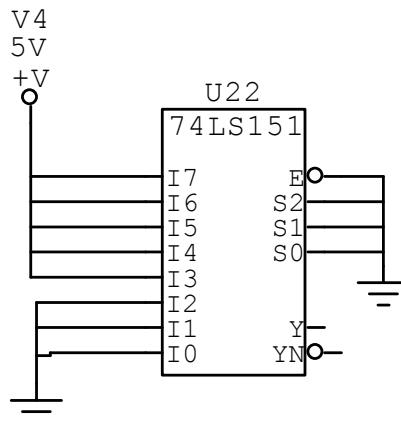


Hình 3.24

321. Cho MUX như hình 3.24 (A là MSB) . Khi  $A = 0, B = 1$  thì
- $Y = X0$
  - $Y = X1$
  - $Y = \bar{A}B$
  - $Y = A + \bar{B}$
322. Cho MUX như hình 3.24(A là MSB). Khi  $A = 0, B = 0$  thì
- $Y = X0$
  - $Y = X1$
  - $Y = \bar{A}B$
  - $Y = A + \bar{B}$
323. Cho MUX như hình 3.24(A là MSB) . Khi  $A = 1, B = 0$  thì
- $Y = \bar{A}B$
  - $Y = X1$
  - $Y = \bar{A}B$
  - $Y = X2$
324. Cho MUX như hình 3.24(A là MSB). Khi  $A = 1, B = 1$  thì
- $Y = X3$
  - $Y = X1$
  - $Y = AB$
  - $Y = A + B$
325. Cho IC MUX 74151 chọn kênh  $8 \rightarrow 1$  như hình vẽ(S2 là MSB). Cho  $E = 0, S2 = 1, S1 = 0, S0 = 1$  thì ngõ ra Y là:

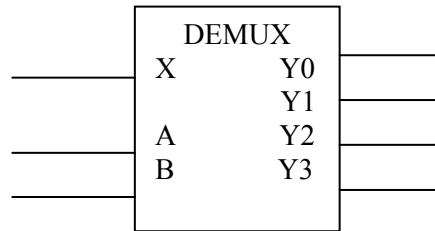


- $Y = \bar{E}S2\bar{S1}S0$
  - $Y = I5$
  - $Y = S2\bar{S1}S0$
  - $Y = \bar{E} + S2 + \bar{S1} + S0$
326. Cho IC MUX 74151 chọn kênh  $8 \rightarrow 1$  như hình vẽ. Ngõ ra Y có mức logic:



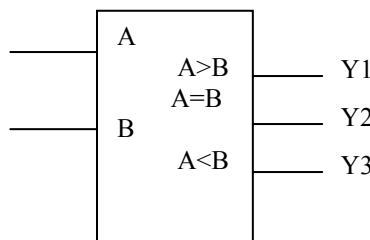
- Không xác định
  - Bảng mức logic của ngõ ra YN
  - 1
  - 0
327. Phát biểu nào sau đây SAI về ghép hai MUX:
- Hai MUX phải có ngõ vào cho phép Enable
  - 2 MUX  $4 \rightarrow 1$  có thể ghép thành một MUX  $8 \rightarrow 1$

- c. 2 MUX  $2 \rightarrow 1$  có thể ghép thành một MUX  $4 \rightarrow 1$   
 d. Ghép 2 MUX  $4 \rightarrow 1$  thành một MUX  $8 \rightarrow 2$
- 328.** Mạch phân kênh DEMUX ( DeMultiplexer) là mạch:  
 a. n ngõ vào điều khiển, 1 ngõ vào dữ liệu và  $2^n$  ngõ ra  
 b.  $2^n$  ngõ vào và n ngõ ra  
 c.  $2n$  ngõ vào và n ngõ ra  
 d. n ngõ vào và  $2^n$  ngõ ra



Hình 3.25

- 329.** Cho mạch phân kênh DeMux như hình 3.25:  
 a. Đây là DeMux  $3 \rightarrow 4$                       b. Đây là DeMux  $1 \rightarrow 4$   
 c. Đây là DeMux  $2 \rightarrow 4$                       d. Đây là DeMux  $4 \rightarrow 1$
- 330.** Cho mạch phân kênh DeMux (A là MSB) như hình 3.25:  
 a. Khi A = 1; B=1 thì ngõ ra Y3 = 1                      b. Khi A = 1; B=1 thì ngõ ra Y3 = 0  
 c. Khi A = 1; B=1 thì ngõ ra Y3 = X                      d. Khi A = 1; B=1 thì ngõ ra Y0 = X
- 331.** Cho mạch phân kênh DeMux (A là MSB) như hình 3.25, cho A = 1; B = 0, X = 1  
 a. Y3 = 1, Y2 = 0, Y1 = 0, Y0 = 0                      b. Y3 = 0, Y2 = 1, Y1 = 1, Y0 = 0  
 c. Y3 = 0, Y2 = 1, Y1 = 0, Y0 = 0                      d. Y3 = 0, Y2 = 1, Y1 = 1, Y0 = 1
- 332.** Mạch kiểm tra chẵn lẻ dùng để:  
 a. Xác định một số là số chẵn                      b. Xác định một số là số lẻ  
 c. Dùng để nhân các số BCD                      d. Phát hiện sai lệch trên đường truyền
- 333.** Cho phương pháp kiểm tra chẵn (Even Parity)  
 a. A = 01101101 thì bit P = 1                      b. A = 10100110 thì bit P = 1  
 c. câu a và d đúng                      d. A = 111100110 thì bit P = 0
- 334.** Cho phương pháp kiểm tra lẻ (Odd Parity)  
 a. A = 01101101 thì bit P = 1                      b. A = 10100110 thì bit P = 1  
 c. A = 1111011010 thì bit P = 1                      d. A = 11110011011 thì bit P = 0



Hình 3.26

- 335.** Cho mạch so sánh 1 bit như hình 3.26:  
 a.  $Y1 = A\bar{B}$                       b.  $Y1 = AB$                       c.  $Y1 = A+B$                       d.  $Y1 = A + \bar{B}$

**Đề cương ôn thi liên thông môn chuyên ngành, hệ Cao đẳng - Đại học.**

**336.** Cho mạch so sánh 1 bit như hình 3.26:

- a.  $Y2 = \overline{A} \overline{B}$     b.  $Y2 = \overline{A \oplus B}$     c.  $Y2 = A \oplus B$     d.  $Y2 = \overline{A} \overline{B}$

**337.** Cho mạch so sánh 1 bit như hình 3.26:

- a.  $Y3 = \overline{A} \overline{B}$     b.  $Y3 = A \oplus B$     c.  $Y3 = \overline{(A \oplus B)}$     d.  $Y3 = \overline{A} \overline{B}$

**338.** Hệ tổ hợp là hệ có giá trị ngõ ra thay đổi tùy thuộc vào :

- a. Trạng thái của các ngõ vào trước đó    b. Trạng thái của các ngõ vào hiện tại  
c. Trạng thái của các ngõ ra trước đó    d. Không câu nào đúng

**339.** Ngõ ra của hệ tổ hợp phụ thuộc vào trạng thái của các ngõ vào theo quy luật:

- a. Hàm Boole    b. Hàm tích phân    c. Hàm mũ    d. Tùy từng tổ hợp

**340.** Số tổ hợp của hệ tổ hợp n biến ngõ vào:

- a. n tổ hợp    b.  $2n$  tổ hợp    c.  $2^n$  tổ hợp    d.  $(n - 1)$  tổ hợp

**341.** Số ngõ ra của bộ giải mã nhị phân n bit (n ngõ vào):

- a. n ngõ ra    b. 1 ngõ ra    c.  $2^n$  ngõ ra    d. Không xác định

**342.** Các ngõ ra của bộ giải mã nhị phân n bit (n ngõ vào) có tính chất:

- a.  $2^n$  ngõ ra đều tích cực  
b. Có 1 ngõ ra tích cực,  $(2^n - 1)$  ngõ ra còn lại không tích cực  
c.  $2^n$  ngõ ra đều không tích cực  
d. Có 1 ngõ ra không tích cực,  $(2^n - 1)$  ngõ ra còn lại đều tích cực

**343.** Nếu các ngõ vào cho phép của bộ giải mã không thỏa điều kiện tích cực thì các ngõ ra của bộ giải mã:

- a. Đều tích cực    b. Đều không tích cực    c. Không xác định được    d. Có 1 ngõ ra tích cực

**344.** Số ngõ ra của bộ mã hóa có  $2^n$  ngõ vào:

- a.  $2^n$  ngõ ra    b. 1 ngõ ra    c. n ngõ ra    d.  $(n - 1)$  ngõ ra

**345.** Bộ dồn kênh  $2^n \rightarrow 1$  có:

- a. Nhiều ngõ ra    b.  $2^n$  ngõ ra  
c. Không xác định số ngõ ra    d. 1 ngõ ra

**346.** Các ngõ vào của bộ dồn kênh được chia làm 2 nhóm:

- a. Ngõ vào cho phép và ngõ vào dữ liệu  
b. Ngõ vào cho phép và ngõ vào điều khiển (địa chỉ)  
c. Ngõ vào dữ liệu và ngõ vào điều khiển (địa chỉ)  
d. Tùy từng loại bộ dồn kênh

**347.** Bộ dồn kênh  $2^n \rightarrow 1$  có:

- a.  $2^n$  ngõ vào điều khiển (địa chỉ)    b.  $2^n$  ngõ vào dữ liệu  
c.  $2^n$  ngõ vào dữ liệu và điều khiển    d.  $2^n$  ngõ vào dữ liệu, điều khiển và cho phép

**348.** Bộ dồn kênh có n ngõ vào điều khiển (địa chỉ), m ngõ vào dữ liệu thì:

- a.  $m = n$     b.  $m = 2n$     c.  $m = 2^n$     d.  $m = 2^n - 1$

**349.** Bộ phân kênh  $1 \rightarrow 2^n$  có:

- a. 1 ngõ ra    b. n ngõ ra  
c.  $2^n$  ngõ ra    d.  $2^n - 1$  ngõ ra

**350.** Bộ cộng phân nửa HA (Half adder) là bộ cộng 2 số nhị phân 1 bit có:

- a. 2 ngõ vào, 2 ngõ ra    b. 2 ngõ vào, 1 ngõ ra  
c. 2 ngõ vào, 3 ngõ ra    d. 2 ngõ vào, 4 ngõ ra

**351.** Bộ cộng đầy đủ FA (Full adder) là bộ cộng 2 số nhị phân 1 bit có thêm bit nhớ từ trọng số thấp hơn gọi tới có:

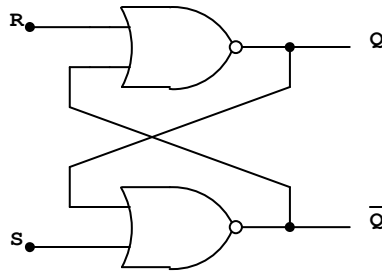
Copyright © 2014 Pearson Education, Inc. or its affiliate(s). All rights reserved. Printed in the United States of America. This publication is protected by copyright. Permission is granted to reproduce copies of this publication for personal or internal use, not with the intent of resale, for the specific or limited purpose of teaching or learning in a classroom or other educational setting, provided that the reproduction is for noncommercial use and is not made for general distribution, for advertising or promotional purposes, for creating new collective works, or for resale.

- Biên soạn: Bộ môn Điện tử Công nghiệp**

## CHƯƠNG 4 : HỆ TUẦN TU

364. Cho mạch chốt RS như hình 4.2. Khi  $R = S = 1$  thì trạng thái ngõ ra là:

- a.  $Q = 0 ; \bar{Q} = 0$
- b.  $Q = 0 ; \bar{Q} = 1$
- c.  $Q = 1 ; \bar{Q} = 0$
- d.  $Q = 1 ; \bar{Q} = 1$



Hình 4.2

365. Cho mạch chốt RS như hình 4.2. Khi  $S = 0 ; R = 1$  thì trạng thái ngõ ra là:

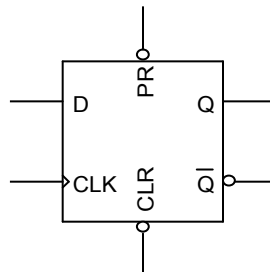
- a.  $Q = 0 ; \bar{Q} = 0$
- b.  $Q = 0 ; \bar{Q} = 1$
- c.  $Q = 1 ; \bar{Q} = 0$
- d.  $Q = 1 ; \bar{Q} = 1$

366. Cho mạch chốt RS như hình 4.2. Khi  $S = 1 ; R = 0$  thì trạng thái ngõ ra là:

- a.  $Q = 0 ; \bar{Q} = 0$
- b.  $Q = 0 ; \bar{Q} = 1$
- c.  $Q = 1 ; \bar{Q} = 0$
- d.  $Q = 1 ; \bar{Q} = 1$

367. Cho D-FF như hình 4.5. Khi  $PR = 0 ; CLR = 1$  thì trạng thái ngõ ra là:

- a.  $Q = 0 ; \bar{Q} = 0$
- b.  $Q = 0 ; \bar{Q} = 1$
- c.  $Q = 1 ; \bar{Q} = 0$
- d.  $Q = 1 ; \bar{Q} = 1$



Hình 4.5

368. Cho D-FF như hình 4.5. Khi  $PR = 1 ; CLR = 0$  thì trạng thái ngõ ra là:

- a.  $Q = 0 ; \bar{Q} = 0$
- b.  $Q = 0 ; \bar{Q} = 1$
- c.  $Q = 1 ; \bar{Q} = 0$
- d.  $Q = 1 ; \bar{Q} = 1$

369. Cho D-FF như hình 4.5. Ngõ vào xung clock (CLK) tác động bằng:

- a. Mức thấp
- b. Mức cao
- c. Cạnh xuống
- d. Cạnh lên

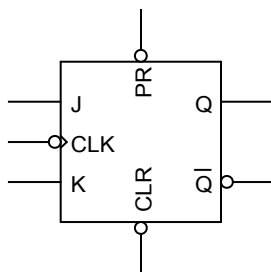
370. Cho D-FF như hình 4.5. Khi  $PR = 1 ; CLR = 1$ ,  $D = 0$ , nếu CLK được kích bằng cạnh lên thì trạng thái ngõ ra là:

- a.  $Q = 0 ; \bar{Q} = 1$
- b.  $Q = 1 ; \bar{Q} = 0$
- c. Không đổi trạng thái (giữ nguyên trạng thái trước đó)
- d. Đổi trạng thái (đảo trạng thái trước đó)

371. Cho D-FF như hình 4.5. Khi  $PR = 1 ; CLR = 1$ ,  $D = 1$ , nếu CLK được kích bằng cạnh lên thì trạng thái ngõ ra là:



- a.  $Q = 0$  ;  $\overline{Q} = 1$                       b.  $Q = 1$  ;  $\overline{Q} = 0$
- c. Không đổi trạng thái (giữ nguyên trạng thái trước đó)
- d. Đổi trạng thái (đảo trạng thái trước đó)
- 372.** Cho D-FF như hình 4.5. Khi  $PR = 1$  ;  $CLR = 1$  ,  $D = 0$ , nếu CLK được kích bằng cạnh xuống thì trạng thái ngõ ra là:
- a.  $Q = 0$  ;  $\overline{Q} = 0$                       b.  $Q = 1$  ;  $\overline{Q} = 1$
- c. Không đổi trạng thái (giữ nguyên trạng thái trước đó)
- d. Đổi trạng thái (đảo trạng thái trước đó)
- 373.** Cho D-FF như hình 4.5. Khi  $PR = 1$  ;  $CLR = 1$  ,  $D = 1$ , nếu CK được kích bằng cạnh xuống thì trạng thái ngõ ra là:
- a.  $Q = 0$  ;  $\overline{Q} = 1$                       b.  $Q = 1$  ;  $\overline{Q} = 1$
- c. Không đổi trạng thái (giữ nguyên trạng thái trước đó)
- d. Đổi trạng thái (đảo trạng thái trước đó)
- 374.** Cho JK-FF như hình 4.6. Khi  $PR = 0$  ;  $CLR = 1$  thì trạng thái ngõ ra là:
- a.  $Q = 0$  ;  $\overline{Q} = 0$                       b.  $Q = 0$  ;  $\overline{Q} = 1$
- c.  $Q = 1$  ;  $\overline{Q} = 0$                       d.  $Q = 1$  ;  $\overline{Q} = 1$



Hình 4.6

- 375.** Cho JK-FF như hình 4.6. Khi  $PR = 1$  ;  $CLR = 0$  thì trạng thái ngõ ra là:
- a.  $Q = 0$  ;  $\overline{Q} = 0$                       b.  $Q = 0$  ;  $\overline{Q} = 1$
- c.  $Q = 1$  ;  $\overline{Q} = 0$                       d.  $Q = 1$  ;  $\overline{Q} = 1$
- 376.** Cho JK-FF như hình 4.6. Ngõ vào xung clock (CK) tác động bằng:
- a. Mức thấp      b. Mức cao      c. Cạnh xuống      d. Cạnh lên
- 377.** Cho JK-FF như hình 4.6. Khi  $PR = 1$  ;  $CLR = 1$  ;  $J = K = 0$ , nếu CK được kích bằng cạnh xuống thì trạng thái ngõ ra là:
- a.  $Q = 0$  ;  $\overline{Q} = 1$                       b.  $Q = 1$  ;  $\overline{Q} = 0$
- c. Không đổi trạng thái (giữ nguyên trạng thái trước đó)
- d. Đổi trạng thái (đảo trạng thái trước đó)
- 378.** Cho JK-FF như hình 4.6. Khi  $PR = 1$  ;  $CLR = 1$  ;  $J = 0$  ;  $K = 1$ , nếu CK được kích bằng cạnh xuống thì trạng thái ngõ ra là:
- a.  $Q = 0$  ;  $\overline{Q} = 1$                       b.  $Q = 1$  ;  $\overline{Q} = 0$
- c. Không đổi trạng thái (giữ nguyên trạng thái trước đó)
- d. Đổi trạng thái (đảo trạng thái trước đó)
- 379.** Cho JK-FF như hình 4.6. Khi  $PR = 1$  ;  $CLR = 1$  ;  $J = 1$  ;  $K = 0$ , nếu CK được kích bằng cạnh xuống thì trạng thái ngõ ra là:
- a.  $Q = 0$  ;  $\overline{Q} = 1$                       b.  $Q = 1$  ;  $\overline{Q} = 0$

a.  $Q = 0$ ;  $\bar{Q} = 1$

d. **Đôi trạng thái (đảo trạng thái trước đó)**

a.  $Q = 0$ ;  $\bar{Q} = 1$

d. **Đôi trạng thái (đảo trạng thái trước đó)**

a.  $Q = 0 ; \bar{Q} = 1$

d. **Đôi trạng thái (đảo trạng thái trước đó)**

a.  $Q = 0$ ;  $\bar{Q} = 1$

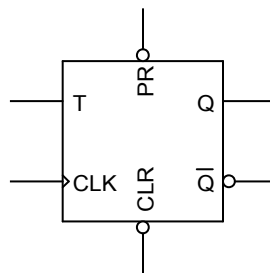
d. Đối trạng thái (đảo trạng thái trước đó)

a.  $Q = 0$ ;  $\bar{Q} = 1$

d. Đối trạng thái (đảo trạng thái trước đó)

a.  $Q = 0$  ;  $\bar{Q} = 0$

c.  $Q = 1$  ;  $\bar{Q} = 0$                       d.  $Q = 1$  ;  $\bar{Q} = 1$



**386.** Cho T-FF như hình 4.7. Khi  $PR = 1$  ;  $\overline{CLR} = 0$  thì trạng thái ngõ ra là:

a.  $Q = 0$  ;  $\bar{O} = 0$                       b.  $Q = 0$  ;  $\bar{O} = 1$

c.  $Q = 1$  ;  $\bar{O} = 0$

**Biên soạn: Bộ môn Điện tử Công nghiệp**

a.  $Q = 0$ ;  $\overline{Q} = 1$                       b.  $Q = 1$ ;  $\overline{Q} = 0$   
c. Không đổi trạng thái (giữ nguyên trạng thái trước đó)  
d. Đổi trạng thái (đảo trạng thái trước đó)

a.  $Q = 0$  ;  $\overline{Q} = 1$                       b.  $Q = 1$  ;  $\overline{Q} = 0$   
c. Không đổi trạng thái (giữ nguyên trạng thái trước đó)  
d. Đổi trạng thái (đảo trạng thái trước đó)

a.  $Q = 0$  ;  $\overline{Q} = 1$                       b.  $Q = 1$  ;  $\overline{Q} = 0$   
c. Không đổi trạng thái (giữ nguyên trạng thái trước đó)  
d. Đổi trạng thái (đảo trạng thái trước đó)

- Ngõ ra của flip flop trước làm xung clock (CK) cho flip flop kế tiếp.
- Xung đếm chỉ đến flip flop đầu tiên.
- Ngõ ra Q của flip flop đầu tiên là bit có trọng số nhỏ nhất (LSB) của trạng thái bộ đếm.
- Cả ba câu a, b, c đều đúng

a.  $(n - 1)$  flip flop      b.  $n$  flip flop      c.  $(n + 1)$  flip flop      d.  $2^n$  flip flop

a. Số trạng thái giống nhau xuất hiện ở vòng đếm  
b. Số trạng thái khác nhau xuất hiện ở vòng đếm  
c. Số trạng thái không xuất hiện ở vòng đếm  
d. Cả 3 câu a, b, c đều sai

a. 2 Hz                      b. 1 Hz                      c. 0,5 Hz                      d. Cả 3 câu a, b, c đều sai



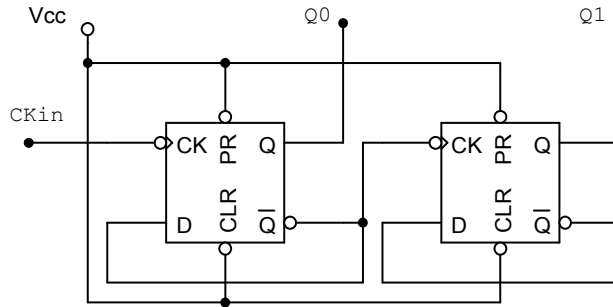
a. 4 Hz                      b. 1 Hz                      c. 0.25 Hz                      d. Cả 3 câu a, b, c đều sai

396. Mạch ở hình 4.8 là bộ đếm :

- a. Nối tiếp, đếm lên có hệ số đếm (modulo) là 2
- b. Nối tiếp, đếm xuống có hệ số đếm (modulo) là 2
- c. Nối tiếp, đếm lên có hệ số đếm (modulo) là 4
- d. Nối tiếp, đếm xuống có hệ số đếm (modulo) là 4

397. Cho mạch như hình 4.9. Đưa xung clock có tần số 1 Hz đến ngõ vào CK<sub>in</sub> thì ngõ ra Q<sub>0</sub> có xung clock với tần số:

- a. 2 Hz
- b. 1 Hz
- c. 0,5 Hz
- d. Cả 3 câu a, b, c đều sai



Hình 4.9

398. Cho mạch như hình 4.9. Đưa xung clock có tần số 1 Hz đến CK<sub>in</sub> thì ngõ ra Q<sub>1</sub> có xung clock với tần số:

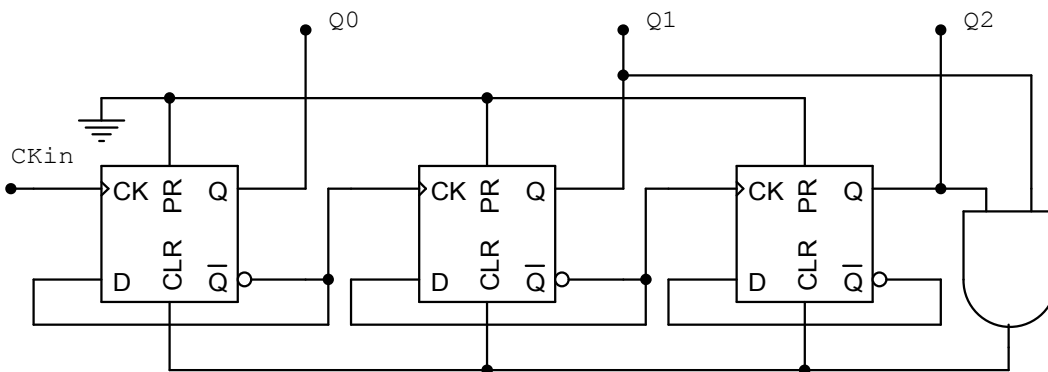
- a. 4 Hz
- b. 1 Hz
- c. 0.25 Hz
- d. Cả 3 câu a, b, c đều sai

399. Mạch ở hình 4.9 là bộ đếm :

- a. Nối tiếp, đếm lên có hệ số đếm (modulo) là 2
- b. Nối tiếp, đếm xuống có hệ số đếm (modulo) là 2
- c. Nối tiếp, đếm lên có hệ số đếm (modulo) là 4
- d. Nối tiếp, đếm xuống có hệ số đếm (modulo) là 4

400. Cho mạch như hình 4.10. Đưa xung clock có tần số 1 KHz đến ngõ vào CK<sub>in</sub> thì ngõ ra Q<sub>0</sub> có xung clock với tần số:

- a. 2 KHz
- b. 1 KHz
- c. 500 Hz
- d. Cả 3 câu a, b, c đều sai



Hình 4.10

401. Cho mạch như hình 4.10. Đưa xung clock có tần số 1 KHz đến CK<sub>in</sub> thì ngõ ra Q<sub>2</sub> có xung clock với tần số:

- a. 8 KHz
- b. 1 KHz
- c. 125 Hz
- d. Cả 3 câu a, b, c đều sai

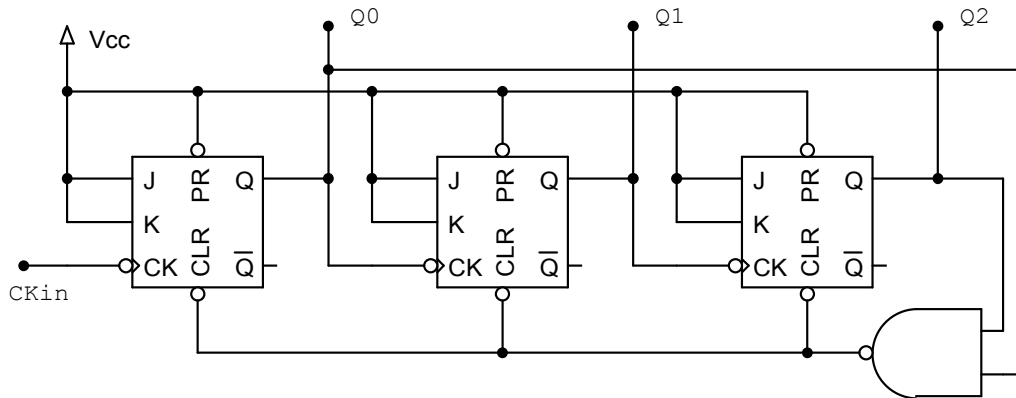
402. Mạch ở hình 4.10 là bộ đếm :

- a. Nối tiếp, đếm lên có hệ số đếm (modulo) là 5
- b. Nối tiếp, đếm xuống có hệ số đếm (modulo) là 5

- c. Nối tiếp, đếm lên có hệ số đếm (modulo) là 6
- d. Nối tiếp, đếm xuống có hệ số đếm (modulo) là 6

403. Cho mạch như hình 4.11. Đưa xung clock có tần số 1 KHz đến ngõ vào CK<sub>in</sub> thì ngõ ra Q<sub>1</sub> có xung clock với tần số:

- a. 4 KHz
- b. 1 KHz
- c. 250 Hz
- d. Cả 3 câu a, b, c đều sai



Hình 4.11

404. Cho mạch như hình 4.11. Đưa xung clock có tần số 1 KHz đến CK<sub>in</sub> thì ngõ ra Q<sub>2</sub> có xung clock với tần số:

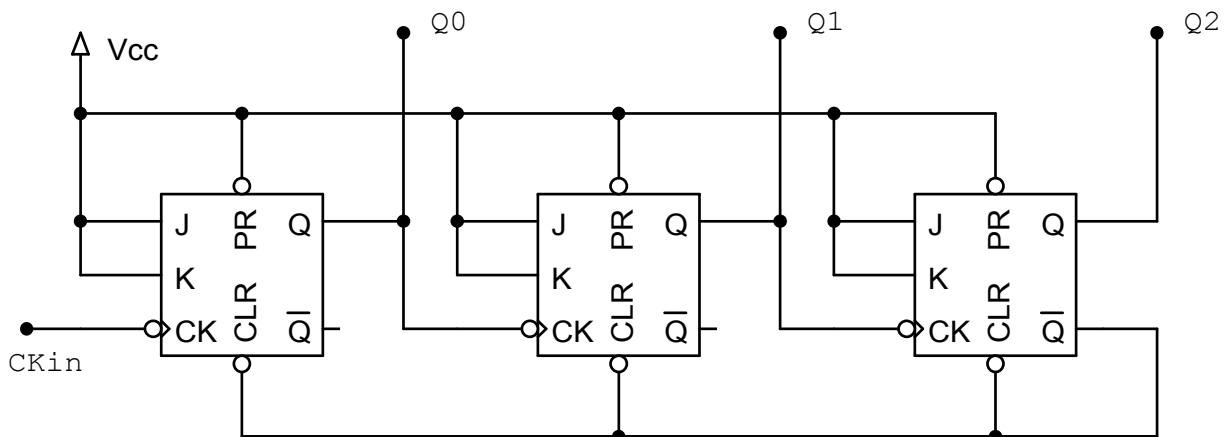
- a. 8 KHz
- b. 1 KHz
- c. 125 Hz
- d. Cả 3 câu a, b, c đều sai

405. Mạch ở hình 4.11 là bộ đếm :

- a. Nối tiếp, đếm lên có hệ số đếm (modulo) là 8
- b. Nối tiếp, đếm lên có hệ số đếm (modulo) là 5
- c. Nối tiếp, đếm xuống có hệ số đếm (modulo) là 5
- d. Song song, đếm lên có hệ số đếm (modulo) là 5

406. Cho mạch như hình 4.12. Đưa xung clock có tần số 1 Hz đến ngõ vào CK<sub>in</sub> thì ngõ ra Q<sub>0</sub> có xung clock với tần số:

- a. 2 Hz
- b. 1 Hz
- c. 0,5 Hz
- d. Cả 3 câu a, b, c đều sai



Hình 4.12

407. Cho mạch như hình 4.12. Đưa xung clock có tần số 1 Hz đến CK<sub>in</sub> thì ngõ ra Q<sub>1</sub> có xung clock với tần số:

- a. 4 Hz
- b. 1 Hz
- c. 0.25 Hz
- d. Cả 3 câu a, b, c đều sai

408. Cho mạch như hình 4.12. Đưa xung clock có tần số 1 Hz đến CK<sub>in</sub> thì ngõ ra Q<sub>2</sub> có xung clock với tần số:

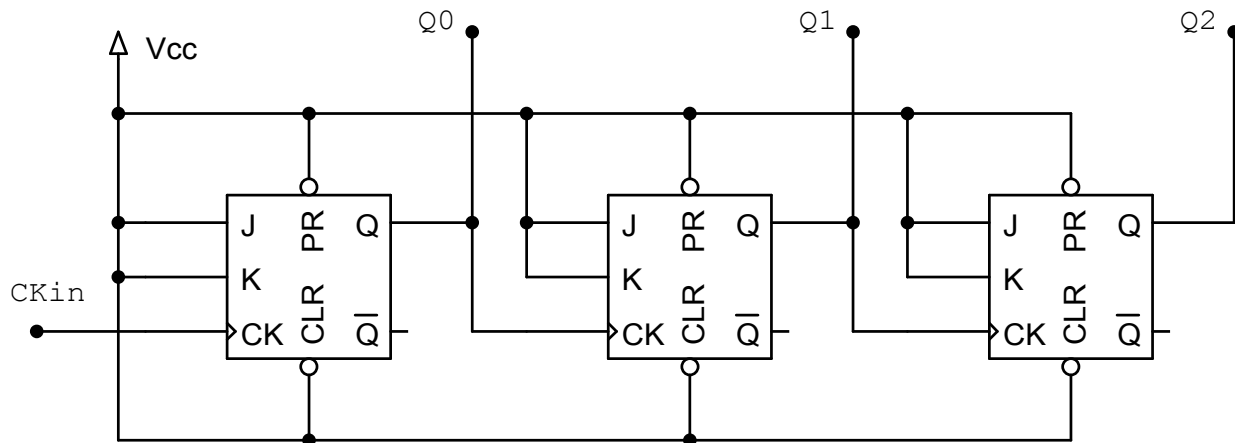
- a. 8 Hz      b. 1 Hz      c. 0.125 Hz      d. Cả 3 câu a, b, c đều sai

409. Mạch ở hình 4.12 là bộ đếm :

- a. Nối tiếp, đếm lên có hệ số đếm (modulo) là 8  
b. Nối tiếp, đếm lên có hệ số đếm (modulo) là 4  
c. Nối tiếp, đếm xuống có hệ số đếm (modulo) là 8  
c. Song song, đếm lên có hệ số đếm (modulo) là 4

410. Cho mạch như hình 4.13. Đưa xung clock có tần số 1 Hz đến ngõ vào CK<sub>in</sub> thì ngõ ra Q<sub>0</sub> có xung clock với tần số:

- a. 2 Hz      b. 1 Hz      c. 0,5 Hz      d. Cả 3 câu a, b, c đều sai



Hình 4.13

411. Cho mạch như hình 4.13. Đưa xung clock có tần số 1 Hz đến CK<sub>in</sub> thì ngõ ra Q<sub>1</sub> có xung clock với tần số:

- a. 4 Hz      b. 1 Hz      c. 0.25 Hz      d. Cả 3 câu a, b, c đều sai

412. Cho mạch như hình 4.13. Đưa xung clock có tần số 1 Hz đến CK<sub>in</sub> thì ngõ ra Q<sub>2</sub> có xung clock với tần số:

- a. 8 Hz      b. 1 Hz      c. 0.125 Hz      d. Cả 3 câu a, b, c đều sai

413. Mạch ở hình 4.13 là bộ đếm :

- a. Nối tiếp, đếm lên có hệ số đếm (modulo) là 8  
b. Nối tiếp, đếm xuống có hệ số đếm (modulo) là 8  
c. Song song, đếm lên có hệ số đếm (modulo) là 8  
d. Song song, đếm xuống có hệ số đếm (modulo) là 8

414. Khi mất điện (tắt nguồn) dữ liệu trong ROM:

- a. Không bị mất  
b. Bị mất  
c. Có thể bị mất hoặc không tùy loại ROM  
d. Có thể bị mất hay không tùy thời gian mất điện

415. Khi mất điện (tắt nguồn) dữ liệu trong RAM:

- a. Không bị mất  
b. Bị mất  
c. Có thể bị mất hoặc không tùy loại RAM  
d. Có thể bị mất hay không tùy thời gian mất điện

416. Bộ nhớ có 12 đường địa chỉ, 8 đường dữ liệu thì có dung lượng là:

- a. 4K x 8 bit = 32 Kbit  
b. 4K x 8 byte = 32 Kbyte

**Đề cương ôn thi liên thông môn chuyên ngành, hệ Cao đẳng - Đại học.**

- c.  $8K \times 8 \text{ bit} = 64 \text{ Kbit}$
- d.  $8K \times 8 \text{ byte} = 64 \text{ Kbyte}$
- 417.** Bộ nhớ có 10 đường địa chỉ, 8 đường dữ liệu thì có dung lượng là:
  - a.  $1K \times 8 \text{ bit} = 8 \text{ Kbit}$
  - b.  $4K \times 8 \text{ byte} = 32 \text{ Kbyte}$
  - c.  $8K \times 8 \text{ bit} = 64 \text{ Kbit}$
  - d.  $8K \times 8 \text{ byte} = 64 \text{ Kbyte}$
- 418.** ROM là:
  - a. Bộ nhớ truy xuất ngẫu nhiên
  - b. Bộ nhớ chỉ đọc
  - c. Bộ nhớ có nội dung bị mất khi không cấp nguồn
  - d. Mảng logic lập trình được
- 419.** EPROM là:
  - a. Bộ nhớ có thể xoá bằng tia cực tím
  - b. Bộ nhớ truy xuất ngẫu nhiên
  - c. Bộ nhớ có thể xoá bằng điện
  - d. Bộ nhớ không thể xoá
- 420.** EEROM là:
  - a. Bộ nhớ có thể xoá và ghi lại vô hạn
  - b. Bộ nhớ xoá được bằng tia cực tím
  - c. Bộ nhớ xoá được bằng điện
  - d. Bộ nhớ truy xuất ngẫu nhiên
- 421.** Phát biểu nào không đúng với RAM :
  - a. Là bộ nhớ truy cập ngẫu nhiên
  - b. Là bộ nhớ có nội dung bị mất đi khi mất điện
  - c. Có hai loại thông dụng là RAM tĩnh và RAM động
  - d. Nội dung không bao giờ mất đi
- 422.** RAM là:
  - a. Bộ nhớ truy cập ngẫu nhiên
  - b. Bộ nhớ chỉ đọc
  - c. Nội dung không bao giờ mất
  - d. Chỉ có thể ghi dữ liệu một lần
- 423.** Phát biểu nào sau đây SAI đối với RAM động :
  - a. Thông tin ghi dưới dạng điện tích nạp cho tụ điện
  - b. Thông tin ghi dưới dạng đốt các cầu chì
  - c. Cần phải làm tươi để nội dung không bị rò rỉ
  - d. Giá thành rẻ hơn RAM tĩnh
- 424.** RAM tĩnh là loại bộ nhớ:
  - a. Ma trận nhớ gồm nhiều Flip-Flop
  - b. Phải làm tươi để nội dung không bị rò rỉ
  - c. Thông tin ghi dưới dạng đốt các cầu chì
  - d. Là loại bộ nhớ chỉ đọc