

BÀI THÍ NGHIỆM 4

THIẾT KẾ HỆ TUẦN TỰ CƠ BẢN

MỤC TIÊU

- Nắm được cách sử dụng kit thí nghiệm, phần mềm lập trình.
- Nắm được cách khảo sát và thiết kế hệ mạch đếm sử dụng các IC chức năng cơ bản.
- Nắm được quy trình mô tả phần cứng trên FPGA.

CHUẨN BỊ

- Đọc phụ lục bài thí nghiệm 4 và Bài thí nghiệm 0 của tài liệu hướng dẫn phần Thí nghiệm trên kit DE2.



PHẦN LÀM TRÊN DIGIB**THÍ NGHIỆM 1**

Mục tiêu: Hiểu được hoạt động của các IC chức năng cơ bản 74LS74, 74LS112.

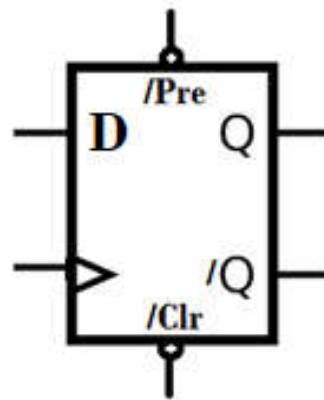
Yêu cầu: Sinh viên ghi lại các bảng chân trị của các IC chức năng đã học trong lý thuyết và kiểm chứng lại thực tế hoạt động của các IC.

Lưu ý: Khi khảo sát, chú ý mức tích cực của các chân ở ngõ ra và ngõ vào.

Hướng dẫn: Ví dụ về khảo sát 74LS74

74LS74 gồm 2 D-FF có bảng hoạt động

Input				Output	
/Pre	/Clr	CLK	D	Q^+	$\overline{Q}^+$
0	1	x	x	1	0
1	0	x	x	0	1
0	0	x	x	1	1
1	1		0	0	1
1	1		1	1	0
1	1	0, 1, 	x	Q_o	$\overline{Q}_o$



Để khảo sát hoạt động của IC, nối ngõ vào của IC với SW trên board DI, riêng chân CLK được nối với nguồn tạo xung (hoặc SW để tạo xung), nối ngõ ra với đèn LED trên board DO. Sinh viên tiến hành khảo sát theo nguyên tắc:

- Mức 1 ở ngõ vào – SW được gạt lên, mức 0 ở ngõ vào – SW được gạt xuống.
- LED sáng – ngõ ra mức 1, LED tắt – ngõ ra mức 0.

Khi chân /Pre hoặc /Clr được tích cực, ngõ ra luôn được giữ không đổi bất chấp sự thay đổi của chân CLK và D.

Khi chân /Pre hoặc /Clr không được tích cực, ngõ ra Q nhận giá trị của D khi có cạnh lên tại CLK.

Kiểm tra:

- Sinh viên tiến hành khảo sát hết các cổng có trên board SD và điền kết quả vào ***Bảng 1***.

Bảng 1: Kết quả khảo sát các cổng trên board SD

Chức năng	Mã IC	Mô tả HD (Đ/S)	Ghi chú
	74LS47		
	74LS112		



THÍ NGHIỆM 2

Mục tiêu: Nắm được cách thức sử dụng các IC chức năng để thực hiện mạch đếm nối tiếp.

Yêu cầu: Sinh viên thực hiện thiết kế mạch đếm từ lên từ 0 $\rightarrow$ 7 sử dụng D-FF, kết quả quan sát có thể sử dụng LED đơn hoặc LED 7 đoạn (dùng IC 74LS47).

Kiểm tra:

- Sinh viên tiến hành vẽ lại mạch thiết kế hàm boolean đã cho ở **Hình 2**.

Hình 2: Mạch thực hiện đếm lên từ 0 $\rightarrow$ 7 sử dụng D-FF

- Sinh viên tiến hành lắp mạch và khảo sát hoạt động của hàm.
- Sinh viên thực hiện thiết kế lại mạch thực hiện đếm lên từ 2 $\rightarrow$ 6 và vẽ vào **Hình 3**. Sau đó tiến hành lắp mạch và khảo sát hoạt động.

Hình 3: Mạch thực hiện đếm lên từ 2 $\rightarrow$ 6 sử dụng D-FF



THÍ NGHIỆM 3

Mục tiêu: Nắm được cách thức sử dụng các IC chức năng để thực hiện mạch đếm nối tiếp.

Yêu cầu: Sinh viên thực hiện thiết kế mạch xuống từ lên từ $7 \rightarrow 2$ sử dụng JK-FF, kết quả quan sát có thể sử dụng LED đơn hoặc LED 7 đoạn (dùng IC 74LS47).

Kiểm tra:

- Sinh viên tiến hành vẽ lại mạch thiết kế hàm boolean đã cho ở **Hình 4**.

Hình 4: Mạch thực hiện đếm xuống từ $7 \rightarrow 2$ sử dụng JK-FF

- Sinh viên tiến hành lắp mạch và khảo sát hoạt động của hàm.
- Sinh viên thực hiện thiết kế lại mạch thực hiện đếm xuống số chẵn từ $6 \rightarrow 0$ và vẽ vào **Hình 4**. Sau đó tiến hành lắp mạch và khảo sát hoạt động.

Hình 3: Mạch thực hiện đếm xuống chẵn từ $6 \rightarrow 0$ sử dụng JK-FF



PHẦN LÀM TRÊN KIT DE2

THÍ NGHIỆM 4

Mục tiêu: Nắm được cách mô tả hoạt động của các IC chức năng cơ bản sử dụng FPGA trên DE2.

Yêu cầu: Sinh viên mô tả lại D-FF bằng VHDL và đồ chương trình xuống kit DE2 để kiểm tra hoạt động.

Gắn chân theo mẫu sau:

Chân /Pre được nối với SW0

Chân /Clr được nối với SW1

Chân D được nối với SW2

Chân CLK được nối với SW15

Chân Q được nối với LED0

Chân /Q được nối với LED1

Thiết kế:

- Sơ đồ khối của thiết kế.

Sơ đồ khối của thiết kế



- Chương trình mô tả hoạt động của thiết kế.



- Kết quả mô phỏng dạng sóng.



- Kết quả RTL viewer.



THÍ NGHIỆM 5

Mục tiêu: Nắm được cách mô tả hoạt động của các IC chức năng cơ bản sử dụng FPGA trên DE2.

Yêu cầu: Sinh viên mô tả lại JK-FF bằng VHDL và đổ chương trình xuống kit DE2 để kiểm tra hoạt động.

Gán chân theo mẫu sau:

Chân /Pre được nối với SW0

Chân /Clr được nối với SW1

Chân J được nối với SW2

Chân K được nối với SW3

Chân CLK được nối với SW15

Chân Q được nối với LED0

Chân /Q được nối với LED1

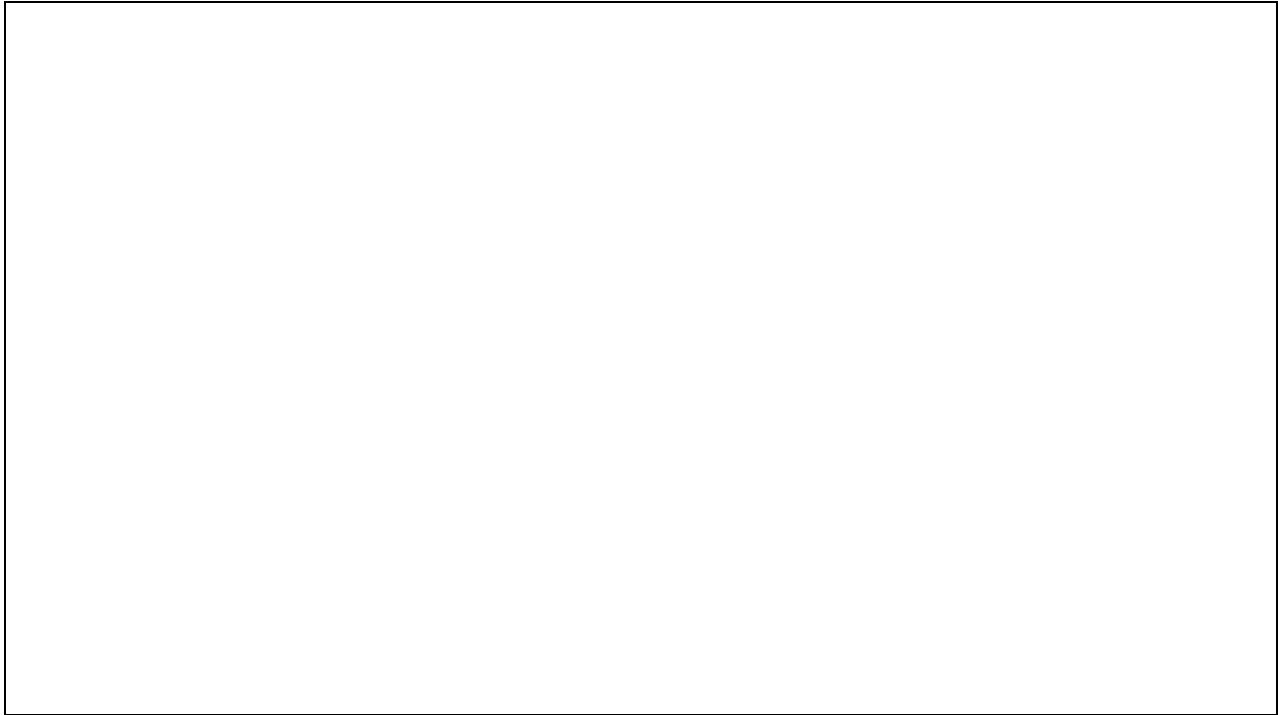
Thiết kế:

- Sơ đồ khối của thiết kế.

Sơ đồ khối của thiết kế



- Chương trình mô tả hoạt động của thiết kế.



- Kết quả mô phỏng dạng sóng.



- Kết quả RTL viewer.



THÍ NGHIỆM 6 (BONUS)

Mục tiêu: Nắm được cách mô tả hoạt động của máy trạng thái cơ bản sử dụng FPGA trên DE2.

Yêu cầu: Sinh viên tiến hành mô tả hệ tuần tự sau bằng VHDL sau đó nạp chương trình xuống kit DE2 để kiểm tra hoạt động:

Hệ tuần tự có 1 ngõ vào (X) và 1 ngõ ra (Z). Ngõ ra $Z = 1$ nếu tổng số bit 1 nhận được chia hết cho 3 (quy ước 0, 3, 6, 9, ... là các số chia hết cho 3) và tổng số bit 0 nhận được là 1 số chẵn (lớn hơn 0).

Ghi chú: Sinh viên có thể lựa chọn thiết kế theo máy trạng thái kiểu Mealy hoặc Moore.

Gán chân theo mẫu sau:

Chân X được nối với SW0

Chân CLK được nối với SW15

Chân Z được nối với LED0

Thiết kế:

- Sơ đồ khối của thiết kế.

Sơ đồ khối của thiết kế

- Máy trạng thái của thiết kế (Ghi chú rõ các trạng thái).



Máy trạng thái của thiết kế

- Chương trình mô tả hoạt động của thiết kế.

--

- Kết quả mô phỏng dạng sóng.



- Kết quả RTL viewer.

