

Họ và tên:
 MSSV:

Sinh viên làm phần TỰ LUẬN trực tiếp vào đề thi

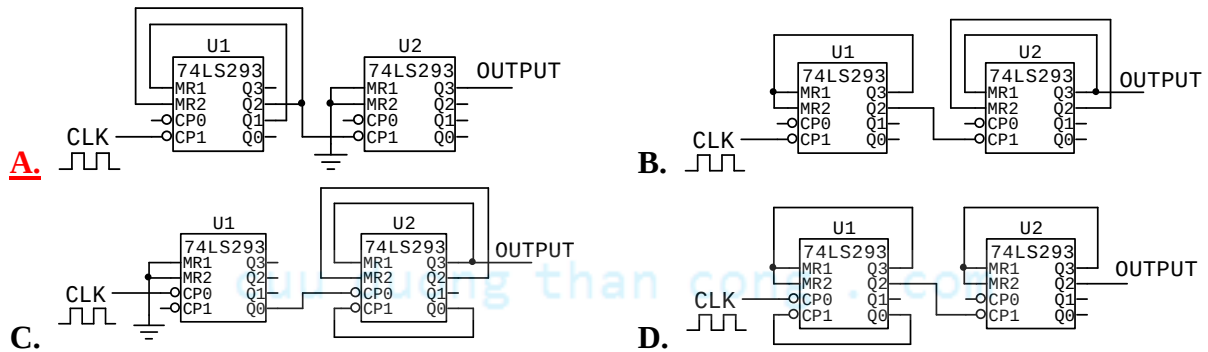
Mã đề 0001

PHẦN TRẮC NGHIỆM

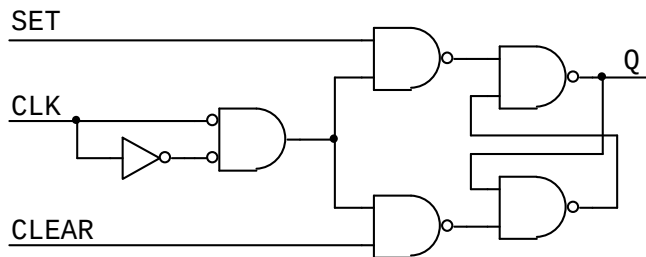
Câu 1: Chọn phát biểu đúng nhất:

- A. Sử dụng phương pháp bìa Karnaugh có thể cho nhiều hơn 1 kết quả tối giản
- B. Sử dụng phương pháp bìa Karnaugh luôn cho kết quả tối giản
- C. Sử dụng phương pháp bìa Karnaugh cho phép rút gọn biểu thức có tối đa 6 biến
- D. Tất cả đều đúng**

Câu 2: Sơ đồ thiết kế mạch nào sau đây thỏa mãn điều kiện $f_{\text{OUTPUT}} = f_{\text{CLK}}/24$ và Duty cycle của ngõ xuất OUTPUT bằng 50%



Câu 3: Chọn bảng sự thật đúng cho sơ đồ mạch điện sau đây (NC = no change):



A.

SET	CLR	CLK	Q
0	0	↓	NC
0	1	↓	0
1	0	↓	1
1	1	↓	Invalid

B.

SET	CLR	CLK	Q
0	0	↑	NC
0	1	↑	0
1	0	↑	1
1	1	↑	Invalid

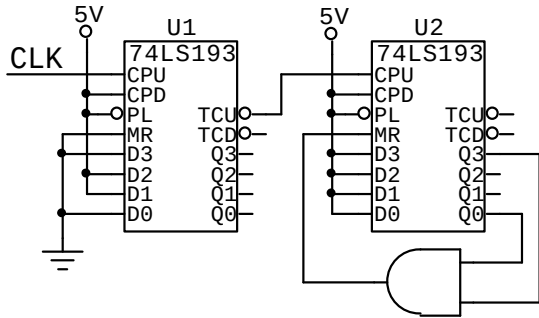
C.

SET	CLR	CLK	Q
0	0	↑	Invalid
0	1	↑	1
1	0	↑	0
1	1	↑	NC

D.

SET	CLR	CLK	Q
0	0	↓	Invalid
0	1	↓	1
1	0	↓	0
1	1	↓	NC

Sơ đồ mạch dưới đây sử dụng cho các câu từ 4 đến 5



Câu 4: . Xác định số MOD của bộ đếm:

A. 90

B. 100

C. 144

D. 160

Câu 5: . Xác định Duty cycle (**mức 1**) của ngõ xuất TCU của U1:

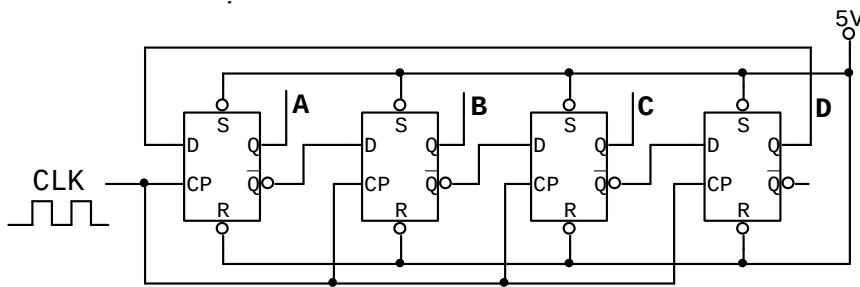
A. 95%

B. 3.125 %

C. 93.75 %

D. Tất cả đều sai

Câu 6: Cho sơ đồ mạch đếm sau



Giả sử trạng thái ban đầu của DCBA = 0000. Xác định chuỗi 5 trạng thái kế tiếp của bộ đếm

A. 1110, 0011, 1000, 1111, 0001

B. 0001, 0010, 0011, 0100, 0101

C. 1111, 1110, 1101, 1100, 1011

D. 1110, 1101, 1011, 0111, 1110

Câu 7: Xác định biểu thức tối giản nhất của hàm F với $F = \overline{C}.B.A + C.B + B.A + \overline{B}.A$

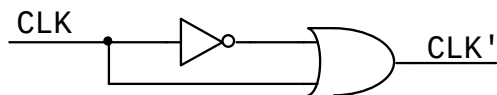
A. $\overline{B}.A + C.B + \overline{B}.A$

B. $\overline{B}.A + B.A + C.A$ (= $\overline{B}.A + B.A + C.B$)

C. $\overline{B}.A + B.A + C.B$

D. Tất cả đều sai

Câu 8: Cho mạch phát hiện cạnh clock như hình dưới đây:



Chọn phát biểu đúng.

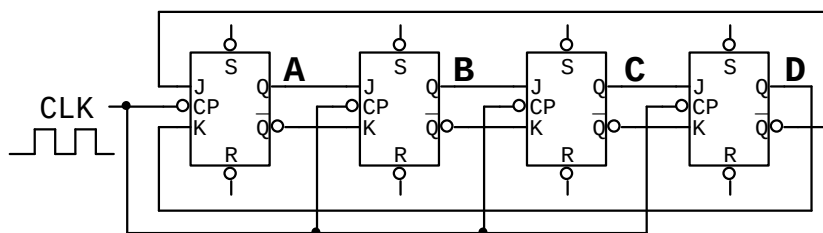
A. Mạch tạo ra xung thấp (LOW) khi có cạnh lên.

B. Mạch tạo ra xung cao (HIGH) khi có cạnh xuống.

C. Mạch tạo ra xung cao (HIGH) khi có cạnh lên.

D. Mạch tạo ra xung thấp (LOW) khi có cạnh xuống.

Câu 9: Giả sử ban đầu ABCD = 0000. Xác định giá trị của bộ đếm sau 10 chu kỳ clock tiếp theo:



Các chân S, R của 4 Flip-Flop đều được nối lên nguồn (**mức 1**)

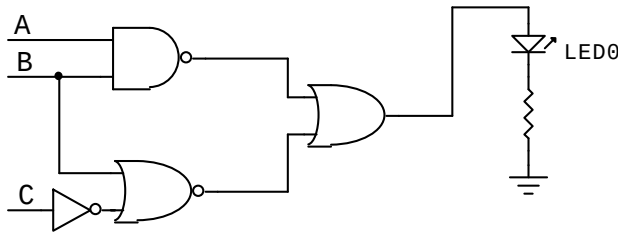
A. 1100

B. 1111

C. 0000

D. 0111

Câu 10: Cho mạch tổ hợp như hình bên dưới. Xác định điều kiện đầy đủ để LED sáng.



A. $A=0$ hoặc $B=0$ hoặc $(B=0 \text{ và } C=1)$
C. $(A=1 \text{ và } B=1)$ hoặc $C=1$

B. $(A=0 \text{ hoặc } B=0) \text{ và } C=0$
D. Tất cả đều đúng.

Câu 11: Xét các mạch Enable/Disable. Chọn phát biểu đúng:

A. Để ngõ xuất ở mức 0 khi disable, có thể sử dụng cổng OR hoặc cổng AND.
B. Khi sử dụng cổng OR, ngõ xuất ở mức 0 khi disable.
C. Khi sử dụng cổng NAND, ngõ xuất ở mức 1 khi disable.
D. Tất cả đều đúng.

Câu 12: Một mạch tổ hợp có 4 ngõ nhập (D, C, B, A) và 1 ngõ xuất (X). Ngõ xuất $X=1$ khi số DCBA (D là MSB và A là LSB) là một số BCD. Ngược lại, $X=0$. Biểu thức đại số Bool của mạch là:

A. $\bar{D} + \bar{C} \cdot \bar{B}$ **B.** $D + \bar{C} \cdot \bar{B}$ **C.** $\bar{D} + C \cdot \bar{B}$ **D.** Tất cả đều đúng

Câu 13: Cho hàm $F(D, C, B, A) = \Sigma(0, 5, 8, 10, 11, 12, 14) + d(1, 2, 11, 15)$ với D là MSB và A là LSB. Biểu thức rút gọn (dạng SOP) của hàm F là:

A. $\bar{C} \cdot A + D \cdot B + C \cdot \bar{B} \cdot A$ **B.** $\bar{C} \cdot A + D \cdot C + \bar{D} \cdot \bar{B} \cdot A$ **C.** $\bar{C} \cdot A + D \cdot C + C \cdot \bar{B} \cdot A$ **D.** Cả 3 câu đều đúng

Câu 14: Chọn phát biểu đúng:

A. S-C Flip Flop có thể được dùng như 1 J-K Flip Flop. (Ngõ nhập J tương đương với S. Ngõ nhập K tương đương với C)
B. Để hiện thực truyền dữ liệu song song, chỉ có thể sử dụng D Flip-Flop, không thể dùng J-K Flip Flop.
C. J-K Flip Flop có thể được dùng như 1 S-C Flip Flop. (Ngõ nhập J tương đương với S. Ngõ nhập K tương đương với C)
D. Tất cả đều đúng.

Câu 15: Cho bìa Karnaugh 4 biến như hình bên. Xác định biểu thức đại số Bool tối giản nhất:

	$\bar{B}\bar{A}$	$\bar{B}A$	BA	$B\bar{A}$
$\bar{D}\bar{C}$	0	0	X	X
$\bar{D}C$	1	0	1	1
DC	X	X	1	0
$D\bar{C}$	0	0	0	0

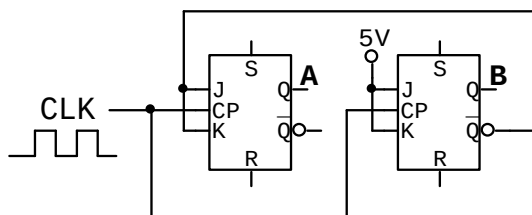
A. $\bar{D} \cdot B + C \cdot B \cdot A + C \cdot \bar{B} \cdot \bar{A}$

B. $\bar{D} \cdot B + C \cdot B \cdot A + \bar{D} \cdot C \cdot \bar{A}$

C. 2 câu A và B đều đúng

D. Tất cả đều sai

Câu 16: Giả sử ban đầu $AB = 00$. Xác định chuỗi trạng thái của bộ đếm:



Các chân S, R của 3 Flip-Flop đều được nối xuống đất (mức 0)

A. 00, 01, 10, 11 và quay lại 00

B. 00, 10, 01, 11 và quay lại 00

C. 00, 11, 01, 10 và quay lại 00

D. 00, 11, 10, 01 và quay lại 00

Câu 17: Cho một số trong hệ thống bù 2 như sau: 101101. Số thập phân tương đương là:

A. -13

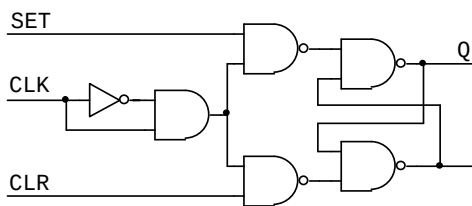
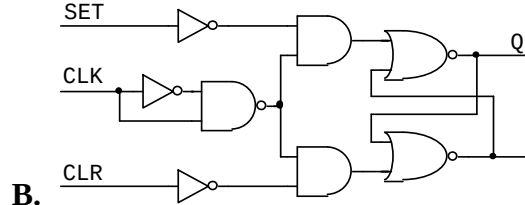
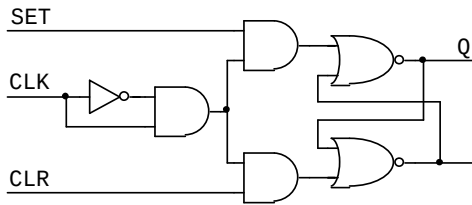
B. 13

C. -18

D. -19

Câu 18: Chọn sơ đồ mạch có nguyên lý hoạt động tương ứng với bảng sự thật dưới đây:

SET	CLR	CLK	Q
0	0	↑	NC
0	1	↑	1
1	0	↑	0
1	1	↑	Invalid



D. Cả A và C đều đúng

Câu 19: Biểu diễn số (-10) trong hệ thống bù 2 là:

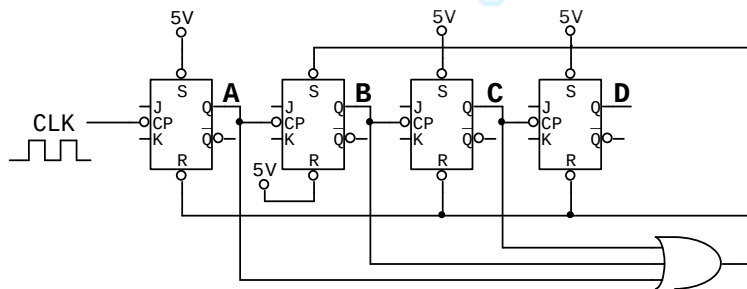
A. 01010

B. 10110

C. 11010

D. 10101

Sơ đồ mạch dưới đây sử dụng cho các câu từ 20 đến 21



Các chân J, K của 4 Flip-Flop đều được nối lên nguồn (mức 1)

Câu 20: . Giả sử ban đầu DCBA = 1111. Xác định chuỗi 5 trạng thái kế tiếp của bộ đếm:

A. 0010, 0011, 0100, 0101, 0110

B. 0000, 0001, 0010, 0011, 0100

C. 0010, 0011, 0010, 0011, 0010

D. 1110, 1101, 1100, 1011, 1010

Câu 21: . Giả sử ban đầu DCBA = 0111. Xác định chuỗi 5 trạng thái kế tiếp của bộ đếm:

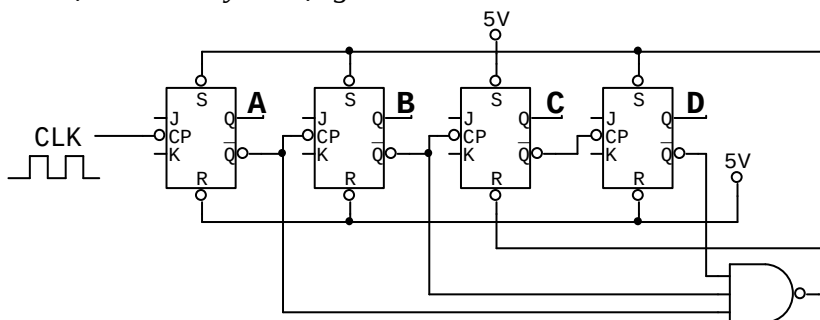
A. 0010, 0011, 0100, 0101, 0110

B. 0010, 0011, 0010, 0011, 0010

C. 0110, 0101, 0100, 0010, 0010

D. 1000, 1001, 1010, 1011, 1100

Sơ đồ mạch dưới đây sử dụng cho các câu từ 22 đến 25



Các chân J, K của 4 Flip-Flop đều được nối lên 5V (mức 1)

Câu 22: . Chọn phát biểu đúng về sơ đồ mạch đếm với ngõ xuất **DCBA**:

- A. Mạch đếm lên bất đồng bộ MOD-11 B. Mạch đếm lên bất đồng bộ MOD-10
C. Mạch đếm xuống bất đồng bộ MOD-12 D. Mạch đếm xuống bất đồng bộ MOD-7

Câu 23: . Xác định *Duty cycle* (**mức 1**) cho ngõ xuất C của mạch đếm:

- A. 27 % B. 33 % C. 43 % D. 50 %

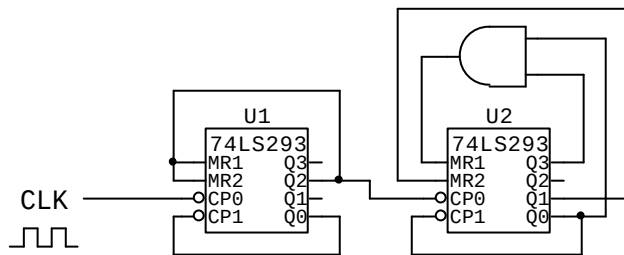
Câu 24: . Giả sử các Flip-Flop có thời gian trễ $t_{pd} = 25 \text{ us}$. Xác định tần số tối đa của xung CLK để mạch vẫn hoạt động đúng:

- A. 5 KHz B. 10 KHz C. 40 KHz D. 25 KHz

Câu 25: . Xác định tín hiệu bị xung gai của mạch đếm:

- A. Tín hiệu B B. Tín hiệu C C. Tín hiệu A D. Tín hiệu D

Sơ đồ mạch dưới đây sử dụng cho các câu từ 26 đến 30. Cho tần số tín hiệu **CLK = 10 KHz**



Câu 26: . Xác định số MOD của bộ đếm:

- A. 36 B. 44 C. 50 D. 55

Câu 27: . Tần số của ngõ xuất Q3 của U2 là:

- A. 227 Hz B. 200 Hz C. 333 Hz D. 250 Hz

Câu 28: . Tần số của ngõ xuất Q1 của U1 là:

- A. 1.25 Hz B. 10 KHz C. 1 KHz D. 2.5 KHz

Câu 29: . Xác định tín hiệu bị xung gai của bộ đếm:

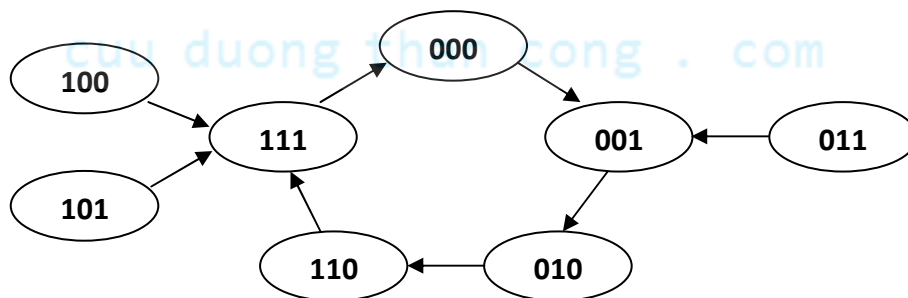
- A. Q1 của U2 B. Q2 của U1 C. Q0 của U1 D. Q3 của U2

Câu 30: . Xác định *Duty cycle* (**mức 1**) cho ngõ xuất **Q2** của U2:

- A. 40% B. 36.36% C. 33.33% D. 30%

PHẦN TƯ LUẬN (1đ)

Sử dụng D Flip-Flop để thiết kế mạch đếm đồng bộ theo sơ đồ chuyển trạng thái sau (chú ý trình bày đầy đủ các bước thiết kế - bao gồm cả sơ đồ mạch):



Trạng thái hiện tại			Trạng thái kế tiếp			D_A	D_B	D_C
A	B	C	A	B	C			
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	0
0	1	0	1	1	0	1	1	0
0	1	1	0	0	1	0	0	1
1	0	0	1	1	1	1	1	1
1	0	1	1	1	1	1	1	1
1	1	0	1	1	1	1	1	1
1	1	1	0	0	0	0	0	0

	$B'C'$	$B'C$	BC	BC'
A'	0	0	0	1
A	1	1	0	1

$$\rightarrow D_A = AB' + BC'$$

	$B'C'$	$B'C$	BC	BC'
A'	0	1	0	1
A	1	1	0	1

$$\rightarrow D_B = AB' + BC' + B'C \text{ (hoặc } AC' + B'C + BC')$$

	$B'C'$	$B'C$	BC	BC'
A'	1	0	1	0
A	1	1	0	1

$$\rightarrow D_C = AB' + B'C' + AC' + A'BC$$

cuu duong than cong . com

cuu duong than cong . com