



Bài tập/Thực hành 9 CHƯƠNG 5 BỘ NHỚ ẢO

Mục tiêu

- Hiểu được nguyên lý hoạt động của bộ nhớ ảo.
- Tính toán được các cấu hình của bộ nhớ ảo.
- Xác định hiệu suất bộ nhớ.

Yêu cầu

- Xem slide về bộ nhớ ảo.
- Nộp các file code hợp ngữ đặt tên theo format Bai*.pdf,txt] chứa trong thư mục Lab9_MSSV

Bài tập và Thực hành

Bài 1: Một hệ thống tham chiếu đến các địa chỉ ảo được chỉ ra bên dưới:

12948, 16350, 49419, 46814, 13975, 40004, 12707, 52236.

Giả sử các trang có kích thước 16KB/page, bảng TLB quan hệ toàn phần với 4 phần tử, dùng giải thuật LRU(least recently Used) cho việc thay trang. Khi một trang chuyển từ đĩa lên bộ nhớ chính, thì nó sẽ được đưa vào trang bằng trang lớn nhất trong page table cộng một. Các trang được lần lượt nạp vào theo thứ tự trên, bắt đầu tại thời điểm mà TLB và Page table có trạng thái như 2 bản dưới đây:

Bảng. 1: TLB

Valid	Tag	Physical Page Number	LTU bit (*)
1	11	12	1
1	7	4	3
1	3	6	1
0	4	9	0

(*) hệ số càng cao tham chiếu càng nhiều.

- Xác định số lần hit trong TLB khi truy xuất dãy địa chỉ trên?
- Xác định số lần lỗi trang khi truy xuất dãy địa chỉ trên?
- Xác định nội dung dòng thứ 3 (tag = 2) trong bảng page table khi truy xuất dãy địa chỉ trên?

Bài 2: Cho cấu hình bộ nhớ ảo như bảng bên dưới:

- Tính toán tổng kích thước bảng phân trang đối với hệ thống đang chạy 5 ứng dụng, biết rằng bộ nhớ đang được sử dụng 1 nửa.
- Tính toán tổng kích thước bảng phân trang đối với hệ thống đang chạy 5 ứng dụng, biết rằng bộ nhớ đang được sử dụng 1 nửa, hệ thống sử dụng 2 bảng phân trang với 256 entries. Giả sử mỗi entry trong bảng phân trang chính là 6 byte. Xác định kích thước tối thiểu, tối đa để đáp ứng hệ thống trên.

Bảng. 2: Page Table

Valid	Physical page or in Disk
1	5
0	Disk
0	Disk
1	6
1	9
1	11
0	Disk
1	4
0	Disk
0	Disk
1	3
1	12

Virtual Address Size (kích thước địa chỉ ảo)	Page Size (kích thước trang)	Page Table Entry Size (Kích thước dòng trong bảng phân trang)
32 bits	8 KB	4 bytes

- (c) Người thiết kế muốn tăng kích thước trường index của bộ nhớ ảo, tag của bộ nhớ chính là 4K. Lúc đó có thể cấu hình bộ nhớ đệm? A cache designer wants to increase the size of a 4 KB virtually indexed, physically tagged cache. Given the page size listed in the table above, is it possible to make a 16 KB directmapped cache, assuming 2 words per block? How would the designer increase the data size of the cache?

Bài tập TextBook

5.2, 5.3, 5.4, 5.6, 5.7, 5.10, 5.11, 5.12