

Chương 2

GIỚI THIỆU HỌ VI ĐIỀU KHIỂN MCS51

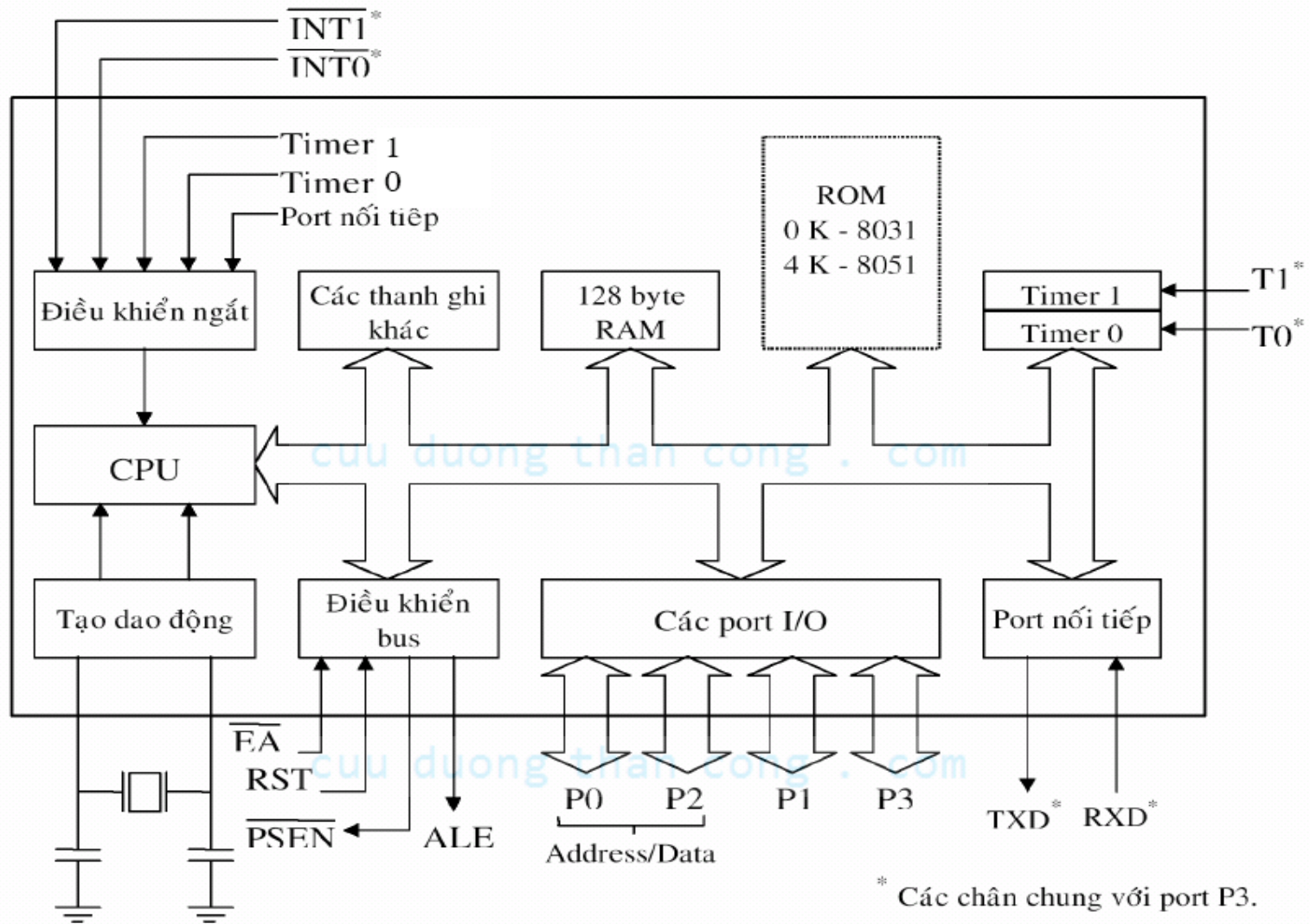
I. TÓM TẮT PHẦN CỨNG

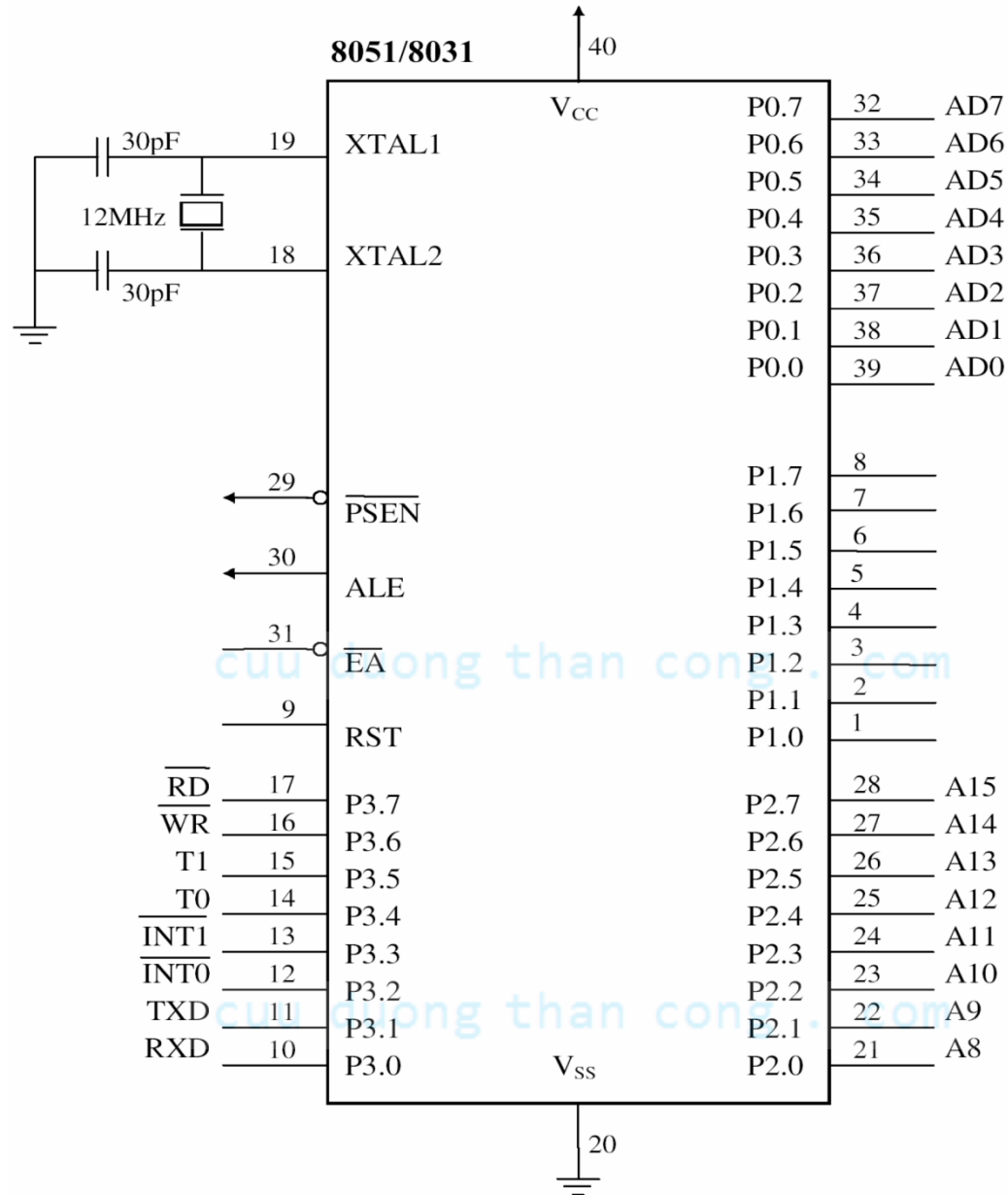
Họ MCS51 có nhiều loại:

- 8051 có 4K PROM nội.
- 8031 không có ROM nội.
- 8751 có 4K EPROM.
- 8951 có 4K EEPROM.

Nếu dùng 8051 hoặc 8031 thì phải kết hợp thêm bộ nhớ ngoài để chứa chương trình.

SƠ ĐỒ KHỐI 8051/8031





Hình 3.2 Sơ đồ chân 8051

SƠ LƯỢC VỀ CÁC CHÂN CỦA 8051

Port 0 (P0.0 – P0.7): còn được ký hiệu là AD0 – AD7. Có 2 chức năng:

- Xuất/Nhập: khi kit vi xử lý không sử dụng bộ nhớ ngoài.
- Data bus/Address bus (A0 – A7): khi kit vi xử lý có sử dụng bộ nhớ ngoài.

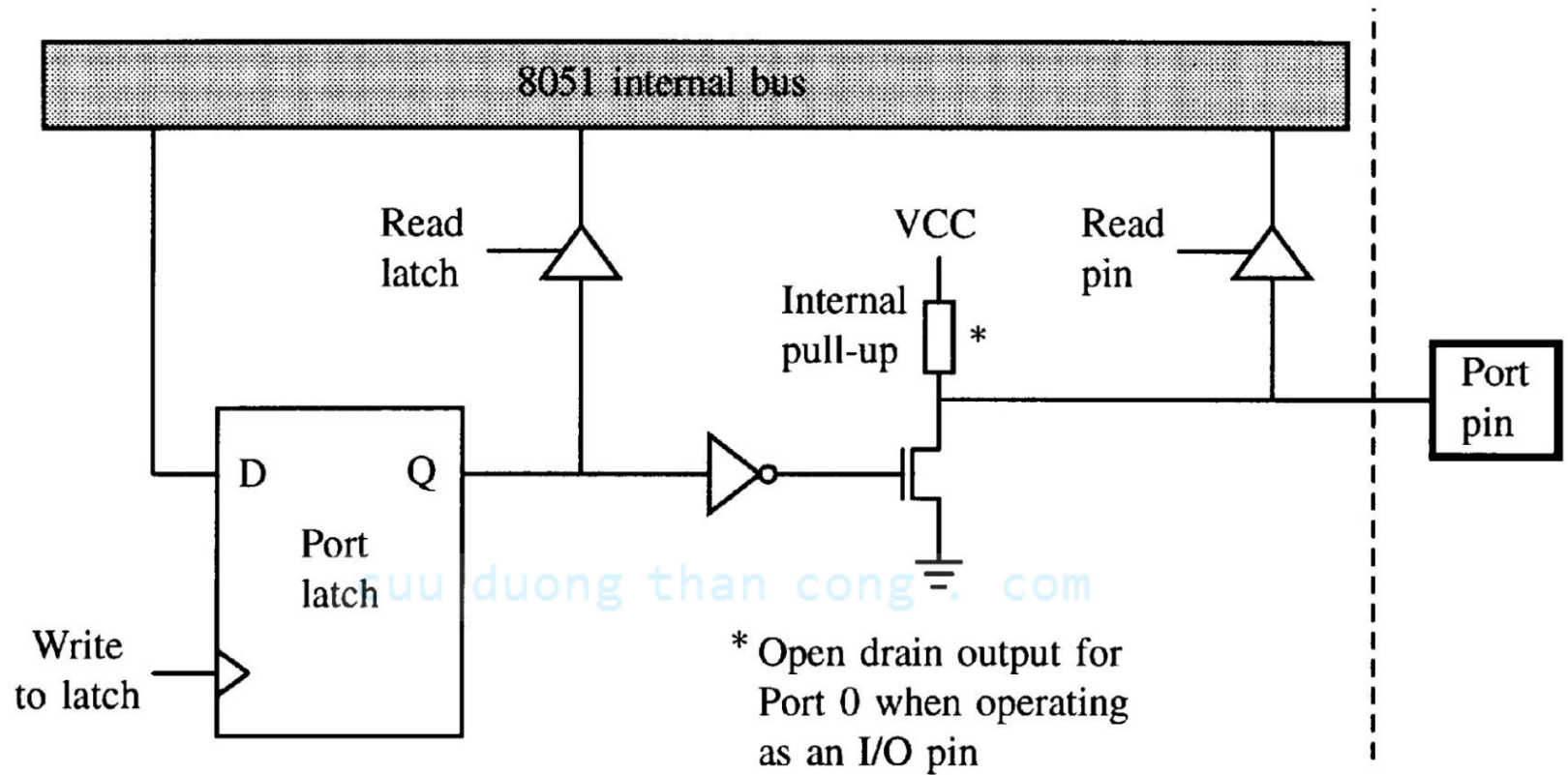
Port 1 (P1.0 – P1.7): chỉ có chức năng I/O dùng cho giao tiếp với các thiết bị ngoài.

Port 2 (P2.0 – P2.7): Có 2 chức năng

- Xuất/Nhập.
- Address bus phần cao.

Port 3 (P3.0 – P3.7):

- Xuất/Nhập.
- Tùy từng chức năng đặc biệt.



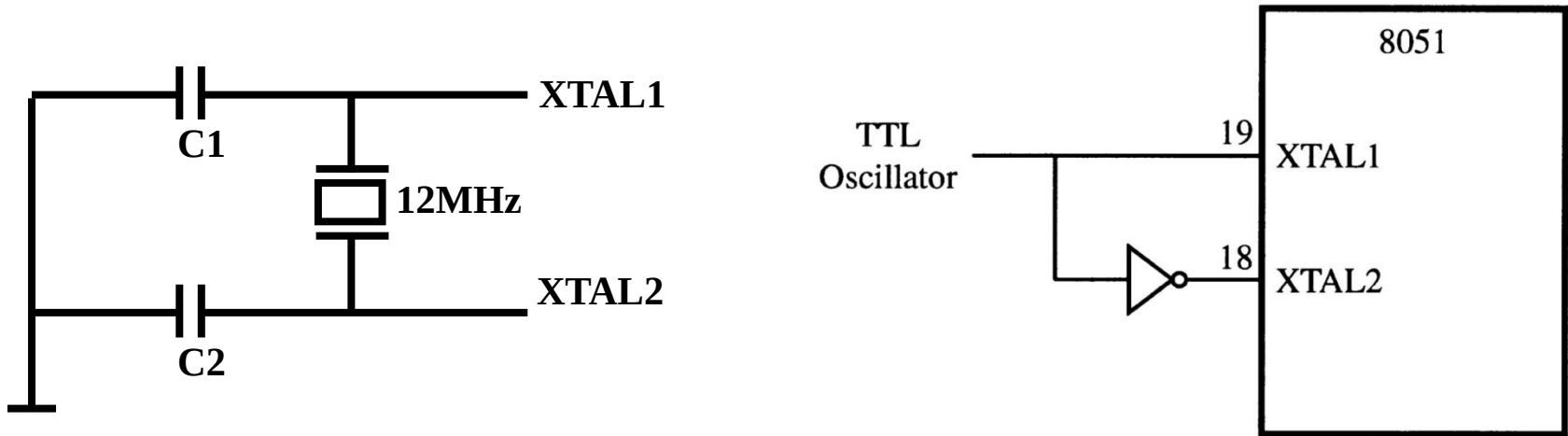
Lưu ý:

- Port 1,2 và 3 có điện trở kéo lên ở bên trong.
- Port 0 không có điện trở kéo lên.

CÁC CHỨC NĂNG ĐẶC BIỆT CỦA PORT3

Bit	Tên	Chức năng
P3.0	RxD	ngõ thu nối tiếp
P3.1	TxD	ngõ phát nối tiếp
P3.2	INT0	ngõ vào interrupt 0
P3.3	INT1	ngõ vào interrupt 1
P3.4	T0	ngõ vào timer0
P3.5	T1	ngõ vào timer1
P3.6	WR	tín hiệu điều khiển ghi
P3.7	RD	tín hiệu điều khiển đọc

CÁC NGÕ VÀO BỘ DAO ĐỘNG (XTAL1 và XTAL2)



Dao động trên chip

*Sử dụng nguồn xung
nhập từ bên ngoài*

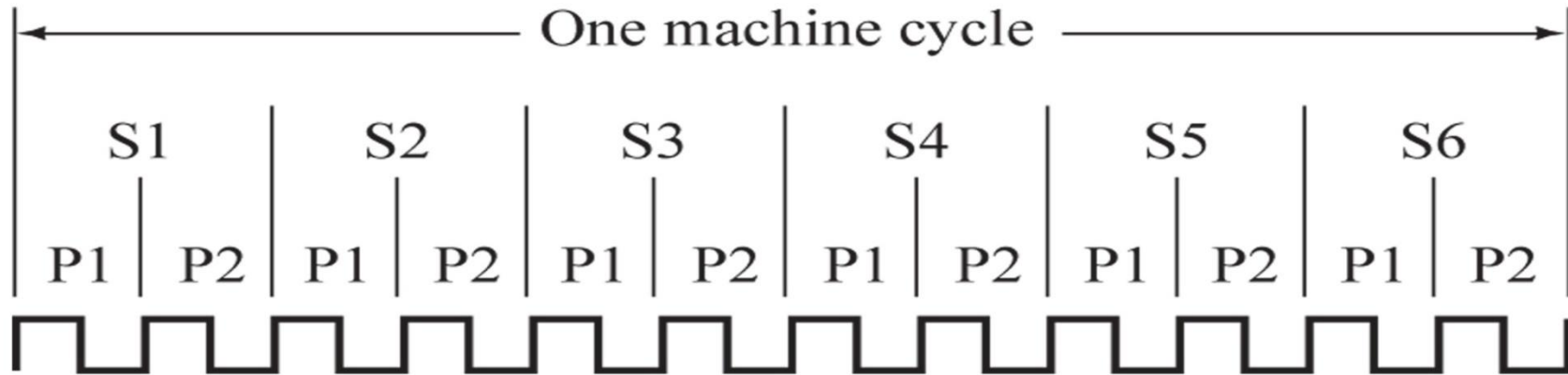
Bộ dao động bên trong 8051 sẽ tạo ra tần số f_{OSC} bằng với tần số dao động của thạch anh.

Đối với 8051/8031: $f_{max} = 12\text{MHz}$.

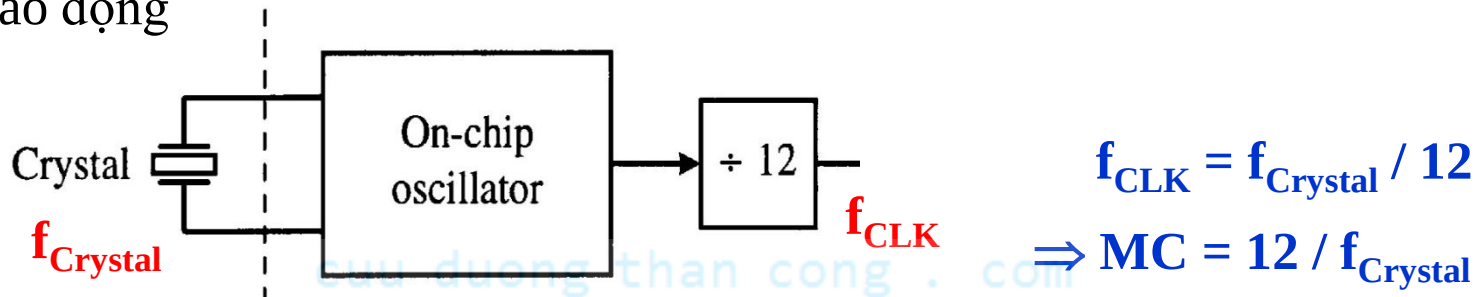
8951: $f_{max} = 24\text{MHz}$.

Tụ $C1, C2 = 27 \div 33\text{PF}$.

CHU KỲ MÁY (Machine Cycle-MC)



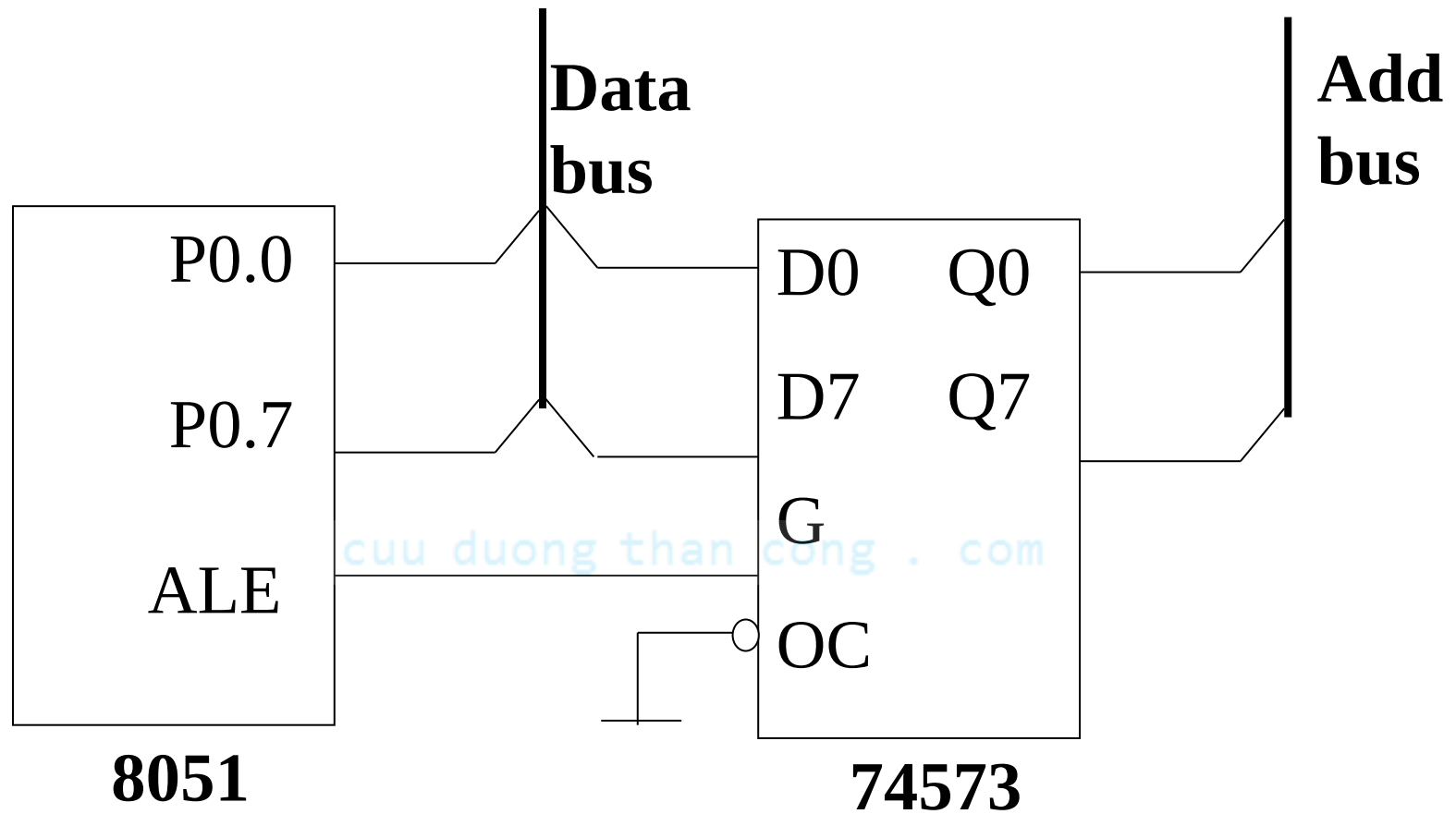
- Một chu kỳ máy của 8051 gồm có 6 trạng thái. Mỗi trạng thái chiếm 2 chu kỳ của bộ dao động



- Xtal 12 MHz $\rightarrow MC = 1 \mu s$
- Xtal 6 MHz $\rightarrow MC = ? \mu s$
 $\rightarrow MC = 2 \mu s$
- Xtal 24 MHz $\rightarrow MC = ? \mu s$
 $\rightarrow MC = 0.5 \mu s$

ALE (Address latch enable)

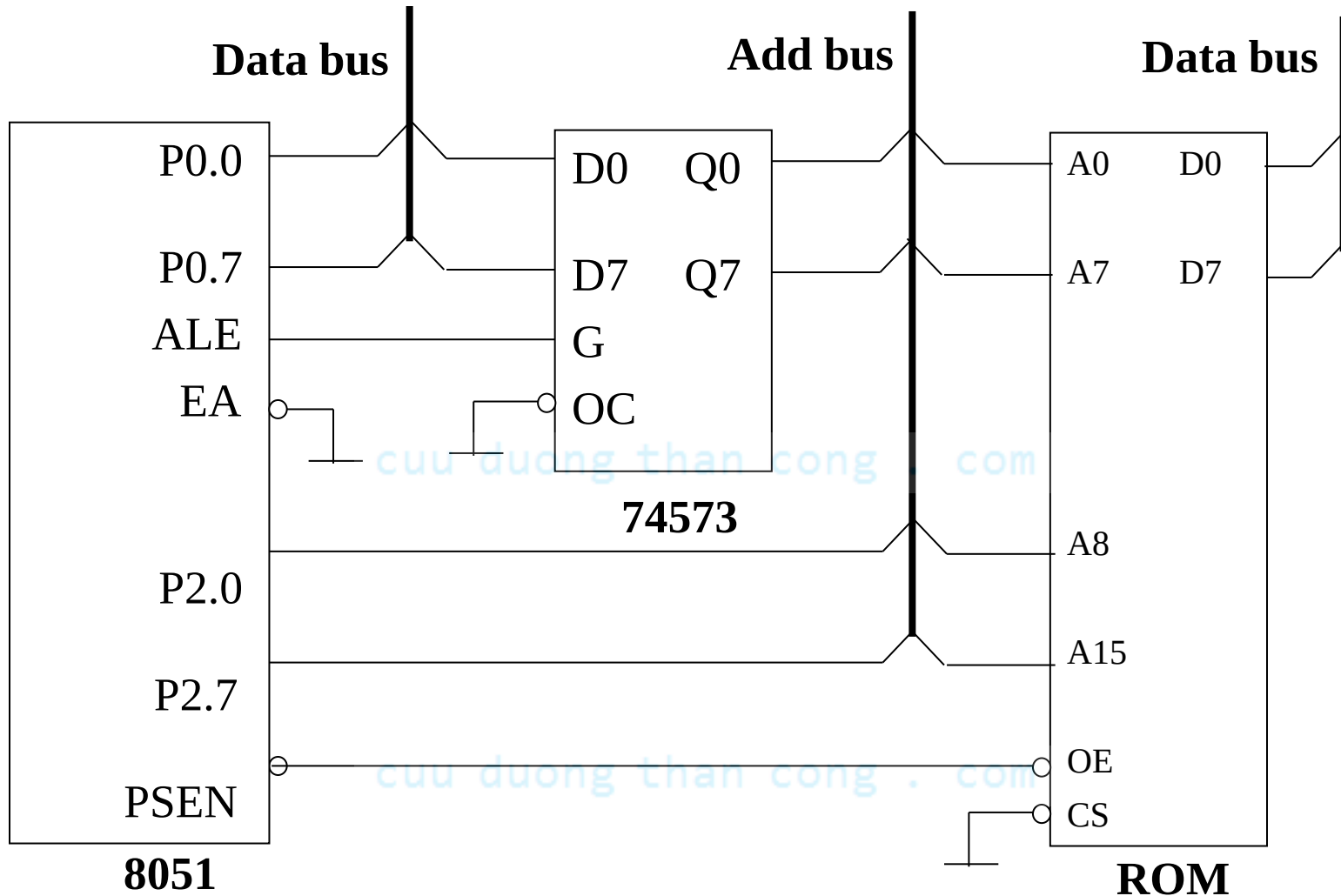
- Được dùng để chốt tín hiệu địa chỉ.
- Xung ALE có tốc độ bằng 1/6 xung nhịp trên chip. Ở 1/2 chu kỳ đầu Port0 sẽ là byte thấp của bus địa chỉ và nửa chu kỳ sau port0 là đường data.
- Thông thường ALE được nối đến ngõ cho phép chốt của IC chốt (74373, 74374, 74573, 74574,..)



$G = 1 \Rightarrow Q0 \div Q7 = D0 \div D7$

$G = 0 \Rightarrow$ chốt tín hiệu.

PSEN (Program Store Enable)



Giao tiếp giữa 8051 với bộ nhớ chương trình ngoài.

$\overline{EA}$ (*External Access*)

Là ngõ nhập để lựa chọn truy xuất bộ nhớ chương trình trong hay ngoài.

$EA = 0$: dùng bộ nhớ chương trình ngoài.

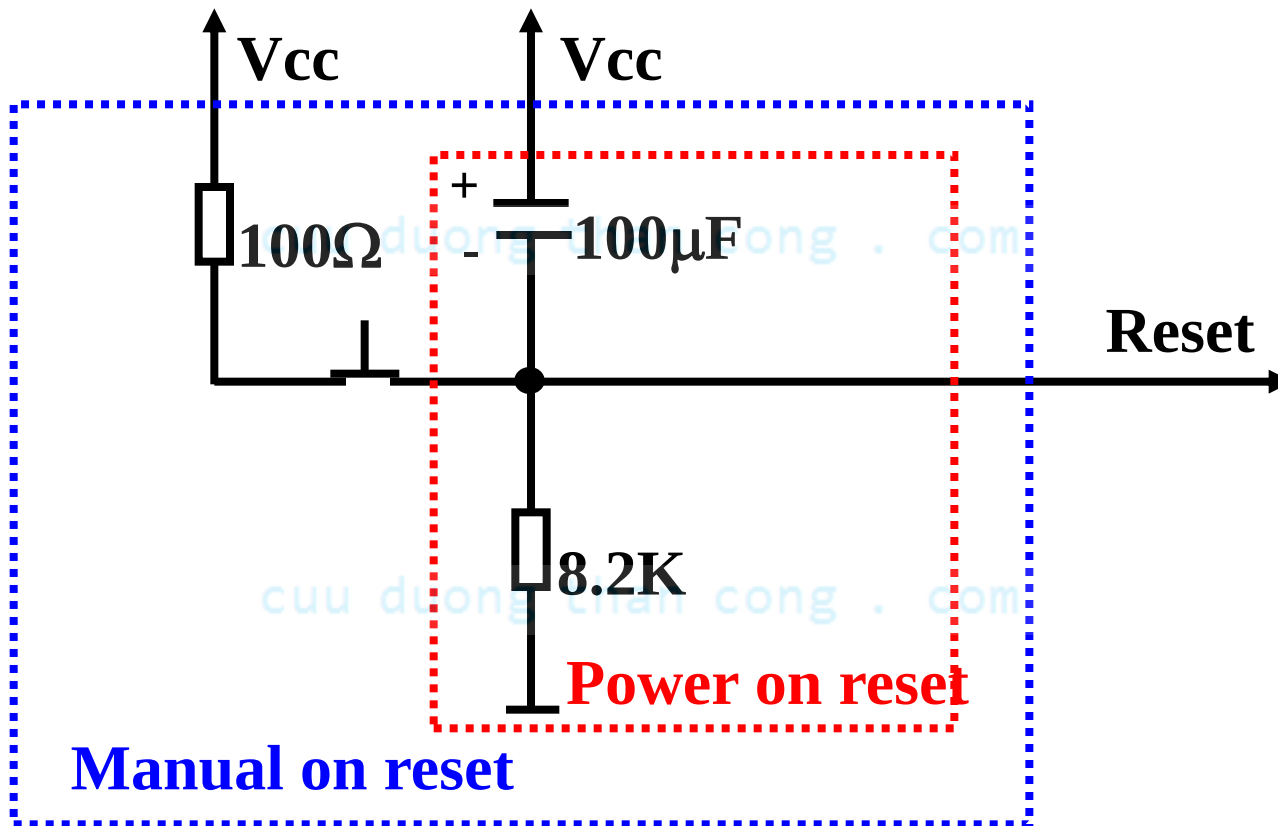
$EA = 1$: dùng bộ nhớ chương trình trong.

Lưu ý: Một hệ thống có thể sử dụng ROM trong và ROM ngoài nhưng chương trình chỉ chứa một trong hai nơi.

cuu duong than cong . com

RST (Reset)

Khi tín hiệu này được đưa lên mức cao (ít nhất trong 2 chu kỳ máy), các thanh ghi bên trong 8051 được tải những giá trị thích hợp để khởi động lại hệ thống.



Các đặc tính chủ yếu của 8051

Có 128 byte RAM nội.

- Có 4K ROM nội hoặc 0K (đối với 8031).
- Có khả năng quản lý 64K bộ nhớ chương trình và 64K bộ nhớ dữ liệu.
- Có 2 bộ timer.
- Có khả năng thu/phát nối tiếp.
- Có khả năng interrupt.

II. CẤU TRÚC RAM NỘI

Byte address

Bit address

7F

Vùng RAM đa dụng

30

2F

2E

2D

2C

2B

2A

29

28

27

26

25

24

23

22

21

20

1F

18

17

10

0F

08

07

00

7F	7E	7D	7C	7B	7A	79	78
77	76	75	74	73	72	71	70
6F	6E	6D	6C	6B	6A	69	68
67	66	65	64	63	62	61	60
5F	5E	5D	5C	5B	5A	59	58
57	56	55	54	53	52	51	50
4F	4E	4D	4C	4B	4A	49	48
47	46	45	44	43	42	41	40
3F	3E	3D	3C	3B	3A	39	38
37	36	35	34	33	32	31	30
2F	2E	2D	2C	2B	2A	29	28
27	26	25	24	23	22	21	20
1F	1E	1D	1C	1B	1A	19	18
17	16	15	14	13	12	11	10
0F	0E	0D	0C	0B	0A	09	08
07	06	05	04	03	02	01	00
Bank 3							
Bank 2							
Bank 1							
Default register bank for R0-R7							

Vùng RAM định vị bit

Vùng bank thanh ghi

Byte address

Bit address

FF

F0

E0

D0

B8

B0

A8

A0

99

98

90

8D

8C

8B

8A

89

88

87

83

82

81

80

F7	F6	F5	F4	F3	F2	F1	F0	B
E7	E6	E5	E4	E3	E2	E1	E0	ACC
D7	D6	D5	D4	D3	D2	-	D0	PSW
-	-	-	BC	BB	BA	B9	B8	IP
B7	B6	B5	B4	B3	B2	B1	B0	P3
AF	-	-	AC	AB	AA	A9	A8	IE
A7	A6	A5	A4	A3	A2	A1	A0	P2
not bit addressable								SBUF
9F	9E	9D	9C	9B	9A	99	98	SCON
97	96	95	94	93	92	91	90	P1
not bit addressable								TH1
not bit addressable								TH0
not bit addressable								TL1
not bit addressable								TL0
not bit addressable								TMOD
8F	8E	8D	8C	8B	8A	89	88	TCON
not bit addressable								PCON
not bit addressable								DPH
not bit addressable								DPL
not bit addressable								SP
87	86	85	84	83	82	81	80	P0

Các thanh ghi chức năng đặc biệt

a. Thanh ghi tích lũy (Accumulator – Acc)

Thanh ghi A được tham gia 1 trong 2 toán hạng của phép toán $\pm$ và là nơi chứa kết quả.

Ví dụ: $\text{ADD A, \# 2}$
 $A \leftarrow A + 2$

b. Thanh ghi B

Được dùng kèm với thanh ghi A trong phép toán nhân và chia.

c. Thanh ghi từ trạng thái chương trình PSW (Program Status Word)

D7	D6	D5	D4	D3	D2	D1	D0
CY	AC	F0	RS1	RS0	OV	-	P

- **Cờ nhớ CY (Carry Flag)**

Có chức năng là nhớ. Cờ C sẽ được set (xác lập là 1 sau khi thực hiện phép toán cộng có xảy ra nhớ hoặc phép trừ có xảy ra mượn đối với số không dấu).

- **Cờ nhớ phụ AC (Auxiliary Carry Flag)**

Khi cộng các số BCD, cờ nhớ phụ được set nếu kết quả của 4 bit thấp có giá trị trong khoảng 0AH ÷ 0FH.

Nếu các giá trị cộng là số BCD thì sau lệnh cộng cần có lệnh DA A (Decimal Adjust Accumulator - hiệu chỉnh thập phân thanh ghi tích lũy) để mang kết quả lớn hơn 9 trở về tầm từ 0 ÷ 9.

- **Cờ F0**

Là một bit cờ đa dụng dành cho ứng dụng của người sử dụng.

- **Các bit chọn bank thanh ghi RS0, RS1**

Là 2 bit dùng để lựa chọn bank thanh ghi

· Bit cờ tràn OV

Cờ OV sẽ được set sau khi thực hiện các phép toán đối với số có dấu mà xảy ra tràn (quá tầm).

- Số n bit không dấu có tầm : $0 \div 2^n - 1$.
- Số n bit có dấu có tầm: $-(2^{n-1}) \div 2^{n-1} - 1$.
- Nếu cờ OV = 0 $\Rightarrow$ kết quả đúng.
- Nếu cờ OV = 1 $\Rightarrow$ kết quả sai $\Rightarrow$ phải thực hiện lại phép toán với số bit cao hơn.

· Cờ P (Parity)

Là phương pháp kiểm tra chẵn lẻ để phát hiện sai (đơn bội). Có 2 phương pháp kiểm tra parity là chẵn (even) hoặc lẻ (odd). Đối với 8051 cờ P được tự động tạo ra theo phương pháp chẵn tùy theo nội dung của thanh ghi A.

d. Thanh ghi SP (Stack Pointer)

Stack: là vùng nhớ chứa data theo phương pháp LIFO (Last in First out).

- Thanh ghi SP (8bit) là con trỏ của vùng stack.
- Các lệnh liên quan đến SP bao gồm lệnh cất dữ liệu vào stack và lệnh lấy dữ liệu ra khỏi stack.
- Việc cất dữ liệu vào stack làm tăng SP trước khi ghi dữ liệu và việc lấy dữ liệu ra khỏi stack sẽ giảm SP.
- Đối với 8051, khi khởi động mặc nhiên giá trị của SP là 07H.
- Vùng stack mặc định là sẽ nằm từ địa chỉ 08H trở lên. Nếu muốn stack nằm tại vùng nhớ khác thì phải nạp lại giá trị mới cho SP.

e. Thanh ghi DPTR (Data Pointer Register)

Là thanh ghi 16 bit gồm 2 thanh ghi 8 bit là DPH và DPL.

Nhiệm vụ của thanh ghi này là chứa địa chỉ 16 bit khi truy xuất bộ nhớ ngoài.

f. Các thanh ghi port

Các port của 8051 bao gồm:

- Port 0: ở địa chỉ 80H.
- Port 1: ở địa chỉ 90H.
- Port 2: ở địa chỉ A0H.
- Port 3: ở địa chỉ B0H.

Tất cả các port đều được địa chỉ hóa từng bit.

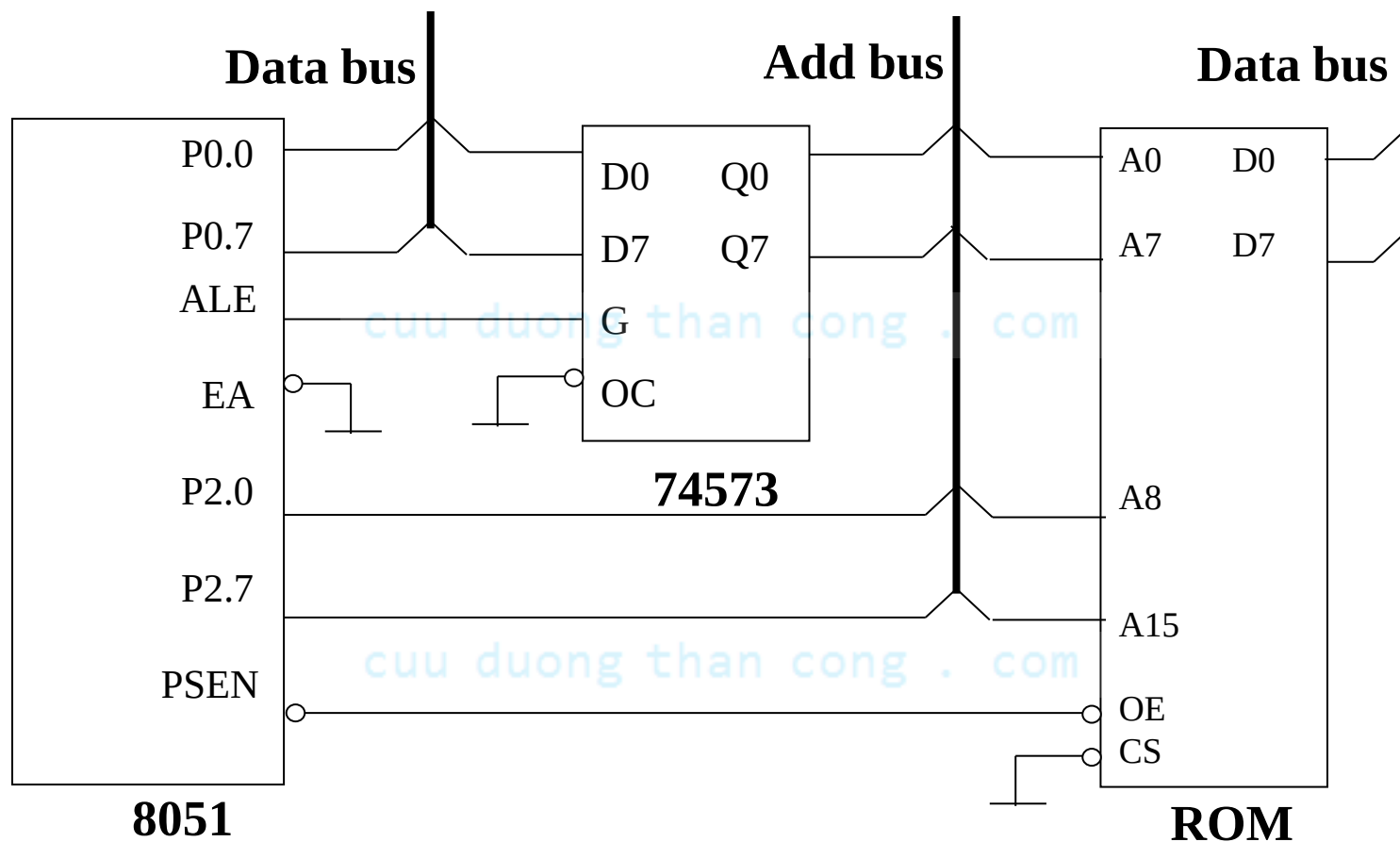
g. Các thanh ghi Timer, Serial và interrupt

Sẽ được trình bày kỹ ở các phần có liên quan.

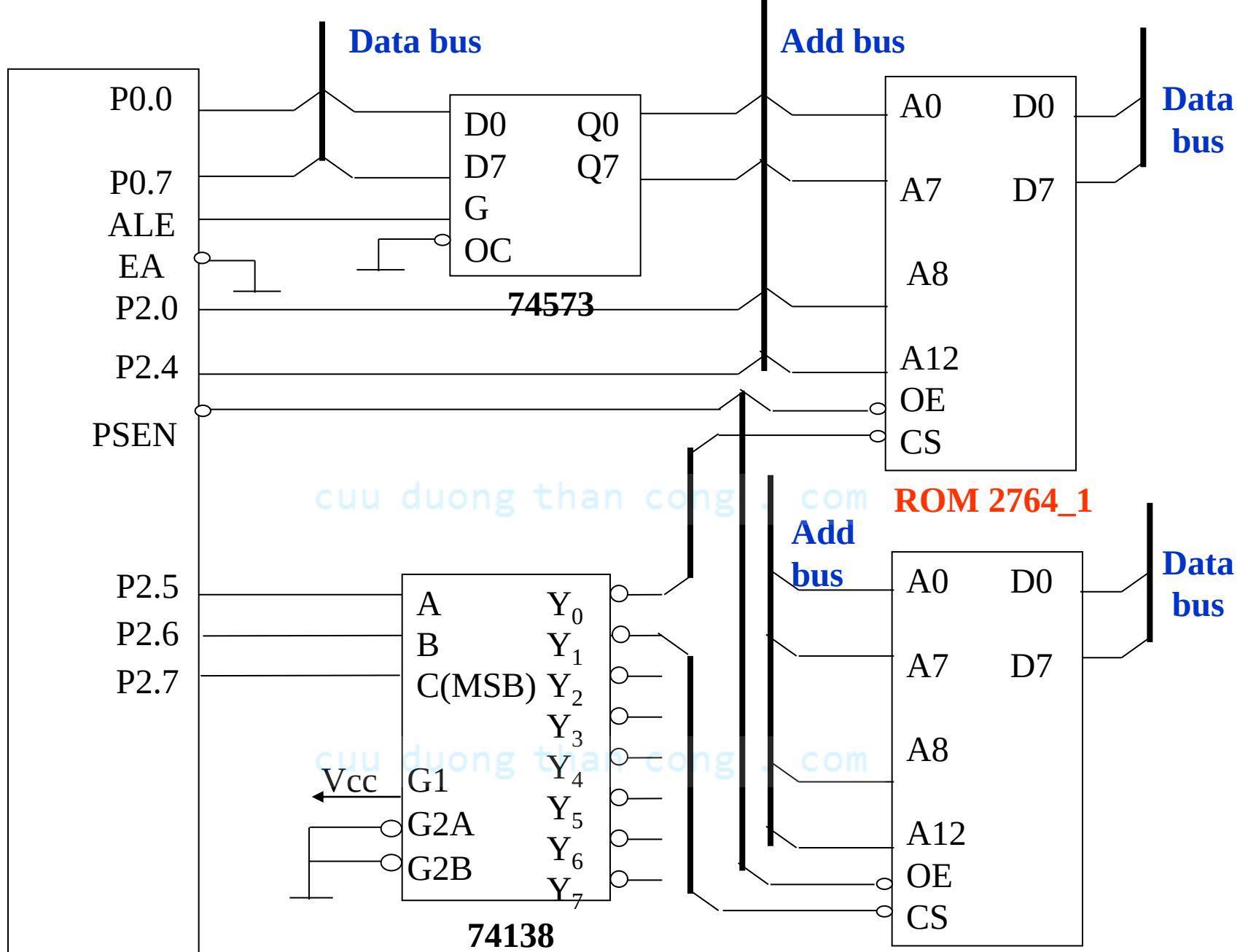
h. Thanh ghi PCON (Power Control Register)

III. GIAO TIẾP VỚI BỘ NHỚ NGOÀI

1. Bộ nhớ chương trình (code memory): thường là ROM, thông qua tín hiệu PSEN.



Giao tiếp giữa 8051 với bộ nhớ chương trình ngoài.



8051

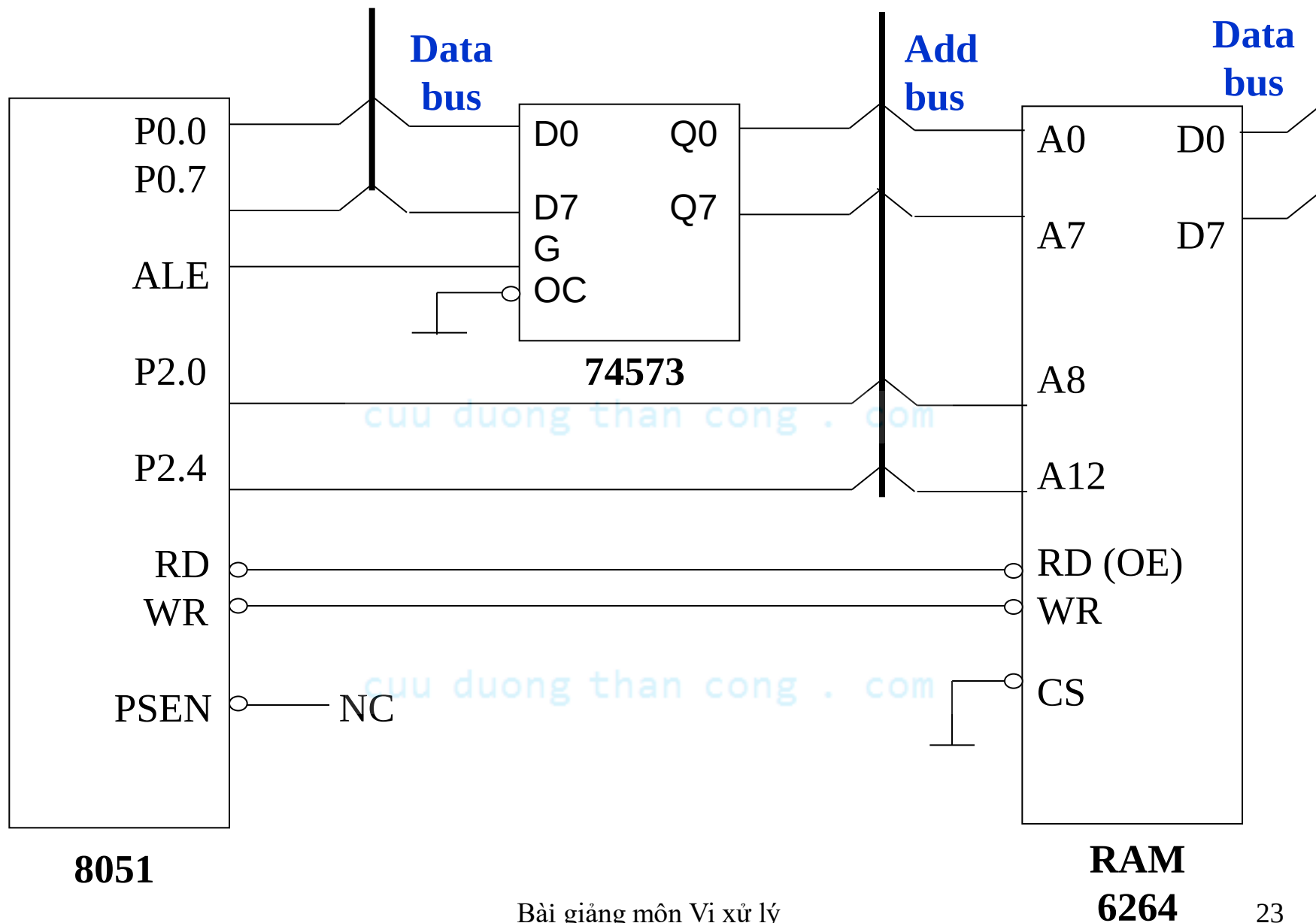
CuuDuongThanCong.com

Bài giảng môn Vi xử lý
GV: Lê Thị Kim Anh

ROM 2764_2

<https://fb.com/tailieudientucntt>

2. Bộ nhớ dữ liệu ngoài : thường là RAM, thông qua 2 tín hiệu RD, WR.



3. Hệ vi xử lý có sử dụng nhiều ROM và RAM ngoài

- Data bus (D0 ÷ D7): lấy từ port0 (P0 ÷ P7).
- Add bus thấp (A0 ÷ A7) : lấy từ ngõ ra của IC chốt.
- Add bus cao (A8 ÷ A15): lấy từ port2 (P2.0 ÷ P2.7).
- Tín hiệu PSEN điều khiển ROM.
- Tín hiệu RD, WR điều khiển RAM.
- Các tín hiệu từ mạch giải mã địa chỉ đưa đến chân chọn chip (CS) của các ROM và RAM.