

ĐHBK Tp HCM-Khoa Đ-ĐT
BMĐT
GVPT: Hồ Trung Mỹ
Môn học: Dụng cụ bán dẫn

Chương 6

FET

(Field Effect Transistor)

Transistor hiệu ứng trường

Nội dung

- Giới thiệu
- Cấu tạo và nguyên tắc hoạt động
- Đặc tuyến I-V
- Các hiệu ứng thứ cấp
- Mô hình tín hiệu nhỏ - mạch tương đương tín hiệu nhỏ
- Mô hình tín hiệu nhỏ ở tần số cao
- Các ứng dụng của JFET: KĐ, KĐ chopper, khóa analog, nguồn dòng...

6.1 Giới thiệu

Diode → Transistor

p – n junctions

Forward bias:

Minority carrier injection
↓
Bipolar Junction Transistor (BJT)
↓
Minority carrier - bipolar

Reverse bias:

Depletion Width
↓
Junction Field Effect Transistor (JFET)
↓
Majority carrier - unipolar

Three terminal devices (transfer resistor – transistor):

- Amplification
- Switching

BJT

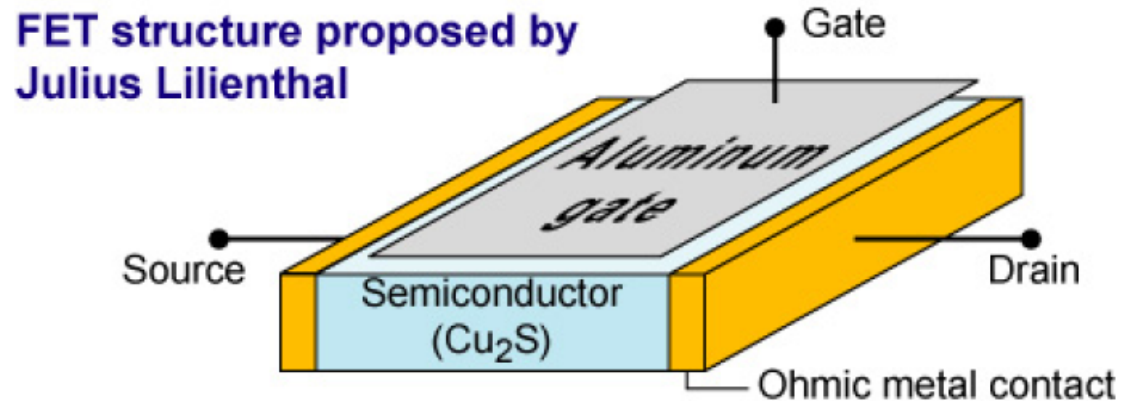
Realized: 1947
(Bardeen and Brattain)

FET

Suggested: 1930 (Lilienfeld)
Realized: 1960!
(Kahng and Attala)

History of FET

As early as 1925, an FET was proposed by Julius Edgar Lilienfeld. A US patent was issued in 1930 (Lilienfeld, 1930, U. S. Patent 1,745,175).



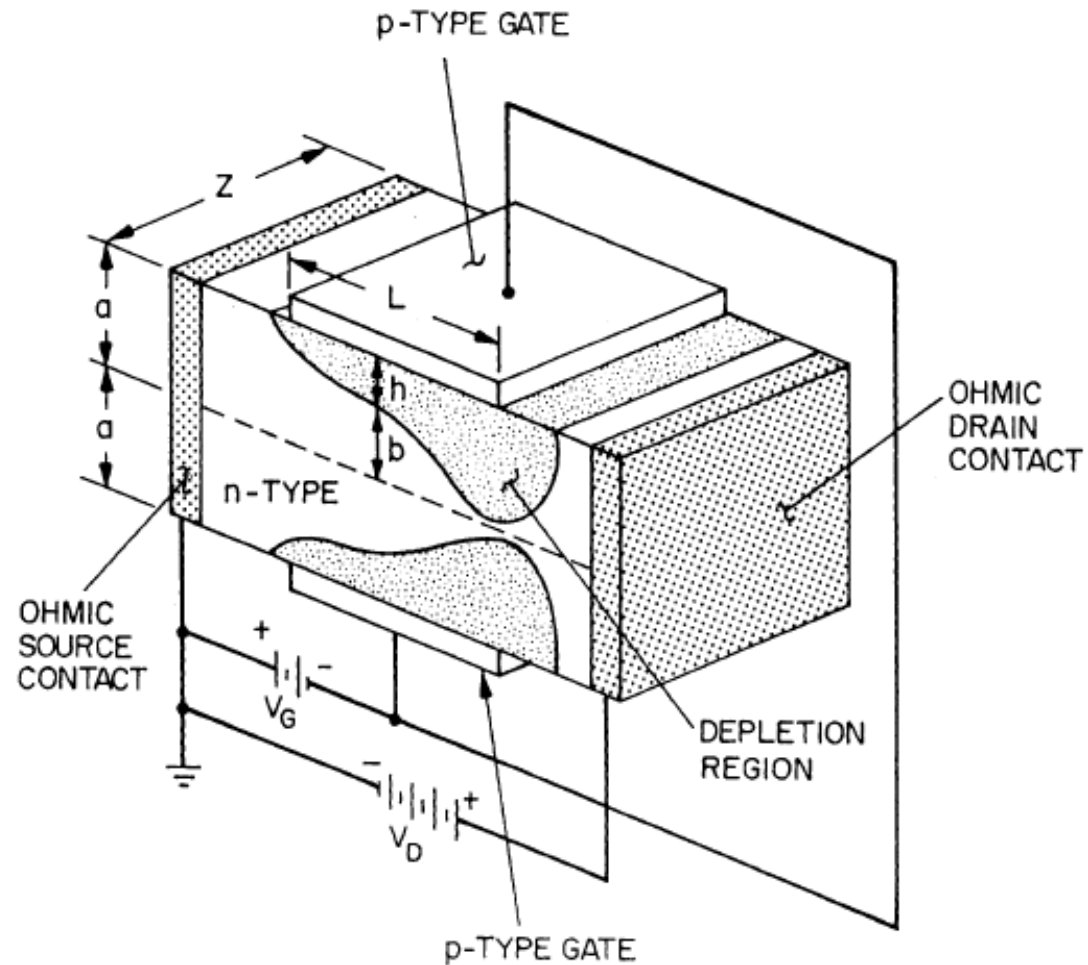
In the early 1930s, Oskar Heil described an FET structure similar to the modern junction field-effect transistor (Heil, 1935, British Patent 439,457).

Neither Lilienfeld nor Heil were able to construct a working device.

Other milestones in transistor development:

- 1925 FET proposal by Lilienfeld
- 1930 Junction FET proposal by Heil
- 1947 Point-contact transistor by Brattain and Bardeen of Bell Laboratories
- 1949 Bipolar junction transistor by Brattain, Bardeen, and Shockley of Bell Laboratories
- 1958 First Integrated Circuit by Jack Kilby of Texas Instruments
- 1959 Silicon planar process: Procedure resembles integrated circuits of today by Robert Noyce of Fairchild
- 1960s PMOS process
- 1970s NMOS process
- 1980s CMOS
- 1990s CMOS, BiCMOS

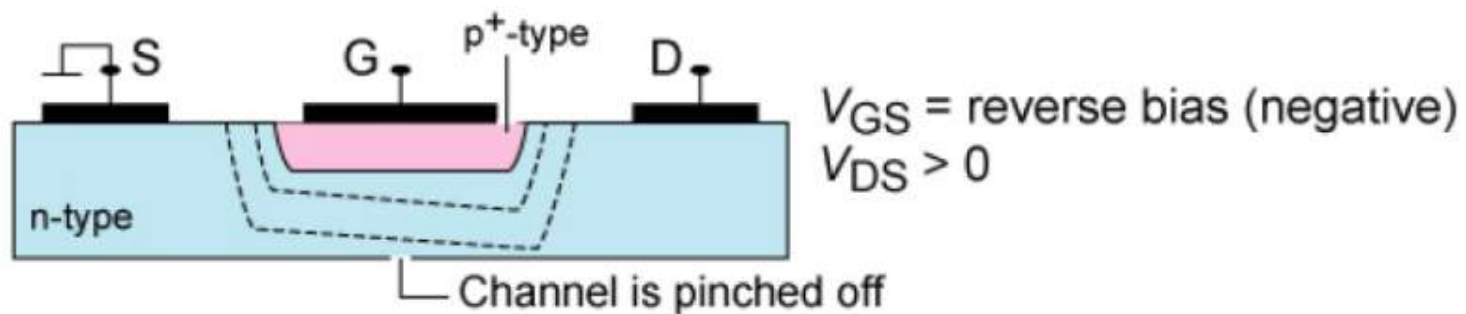
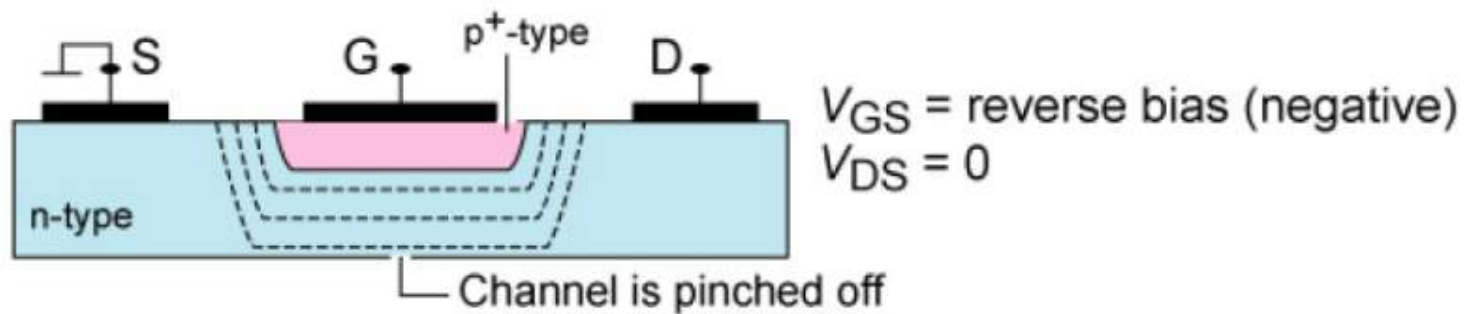
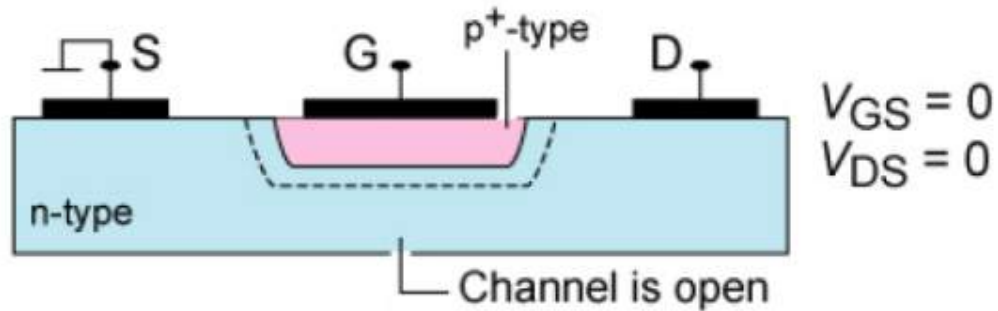
Shockley's model of a junction FET



(from Sze)

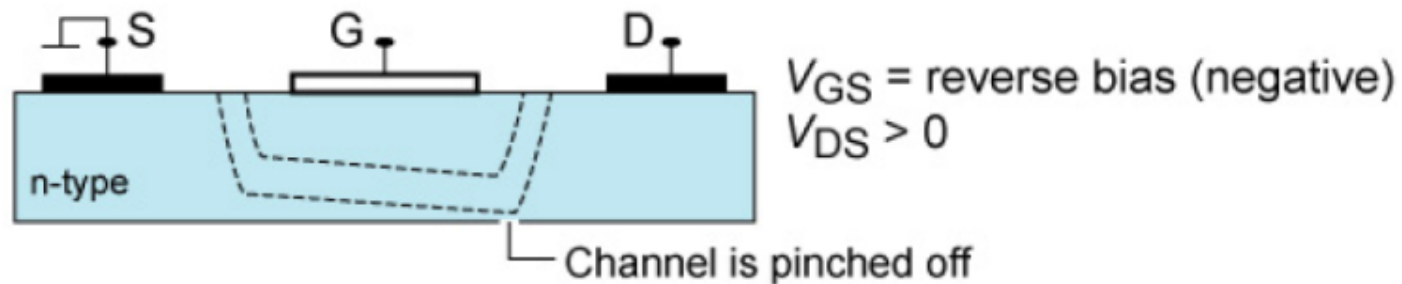
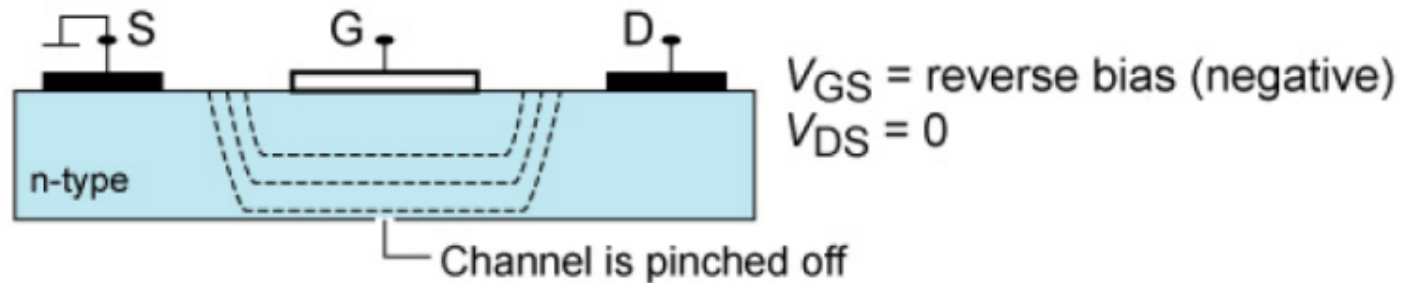
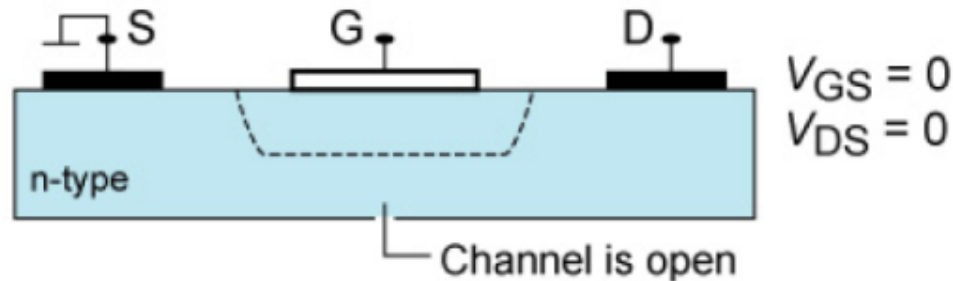
JFET = PN junction FET

TD: JFET kênh N



MESFET = Metal-semiconductor FET = Schottky gate FET

TD: MESFET kênh N



JFET and MESFET follow similar principles

Similarity:

A MESFET can be thought of as a p^+n junction FET with $p^+ \rightarrow \infty$

Differences:

1. JFET has a higher gate barrier. This is an advantage for low-gap materials (e. g. GaInAs). As a result, JFETs have a low gate leakage current
2. MESFET has ohmic contacts only to n-type material.
Advantage: Ease of fabrication.

All discrete JFETs and MESFETs have an **n-type** channel due to higher electron mobility as compared to hole mobility.

Gate current ≈ 0 for JFET and MESFET $\rightarrow$ FETs are voltage-controlled devices

Comparison: FET vs. BJT

FET:

$$\text{Input power} = V_{GS} I_G \quad (I_G = \text{const} \approx 0) \quad (1)$$

BJT:

$$\text{Input power} = V_{EB} I_B \quad (V_{EB} = \text{const} \approx 0.7 \text{ V for Si}) \quad (2)$$

Note: 99 % of all ICs are made of FETs.

MESFET and JFET applications:

High frequency devices, cellular phones, satellite receivers, radar, microwave devices

GaAs is primary material for MESFETs

GaAs has high electron mobility ($8000 \text{ cm}^2 / \text{Vs}$)

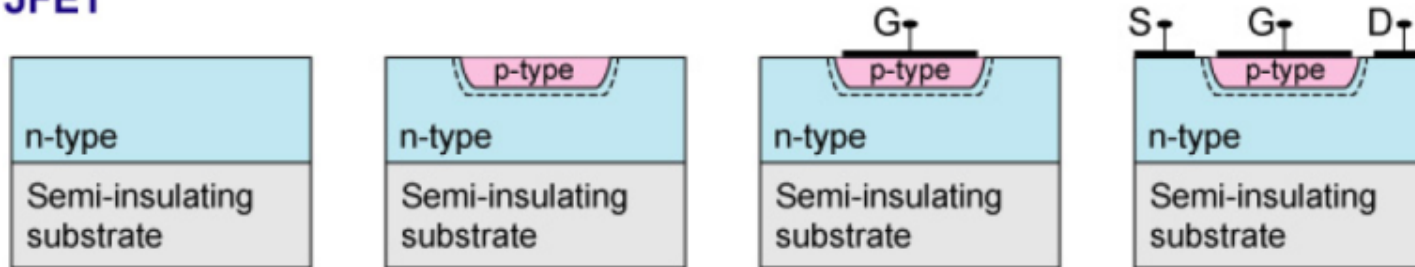
Generally, if $f > 2 \text{ GHz} \rightarrow$ GaAs transistors are usually used

$f < 2 \text{ GHz} \rightarrow$ Si transistors are usually used

Fabrication

(1) JFET

JFET



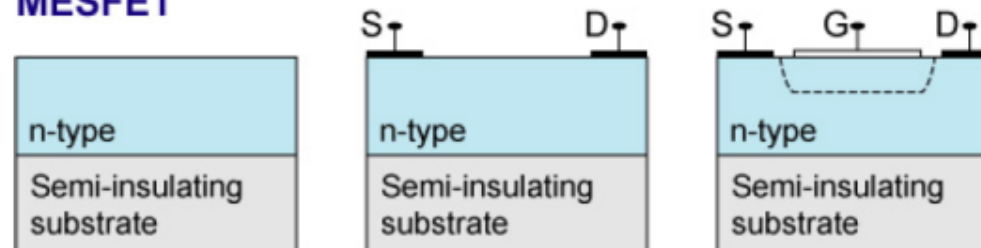
Typical contact materials for a GaAs JFET:

AuGe for S and D (annealed)

AuZn for G (annealed)

(2) MESFET

MESFET



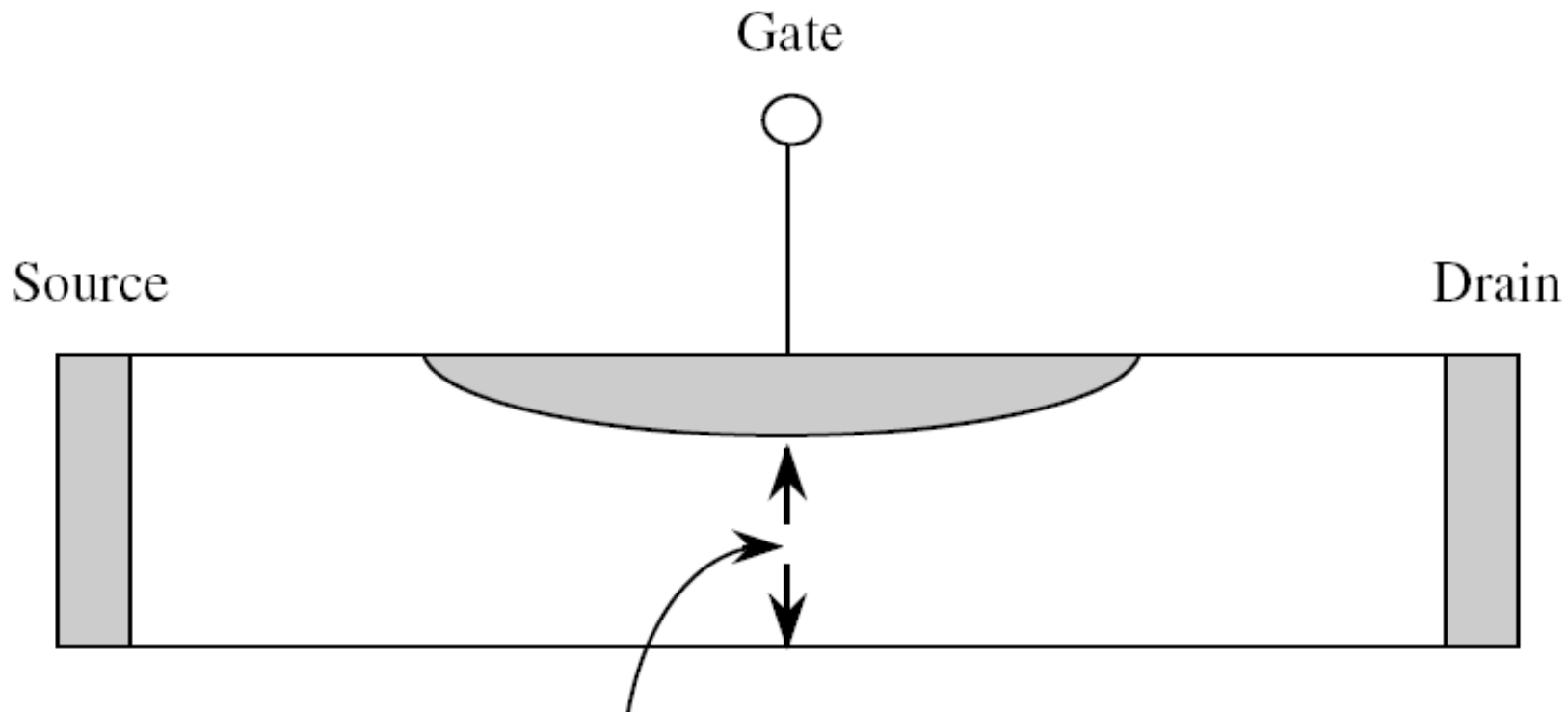
Typical contact materials for a GaAs MESFET

Au Ge for S and D (annealed)

Ti for G (not annealed)

Giới thiệu

- FET (Field Effect Transistor=transistor hiệu ứng trường) cũng là một trong các dụng cụ điện tử quan trọng nhất trong công nghệ bán dẫn hiện đại.
- Như chúng ta đã xét ở chương BJT thì chúng ta đã thấy những thuận lợi và bất lợi của BJT, BJT là dụng cụ lưỡng cực. FET là dụng cụ đơn cực (unipolar), dòng điện tạo bởi điện tử hoặc lỗ. FET điều khiển dòng điện chảy trong kênh bằng cách giới hạn hay mở kênh dẫn (xem hình 1). Việc này được thực hiện bằng cách đưa điện áp phân cực vào cực điều khiển được gọi là cổng.
- Do FET là dụng cụ đơn cực nên nó có thể làm việc với các tốc độ cao vì sự tái hợp điện tử-lỗ không giới hạn dụng cụ. Bằng cách sử dụng vật liệu “nhẹ hơn”, tốc độ của dụng cụ trở nên rất nhanh, làm cho FET được chọn trong nhiều ứng dụng số và vi ba.



Mật độ hạt dẫn bị điều khiển
bởi điện thế ở cổng (Gate)

Hình 6.1. Nguyên tắc vật lý của FET dựa trên việc sử dụng cổng để thay đổi điện tích trong kênh bằng cách làm hẹp kênh dẫn. Điện thế ở cổng thay đổi dẫn đến dòng điện qua kênh thay đổi

- Khái niệm về FET thì hoàn toàn đơn giản và được minh họa trong hình 6.1.
- Dụng cụ gồm có một kênh dẫn tích cực mà các điện tử chạy trong kênh này từ nguồn S (source) đến máng D (drain).
- Các tiếp điểm ở nguồn và máng là các tiếp điểm Ohm.
- Độ rộng của kênh bị điều chế bởi điện thế đưa vào cổng G (gate).
- Sự điều chế độ rộng kênh dẫn đến điều chế dòng điện đi qua kênh này.
- Điểm quan trọng trong quá trình này là cách ly cổng với dòng điện chảy qua kênh. Nếu cổng không được cách ly tốt với kênh dẫn thì nó kéo nhiều dòng điện và dẫn đến dụng cụ có độ lợi kém (nghĩa là tỉ lệ của công suất ra (hoặc dòng điện) với công suất vào (hoặc dòng điện)).

Sự cách ly cổng với kênh dẫn

Sự cách ly cổng được thực hiện bằng nhiều cách, dẫn đến có nhiều dụng cụ khác nhau:

- Trong MOSFET cổng được cách ly với kênh dẫn bằng oxide.
- Trong FET kim loại-bán dẫn (MESFET) thì cổng tạo thành rào Schottky với bán dẫn và dòng điện cổng nhỏ trong tầm điện áp hữu dụng ở cổng.
- Trong FET được pha điều chế (MODFET), cổng cũng tạo rào Schottky, và người ta sử dụng các khái niệm cấu trúc dị thể (hay không đồng nhất) (heterostructure) để giảm tán xạ tạp chất ion hóa.
- Trong FET tiếp xúc (JFET), người ta sử dụng tiếp xúc P-N được phân cực ngược để cách ly cổng.

Phân loại FET

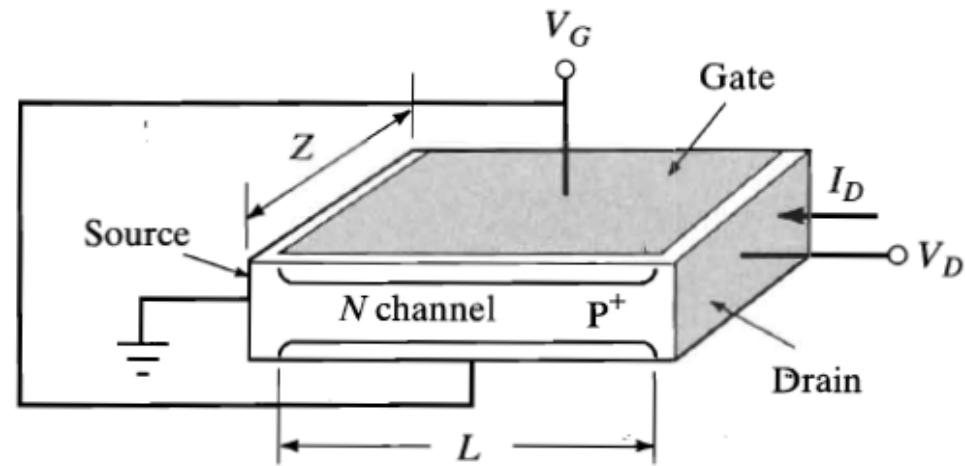
- Tổng quát, chúng ta có thể chia FET làm 2 nhóm chính:
 1. Các dụng cụ mà sự cách ly cổng đạt được bằng cách sử dụng chất **cách điện giữa cổng và kênh** tích cực mà ở đó có dòng điện tử chạy qua. Nếu khe năng lượng của chất cách điện lớn thì các điện tử có thể bị “cảm ứng” vào kênh dẫn không cần phải pha tạp chất.
 2. Các dụng cụ trong đó cách ly cổng đạt được bằng cách sử dụng **rào thế Schottky**. Ở đây các chất kích tạp (dopants) được dùng để cung cấp các hạt dẫn tự do và cổng dùng để thay đổi sự dẫn điện của kênh bằng cách thay đổi bề rộng miền nghèo.
- Các FET dựa trên Si sử dụng khái niệm MOSFET trong khi đó phần lớn các bán dẫn hợp chất III-V dựa trên các khái niệm MESFET hoặc MODFET. Trong chương này chúng ta chủ yếu sẽ xét JFET và chương kế sẽ khảo sát MOSFET

6.2 Cấu tạo và nguyên tắc hoạt động của JFET

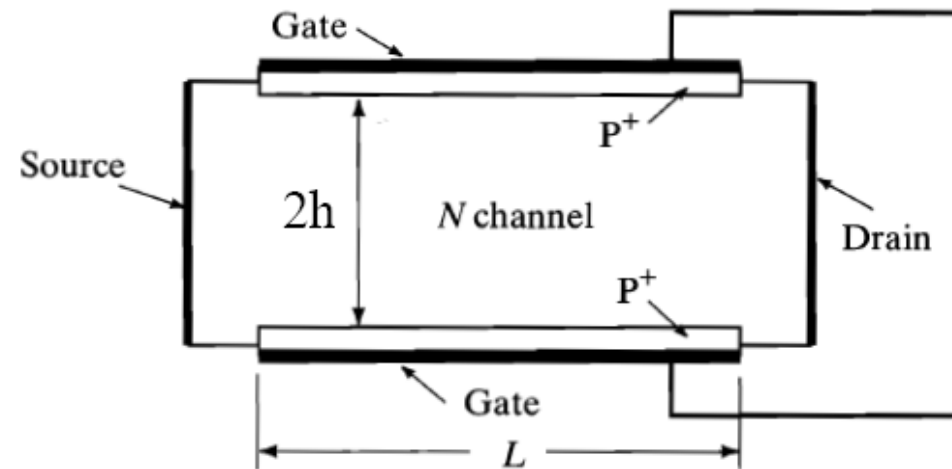
Cấu tạo của JFET kênh N

- FET đơn giản nhất là FET tiếp xúc hay JFET. Hình 6.2 cho ta thấy cấu trúc JFET đơn giản. Dụng cụ gồm một lớp mỏng bán dẫn loại N có pha thêm các tạp chất để tạo các lớp P⁺ ở hai bên. Miền ở giữa 2 miền p⁺ được gọi là kênh, và các điện tử có thể chạy trong kênh này ở giữa 2 tiếp xúc thuần trở gọi là cực nguồn S (source) và cực máng D (drain). Hình 6.2 cho ta thấy dụng cụ có pha 2 bên, mặc dù thông thường các dụng cụ chỉ có một cổng và bề rộng kênh là h.
- Cực nguồn S được đặt phân cực âm hơn so với máng D để các điện tử chạy từ nguồn đến máng. Các miền p⁺ tạo thành cực cổng G của dụng cụ và phân cực âm được áp đặt vào chúng. Phân cực ngược này trên các tiếp xúc p⁺-n làm cho tăng thêm bề rộng miền nghèo bên n. Khi các điện tử đi qua miền n thì bề rộng hiệu dụng của kênh dẫn co lại. Kết quả là tính dẫn điện của kênh dẫn bị điều khiển bởi phân cực tại cực cổng.

Hình 6.2 (1/2)

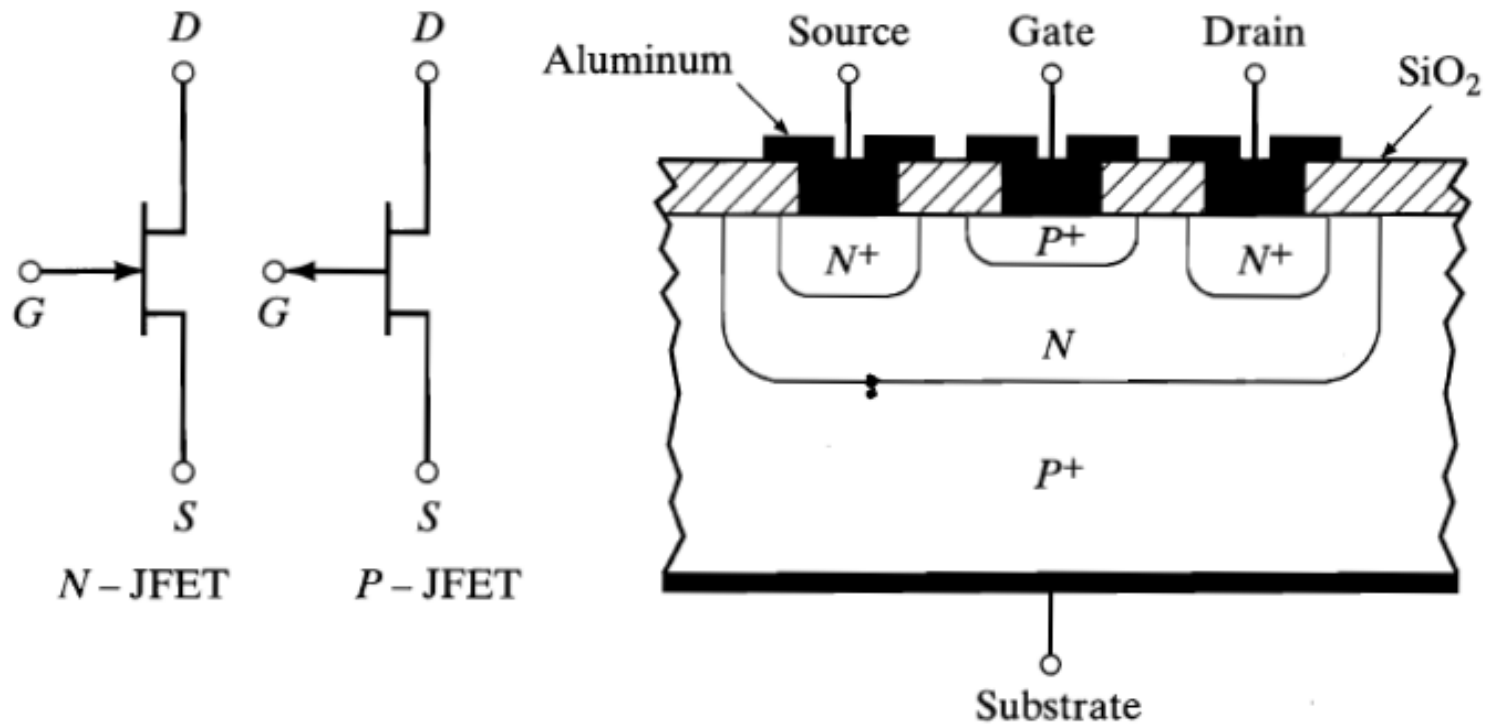


(a)



(b)

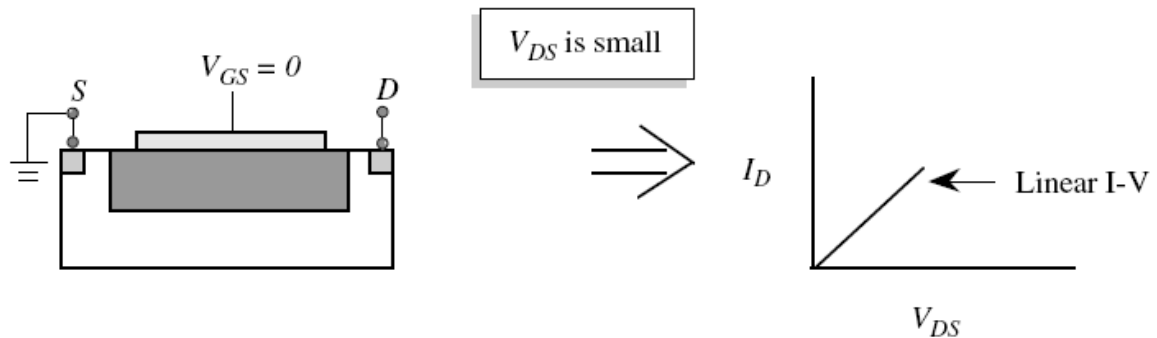
Hình 6.2 (2/2)



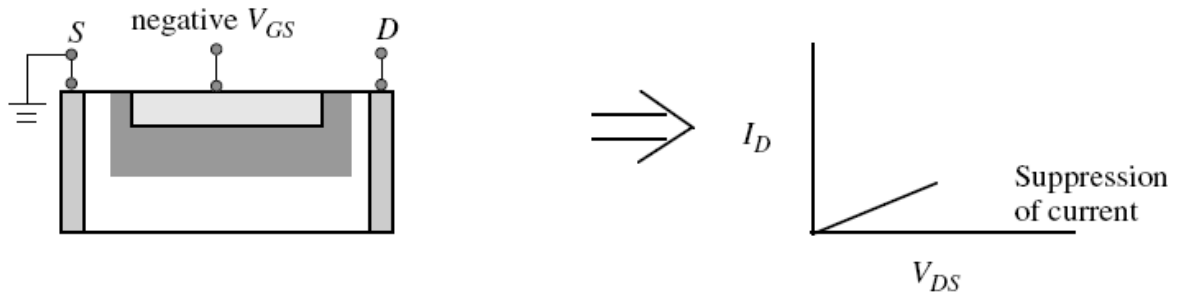
(c) Ký hiệu cho JFET kênh N và kênh P (d) Cấu trúc cơ bản của mô hình 1 cổng

Hoạt động – Hiệu ứng của V_{GS}

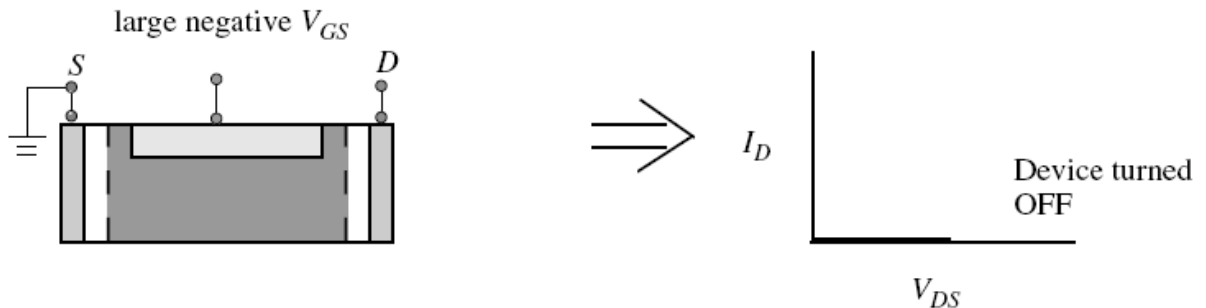
Hình 6.3 (a) JFET với phân cực cổng bằng không để kênh dẫn mở lớn. Dụng cụ như vậy được gọi là dụng cụ chế độ nghèo (khi hoạt động làm tăng miền nghèo);



(b) Dụng cụ với phân cực cổng âm cho thấy sự giảm độ mở của kênh và giảm dòng điện;



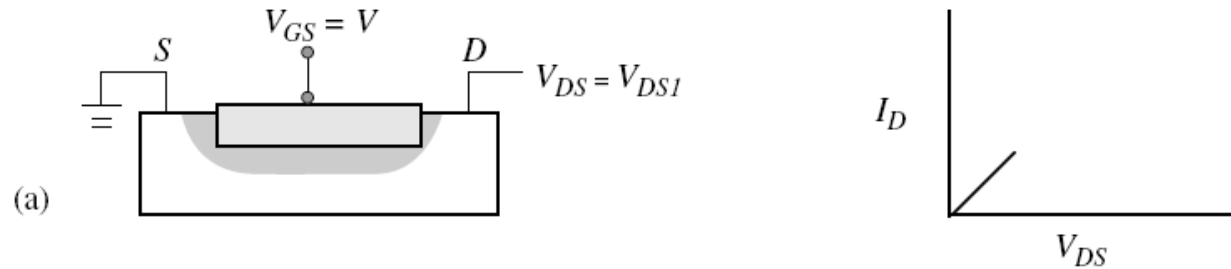
(c) Phân cực cổng âm lớn làm kênh dẫn bị nghẹt và dòng điện trong kênh dẫn là không (khi đó $V_{GS} = V_{GS(OFF)} < 0$).



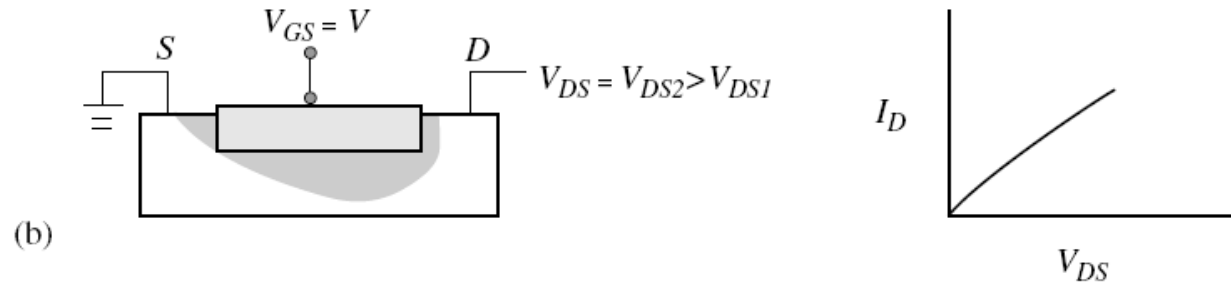
- Để hiểu hoạt động của JFET (cũng tương tự cho MESFET) ta hãy xét các trường hợp ở hình 6.3. Trong hình 6.3a ta thấy JFET với phân cực nguồn-máng V_D nhỏ và không có phân cực cổng. Khi phân cực cổng được tăng và diode p⁺-n bị phân cực ngược, dòng điện qua kênh dẫn giảm cho đến khi kênh dẫn bị “thắt” hay “nghẽn” hay “ngẹt” (***pinch off***) và không có hạt dẫn tự do trong kênh dẫn.
- Bây giờ, ta xét trường hợp phân cực cổng cố định và tăng phân cực máng như trong hình 6.4. Khi phân cực máng trở nên càng lúc càng dương hơn thì tiếp xúc p⁺-n gần cực máng trở nên bị phân cực nhiều hơn. Kết quả là kênh dẫn bị thắt ở gần cực máng. Ở điểm này dòng điện không thể tăng thêm được, ngay cả khi điện áp cực máng được tăng. Miền này được gọi là miền bão hòa. Một khi dụng cụ đạt đến bão hòa, dòng điện trong kênh dẫn giữ không đổi.

Hoạt động – Hiệu ứng của V_{DS}

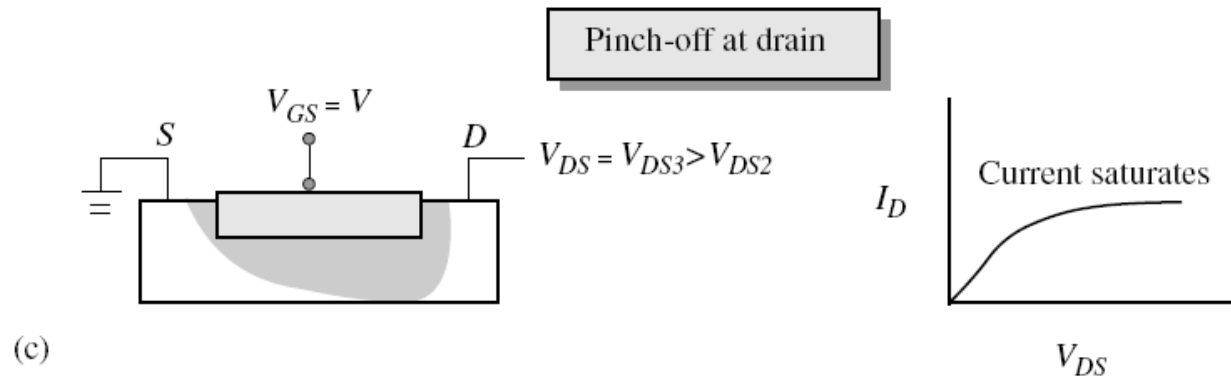
Hình 6.4 Hiệu ứng của tăng phân cực máng với phân cực cổng cố định:
(a) phân cực máng nhỏ;

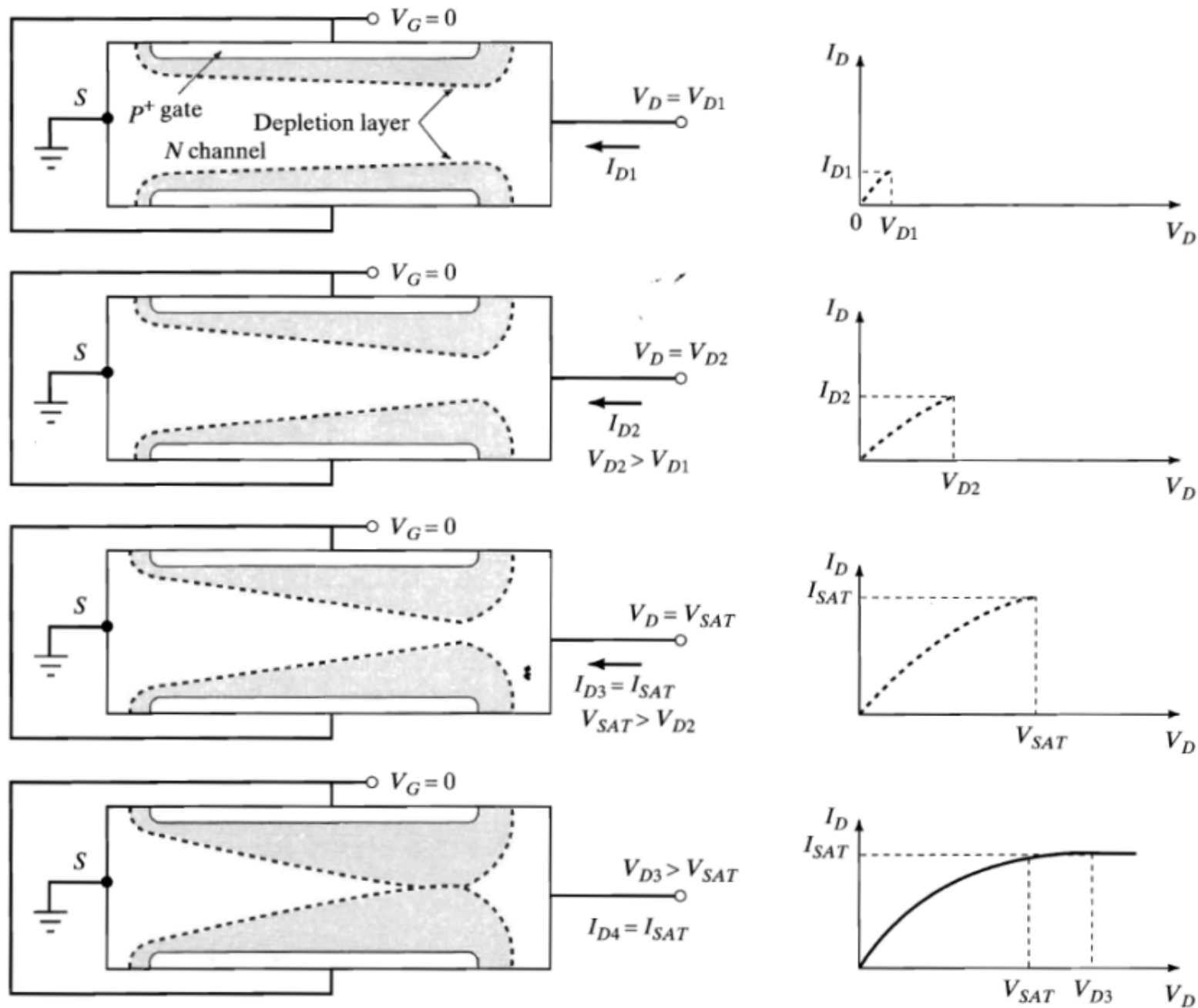


(b) tăng phân cực máng và kênh bị hạn chế nhiều hơn ở gần cực máng;



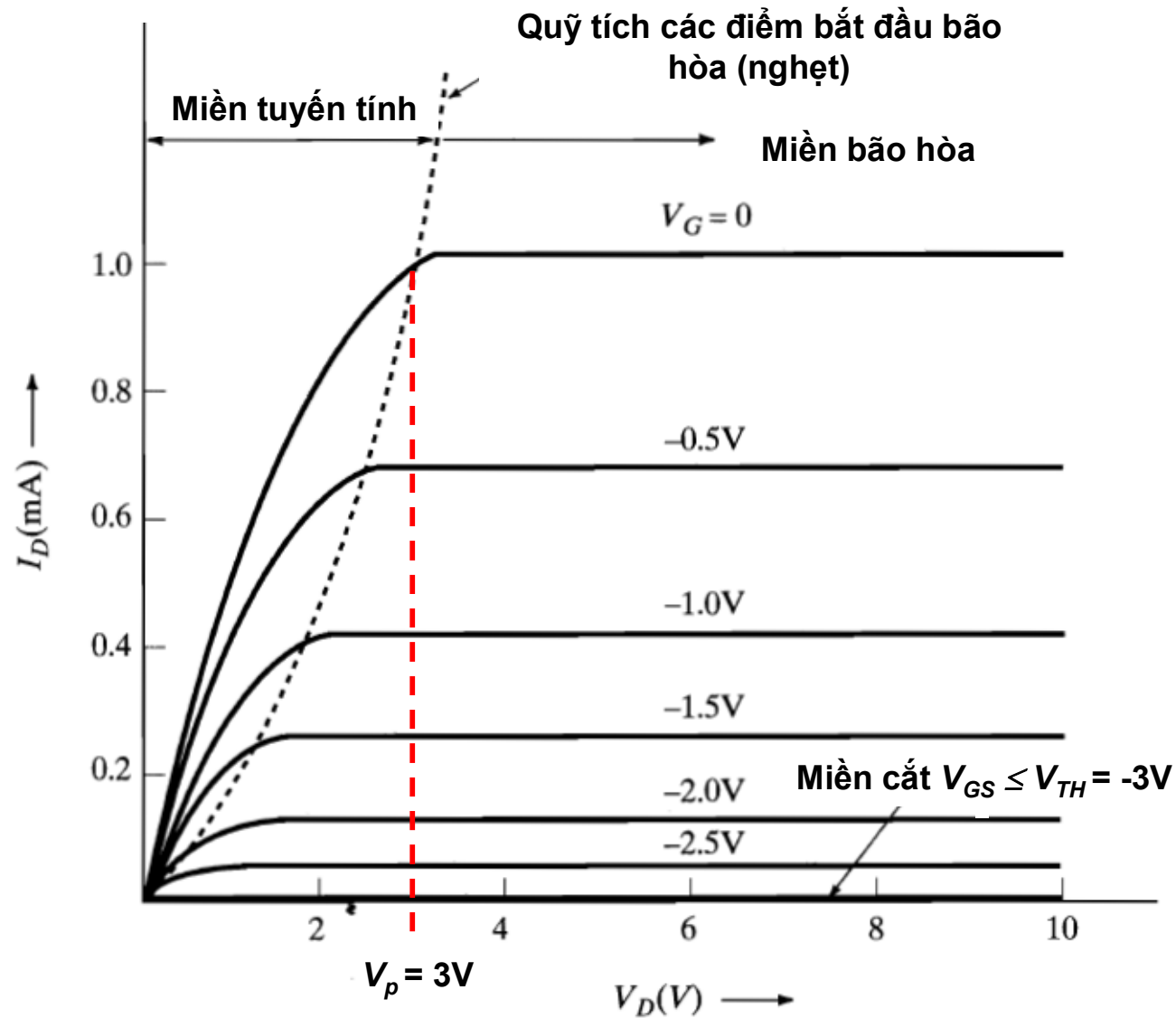
(c) tăng phân cực ở cực máng đến điểm mà kênh bị thắt ở bên cực máng, dòng điện máng bão hòa.



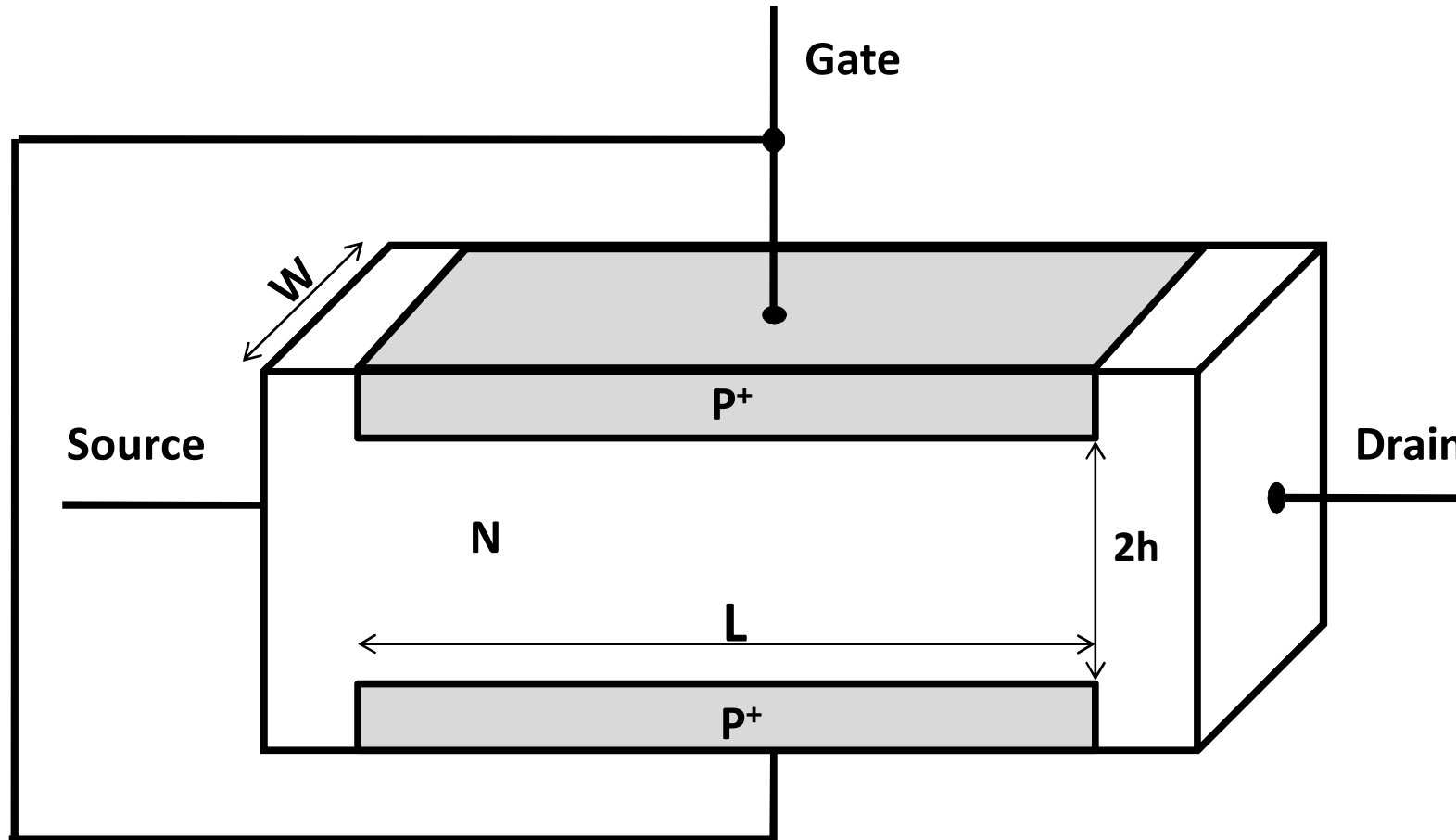


Hình 6.5 (a) Increase of drain voltage at $V_G = 0$ results in pinchoff. (b) Drain current increases with V_D and saturates at I_{SAT} for $V_D \geq V_{SAT}$.

Đặc tuyến I-V của N-JFET (TD với $V_{TH} = -3V$)



Tính toán I_D và V_D của JFET



Cấu tạo của JFET kênh N

Với:

- $2h$: độ rộng kênh dẫn khi chưa phân cực
- L : chiều dài kênh dẫn
- W : chiều dài bề ngang của kênh dẫn

Tính điện áp ngưỡng V_{TH} (1/2)

- Trong các phần phân tích và tính toán sau, giả sử ta lấy điện thế tại S làm điện thế đất ($V_S=0$).
- Nếu cực máng D được phân cực với giá trị dương nhỏ ($\delta V_D > 0$) trong khi điện thế tại cổng $V_G=0$, khi đó có dòng điện chạy từ nguồn S đến máng D với giá trị là

$$I_D = q\mu_n N_D \frac{2(h-x_n)W}{L} \delta V_D$$

với q là điện tích điện tử, μ_n là độ linh động của điện tử, N_D là nồng độ Donor trong bán dẫn N và $2(h-x_n)W$ là tiết diện ngang

- Ta đã biết bề rộng miền nghèo bên N với chuyển tiếp P+N có trị xấp xỉ bằng bề rộng miền nghèo:

$$x_n = \sqrt{\frac{2\varepsilon_s}{qN_D} V_{bi}} \quad \text{với} \quad V_{bi} = V_T \ln \left(\frac{N_A N_D}{n_i^2} \right)$$

với N_A là nồng độ acceptor trong các miền P⁺ và N_D là nồng độ donor trong các miền N .

Tính điện áp ngưỡng V_{TH} (2/2)

- Nếu bây giờ ta áp đặt điện thế âm vào cực cổng ($V_G < 0$), khi đó bề rộng miền nghèo x_n sẽ tăng lên theo công thức sau:

$$x_n = \sqrt{\frac{2\varepsilon_s}{qN_D}(V_{bi} - V_G)} \quad \text{với } V_G < 0.$$

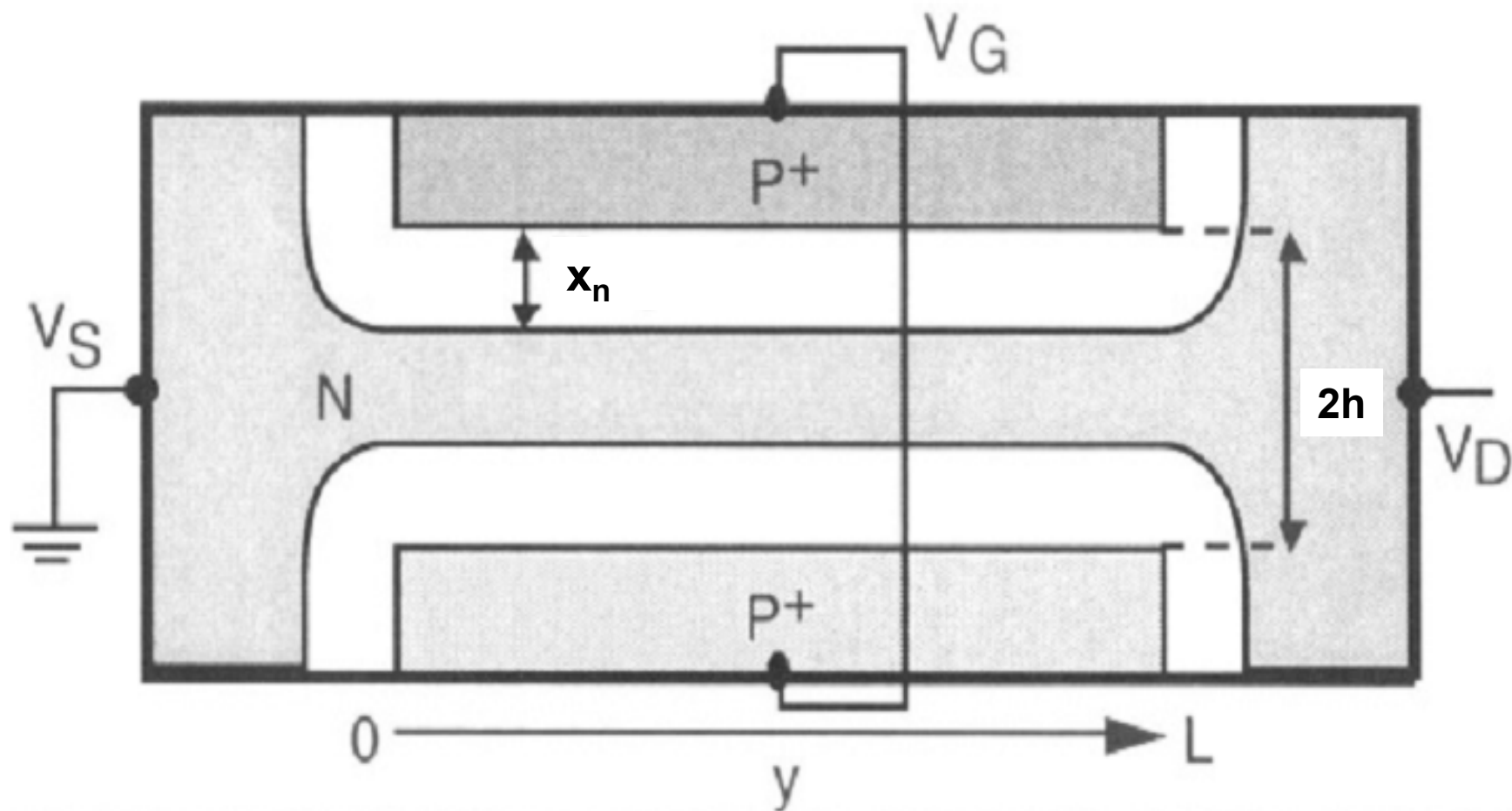
- Như vậy ta có thể điều chế kênh dẫn bằng cách thay đổi điện thế phân cực V_G tại cực cổng.
- Khi tăng phân cực ngược tại cực cổng sẽ dẫn đến trường hợp 2 miền nghèo chạm nhau, khi đó $h = x_n$. Khi 2 miền nghèo chạm nhau, không có dòng điện chạy giữa S và D. Điện áp cổng lúc này được gọi là **điện áp ngưỡng V_{TH}** (threshold voltage) định nghĩa ngưỡng giữa sự dẫn điện và không dẫn điện trong kênh dẫn.
- Thay $x_n = h$ trong công thức trên ta tìm được biểu thức của điện áp ngưỡng

$$V_{TH} = V_G - V_S = V_{bi} - \frac{qN_D h^2}{2\varepsilon_s}$$

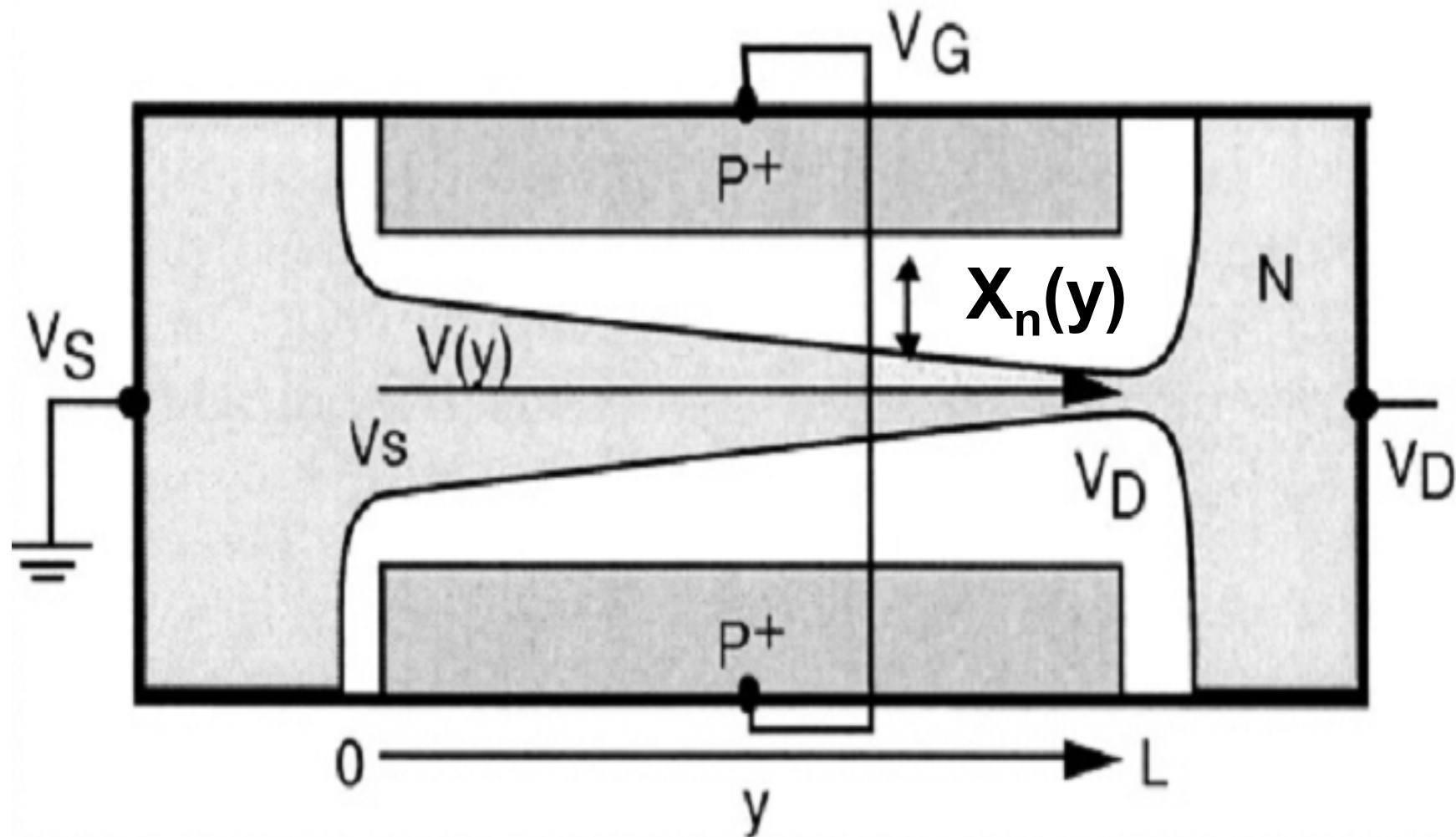
lúc N-JFET tắt

- Chú ý:** $V_{TH} < 0$ với JFET kênh N và $V_{TH} > 0$ với JFET kênh P.

Mô hình tính điện áp ngưỡng ($V_D \approx 0$)



Mô hình tính dòng điện máng I_D



Tính dòng điện máng I_D

- Xét N-JFET với $V_G > V_{TH}$ và $V_D > 0$
- Theo định luật Ohm, ta có:

$$J_y = \sigma E_y \Rightarrow \frac{I_D}{2(h - x_n(y))W} = \sigma \frac{dV(y)}{dy} = q\mu_n N_D \frac{dV(y)}{dy}$$

- Suy ra: $I_D dy = 2(h - x_n(y))Wq\mu_n N_D dV(y)$

$$2q\mu_n N_D W \int_{V_S}^{V_D} (h - x_n(y)) dV(y) = \int_0^L I_D dy = I_D L$$

- Như vậy dòng điện máng là

$$I_D = \frac{2q\mu_n N_D W h}{L} \left\{ V_D - \frac{2}{3} \sqrt{\frac{2\varepsilon_s}{qN_D h^2}} \left[(V_D + V_{bi} - V_G)^{3/2} - (V_{bi} - V_G)^{3/2} \right] \right\}$$

$$I_D = g_0 \left\{ V_D - \frac{2}{3} \sqrt{\frac{2\varepsilon_s}{qN_D h^2}} \left[(V_D + V_{bi} - V_G)^{3/2} - (V_{bi} - V_G)^{3/2} \right] \right\}$$

với $g_0 = \frac{2q\mu_n N_D W h}{L}$

Điện áp máng bão hòa V_{Dsat} và điện áp nghẹt V_p

- Chú ý là $x_n(y=L) > x_n(y=0)$ vì $V(y=L)=V_D > V(y=0)=V_S=0$. Do đó khi tăng V_D thêm nữa thì sẽ dẫn đến trường hợp 2 miền nghèo sẽ chạm nhau tại vị trí $y = L$. Giá trị V_D lúc này được gọi là điện áp máng bão hòa V_{Dsat} . Khi đó người ta gọi kênh dẫn bị nghẹt (hay nghẽn [pinch-off]).

$$x_n(y=L) = \sqrt{\frac{2\varepsilon_s}{qN_D}(V_{bi} - V_G + V(y=L))} \quad \Rightarrow \quad h = \sqrt{\frac{2\varepsilon_s}{qN_D}(V_{bi} - V_G + V_{Dsat})}$$

- Suy ra:

$$V_{Dsat} = \frac{qN_D h^2}{2\varepsilon_s} - V_{bi} + V_G = V_G - V_{TH}$$

- Hiệu điện thế $V_D - V_G$ làm cho kênh bắt đầu nghẽn được gọi là điện áp nghẹt (hay nghẽn) V_p (khi đó $x_n(y=L)=h$). Lúc kênh dẫn bắt đầu nghẹt thì dòng ID giữ không đổi và $V_D = V_{Dsat} = V_G - V_{TH}$.

Như vậy điện áp nghẹt $V_p = V_{Dsat} - V_G = -V_{TH}$

Giá trị tiêu biểu của V_p là 2 đến 4 V.

Dòng điện máng bão hòa I_{Dsat}

- Thay giá trị $V_D = V_{Dsat}$ vào biểu thức của I_D ta tìm được dòng điện máng bão hòa I_{Dsat}

$$I_{Dsat} = g_0 \left\{ \frac{qN_D h^2}{6\epsilon_S} - (V_{bi} - V_G) + \frac{2}{3} \sqrt{\frac{2\epsilon_S}{qN_D h^2}} (V_{bi} - V_G)^{3/2} \right\}$$

Phương trình xấp xỉ cho I_D trong miền tuyến tính

- Trong miền tuyến tính $V_D \ll V_G$ và $V_D \ll V_{bi}$, từ phương trình I_D

$$I_D = g_0 \left\{ V_D - \frac{2}{3} \sqrt{\frac{2\varepsilon_s}{qN_D h^2}} \left[(V_D + V_{bi} - V_G)^{3/2} - (V_{bi} - V_G)^{3/2} \right] \right\}$$

$$\text{với } g_0 = \frac{2q\mu_n N_D W h}{L}$$

- Nếu đặt $X = V_D / (V_{bi} - V_G)$ và áp dụng $(1+X)^n \approx 1+nX$ với $X \ll 1$ thì ta có phương trình sau:

$$I_D = g_0 \left(1 - \sqrt{\frac{V_{bi} - V_G}{V_{po}}} \right) V_D \quad \text{với điện thế nghẹt nội } V_{po} = \frac{qN_D h^2}{2\varepsilon_s}$$

- Phương trình có thể được đơn giản hóa hơn nữa bằng khai triển Taylor quanh điểm $V_G = V_{TH}$

$$\boxed{I_D = \frac{g_0}{2V_{po}} (V_G - V_{TH}) V_D} \quad \text{khi } V_G \approx V_{TH}$$

Phương trình xấp xỉ cho I_D trong miền bão hòa

- Miền bão hòa bắt đầu từ $V_D = V_{Dsat} = V_G - V_{TH}$, từ phương trình I_D

$$I_{Dsat} = g_0 \left\{ \frac{qN_D h^2}{6\epsilon_S} - (V_{bi} - V_G) + \frac{2}{3} \sqrt{\frac{2\epsilon_S}{qN_D h^2}} (V_{bi} - V_G)^{3/2} \right\}$$

$$I_{Dsat} = g_0 \left[\frac{V_{po}}{3} - (V_{bi} - V_G) \left(1 - \frac{2}{3} \sqrt{\frac{V_{bi} - V_G}{V_{po}}} \right) \right] \quad \text{với} \quad V_{po} = \frac{qN_D h^2}{2\epsilon_S}$$

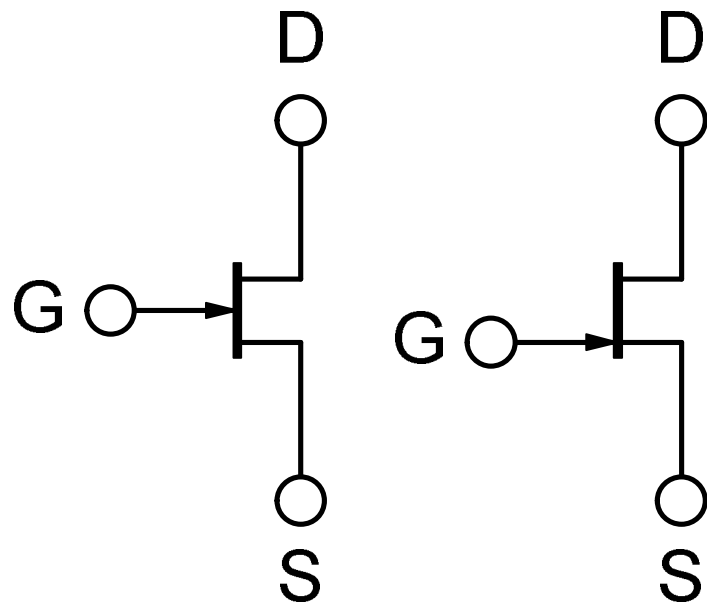
- Phương trình có thể được đơn giản hóa hơn nữa bằng khai triển Taylor quanh điểm $V_G = V_{TH}$

$$I_{Dsat} \approx \frac{g_0}{4V_{p0}} (V_G - V_{TH})^2 \quad \text{khi} \quad V_G \approx V_{TH}$$

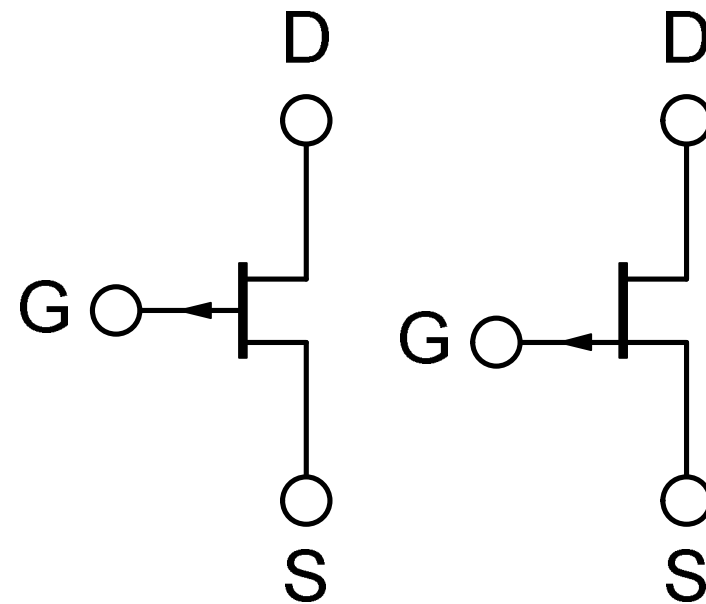
và khi đó hồ dẫn có trị

$$g_m = \frac{dI_D}{dV_{GS}} \approx \frac{g_0}{2V_{p0}} (V_G - V_{TH}) \quad \text{khi} \quad V_G \approx V_{TH}$$

Các ký hiệu sơ đồ JFET



Kênh N



Kênh P

So sánh JFET và BJT

JFET

BJT

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 \Leftrightarrow$$

$$I_C = \beta I_B$$

$$I_D = I_S \Leftrightarrow$$

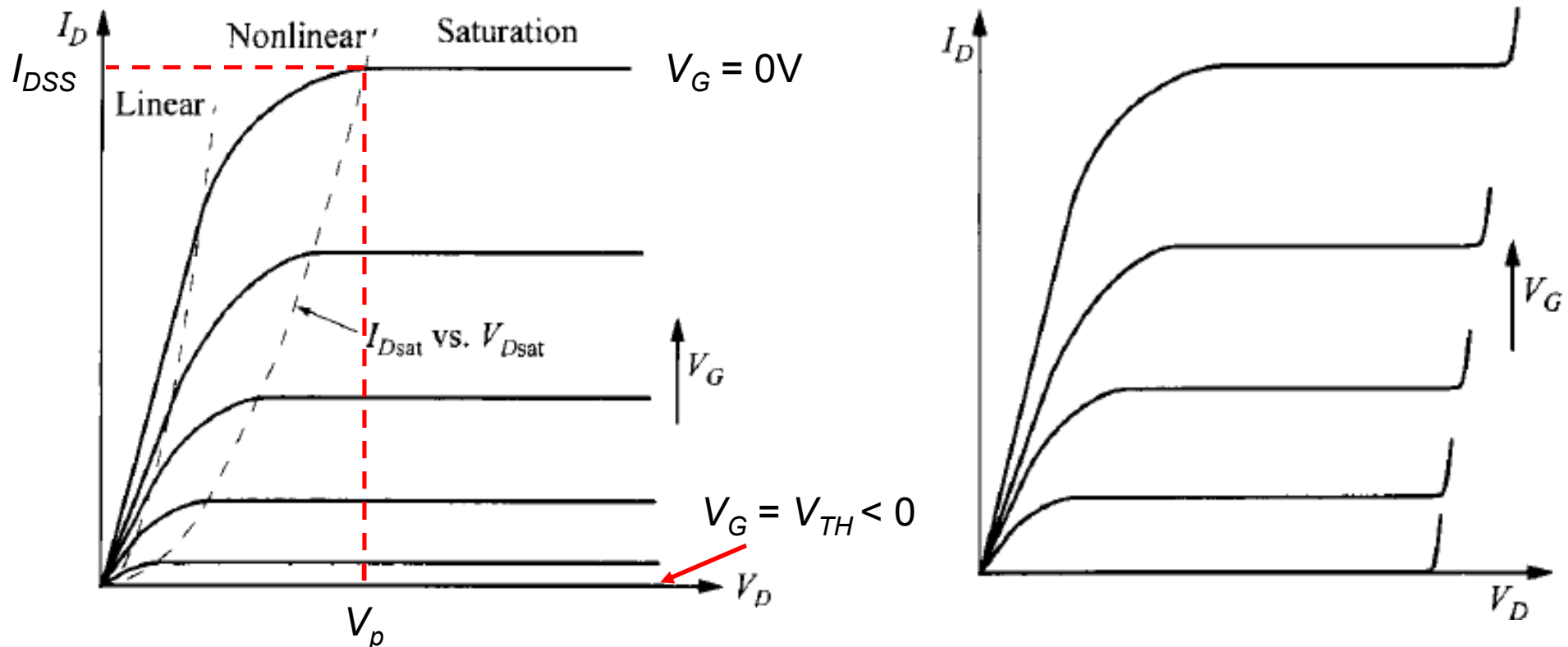
$$I_C \cong I_E$$

$$I_G \cong 0 \text{ A} \Leftrightarrow$$

$$V_{BE} \cong 0.7 \text{ V}$$

6.3 Đặc tuyến dòng áp của JFET

Đặc tuyến tổng quát của JFET kênh N (N-JFET)



(a) Đặc tuyến I-V chưa xét đánh thủng (b) Đặc tuyến I-V với đánh thủng
Qui ước các ký hiệu dòng và áp trong đặc tuyến JFET:

- I_{DSS} = dòng điện từ nguồn sang máng khi ngắn mạch ở cổng ($V_{GS}=0$).
- V_p = điện áp nghẹt (pinch-off voltage) (<0 với N-JFET và >0 với P-JFET)
- $V_{TH}=V_{GS,off}$ = điện áp làm tắt JFET = $-V_p$ (khi đó $I_D=0$)
- $V_{DS,sat}=V_{GS}-V_{GS,off}= V_{DS}$ khi JFET bắt đầu nghẹt (vào miền bão hòa).

Tóm tắt phương trình I_D trong N-JFET tại các miền hoạt động

- $V_{GS} \leq V_{TH}$: miền tắt $\Rightarrow I_D = 0$
- $V_{GS} > V_{TH}$:
 - $V_{DS} < V_{DS,sat}$: miền tuyến tính (còn gọi là miền Ohm, điện trở, hay triode)

$$I_D = I_{DSS} \left[2 \left(1 - \frac{V_{GS}}{V_{TH}} \right) \frac{V_{DS}}{-V_{TH}} - \left(\frac{V_{DS}}{V_{TH}} \right)^2 \right]$$

$$I_D = \frac{2I_{DSS}}{V_{TH}^2} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

Nếu $V_{DS} \ll 2(V_{GS} - V_{TH})$ thì I_D là hàm tuyến tính theo V_{DS} : (có thể hoán đổi D và S):

$$I_D = \frac{2I_{DSS}}{V_{TH}^2} (V_{GS} - V_{TH}) V_{DS}$$

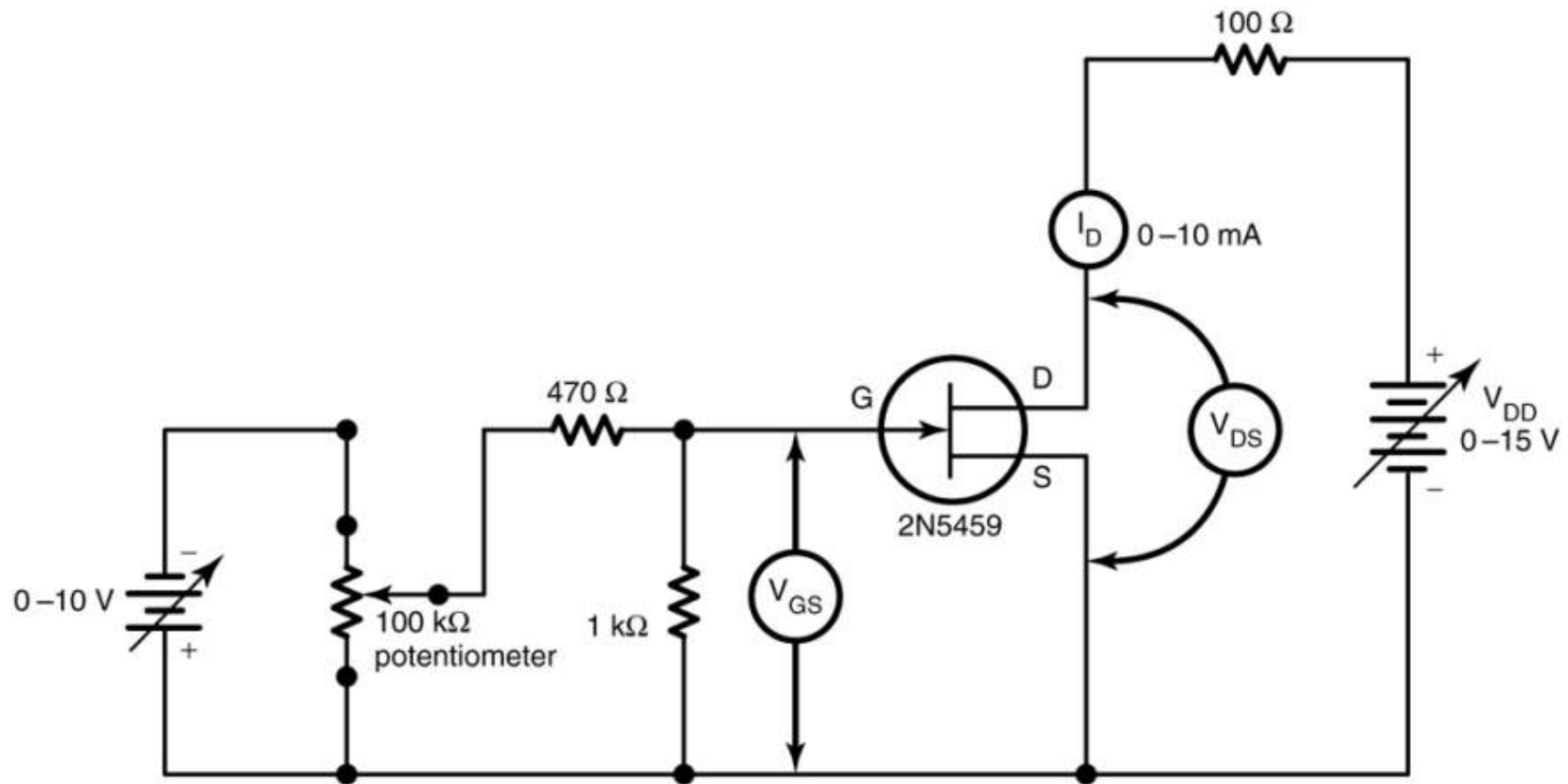
Khi đó JFET tương đương với điện trở R_{DS} (còn gọi là điện trở ON hay $R_{DS,ON}$):

$$R_{DS} = \frac{V_{TH}^2}{2I_{DSS} (V_{GS} - V_{TH})}$$

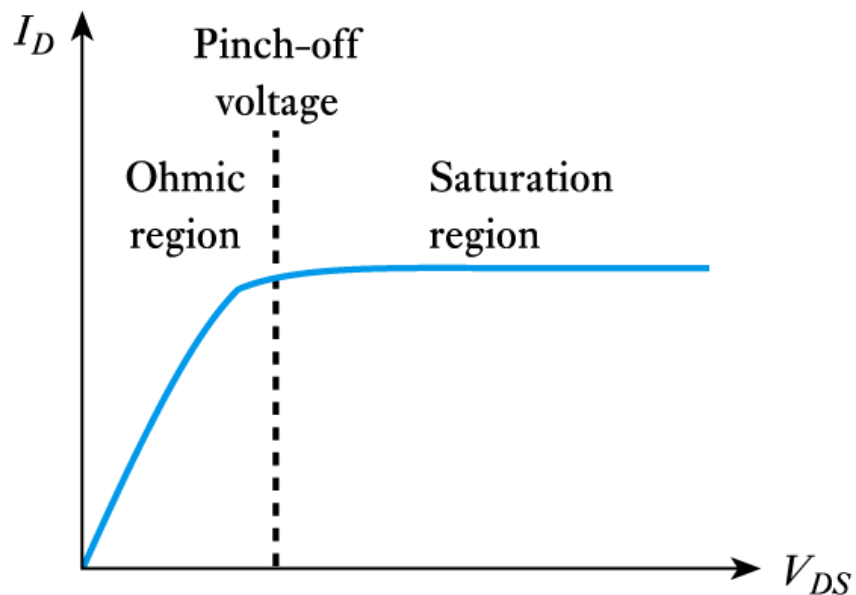
- $V_{DS} \geq V_{DS,sat}$: miền bão hòa (còn gọi là miền tích cực)

$$I_D = \frac{I_{DSS}}{V_{TH}^2} (V_{GS} - V_{TH})^2 = I_{DSS} \left(1 - \frac{V_{GS}}{V_{TH}} \right)^2$$

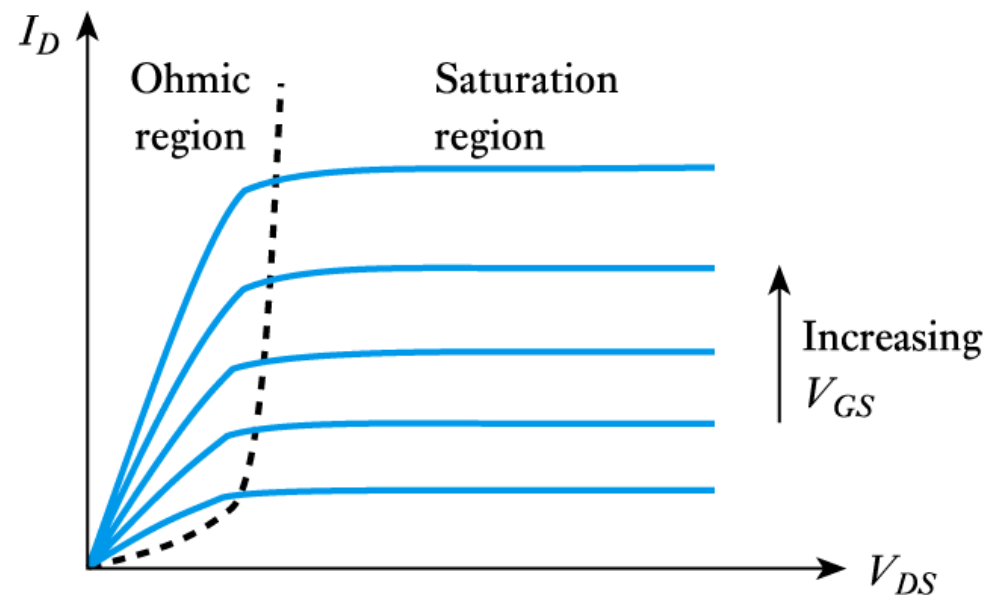
Mạch đo đặc tuyến JFET kênh N



Đặc tuyến ra của JFET



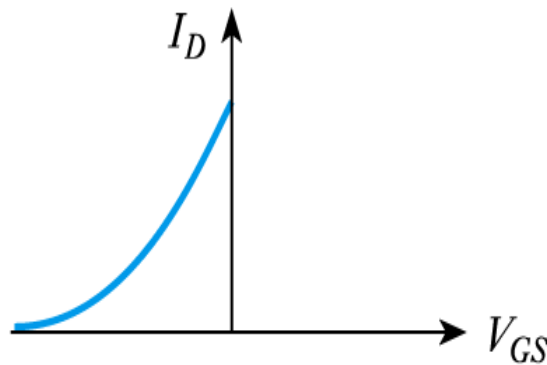
(a)



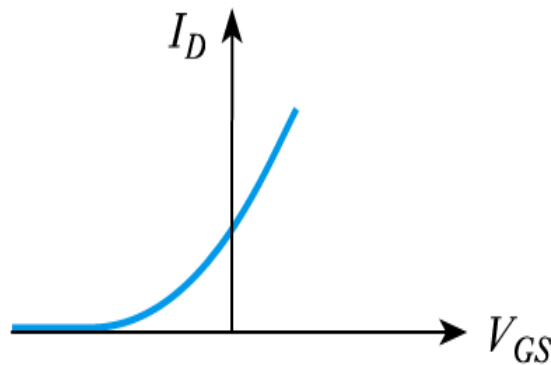
(b)

Đặc tuyến truyền đạt

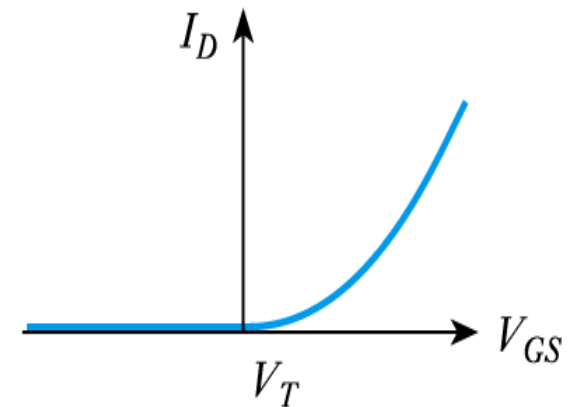
- similar shape for all forms of FET – but with a different offset
- not a linear response, but over a small region might be considered to approximate a linear response



(a) JFET

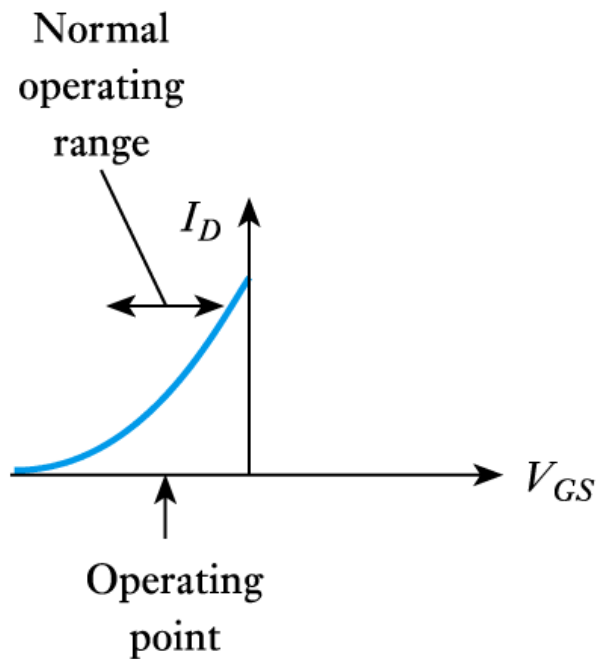


(b) DE MOSFET

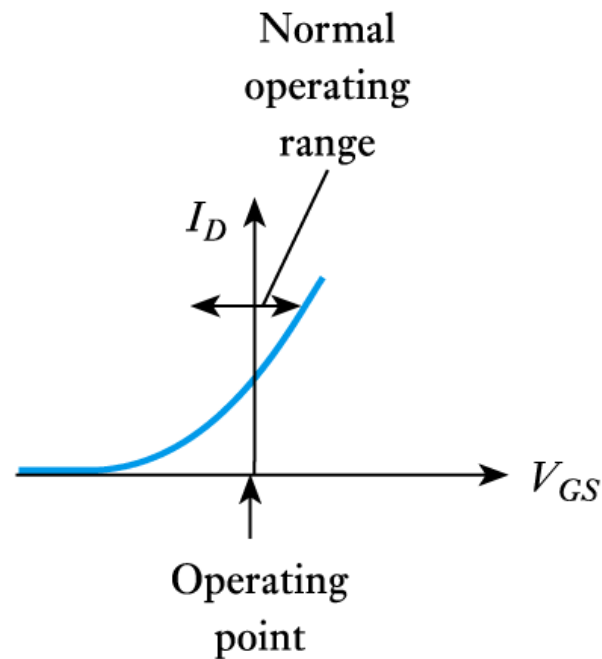


(c) Enhancement MOSFET

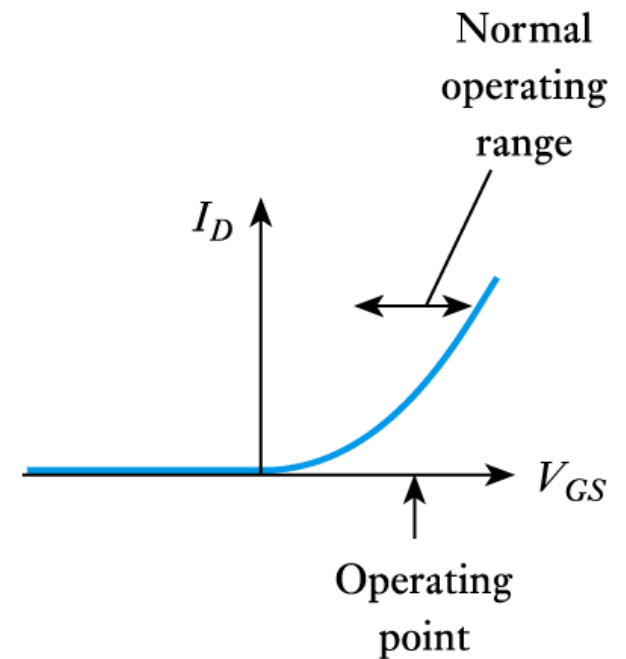
Dải làm việc bình thường của FET



(a) JFET



(b) DE MOSFET



(c) Enhancement MOSFET

Hồ dẫn g_m

- When operating about its **operating point** we can describe the transfer characteristic by the *change* in output that is caused by a certain *change* in the input
 - this corresponds to the slope of the earlier curves
 - this quantity has units of current/voltage, which is the reciprocal of resistance (this is *conductance*)
 - since this quantity described the transfer characteristics it is called the **transconductance**, g_m

Note:

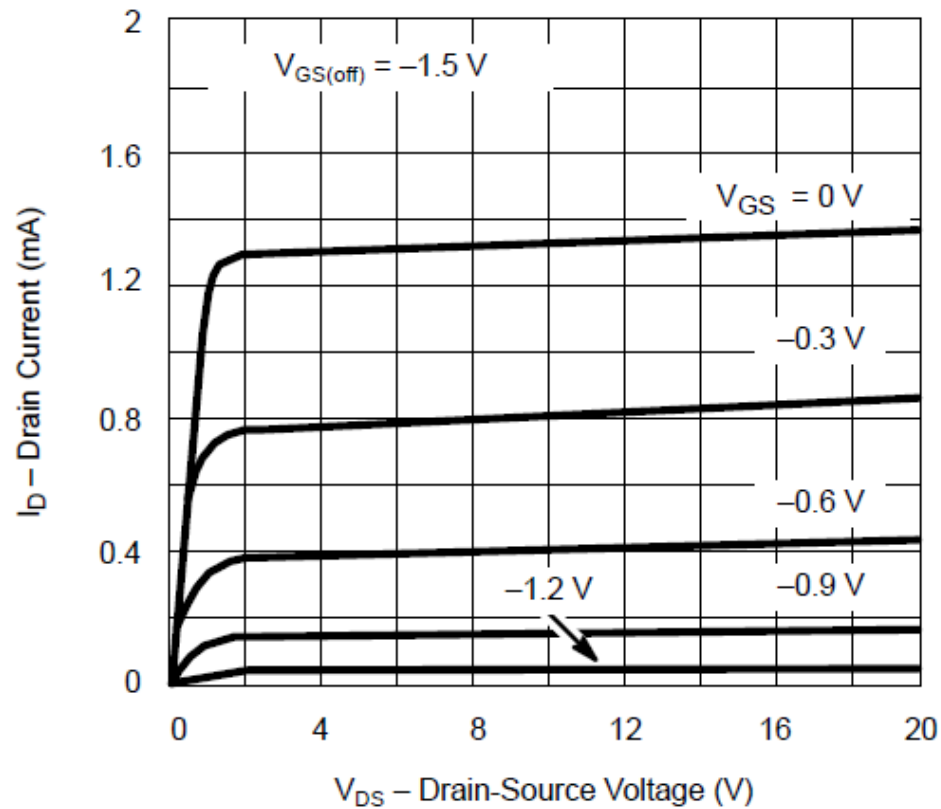
$$g_m = \frac{\Delta I_D}{\Delta V_{GS}}$$

$$g_m \neq \frac{I_D}{V_{GS}}$$

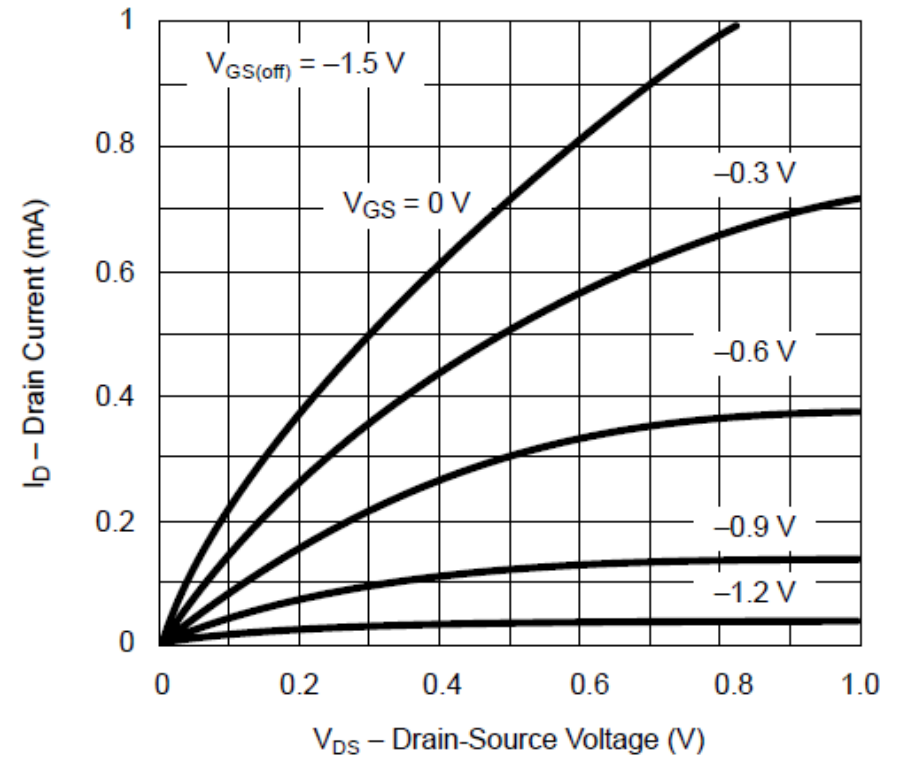
TD: Xét đặc tuyến thật của N-JFET 2N4339

SPECIFICATIONS FOR 2N4338 AND 2N4339 (T _A = 25° C UNLESS OTHERWISE NOTED)								
Parameter	Symbol	Test Conditions	Typ ^a	Limits				Unit
				2N4338		2N4339		
				Min	Max	Min	Max	
Static								
Gate-Source Breakdown Voltage	V _{(BR)GSS}	I _G = −1 μA , V _{DS} = 0 V	−57	−50		−50		V
Gate-Source Cutoff Voltage	V _{GS(off)}	V _{DS} = 15 V, I _D = 0.1 μA		−0.3	−1	−0.6	−1.8	
Saturation Drain Current ^b	I _{DSS}	V _{DS} = 15 V, V _{GS} = 0 V		0.2	0.6	0.5	1.5	mA
Gate Reverse Current	I _{GSS}	V _{GS} = −30 V, V _{DS} = 0 V	−2		−100		−100	pA
		T _A = 150° C	−4		−100		−100	nA
Gate Operating Current ^b	I _G	V _{DG} = 15 V, I _D = 0.1 mA	−2					pA
Drain Cutoff Current	I _{D(off)}	V _{DS} = 15 V, V _{GS} = −5 V	2		50		50	
Gate-Source Forward Voltage ^c	V _{GS(F)}	I _G = 1 mA , V _{DS} = 0 V	0.7					V

Đặc tuyến ra của N-JFET 2N4339

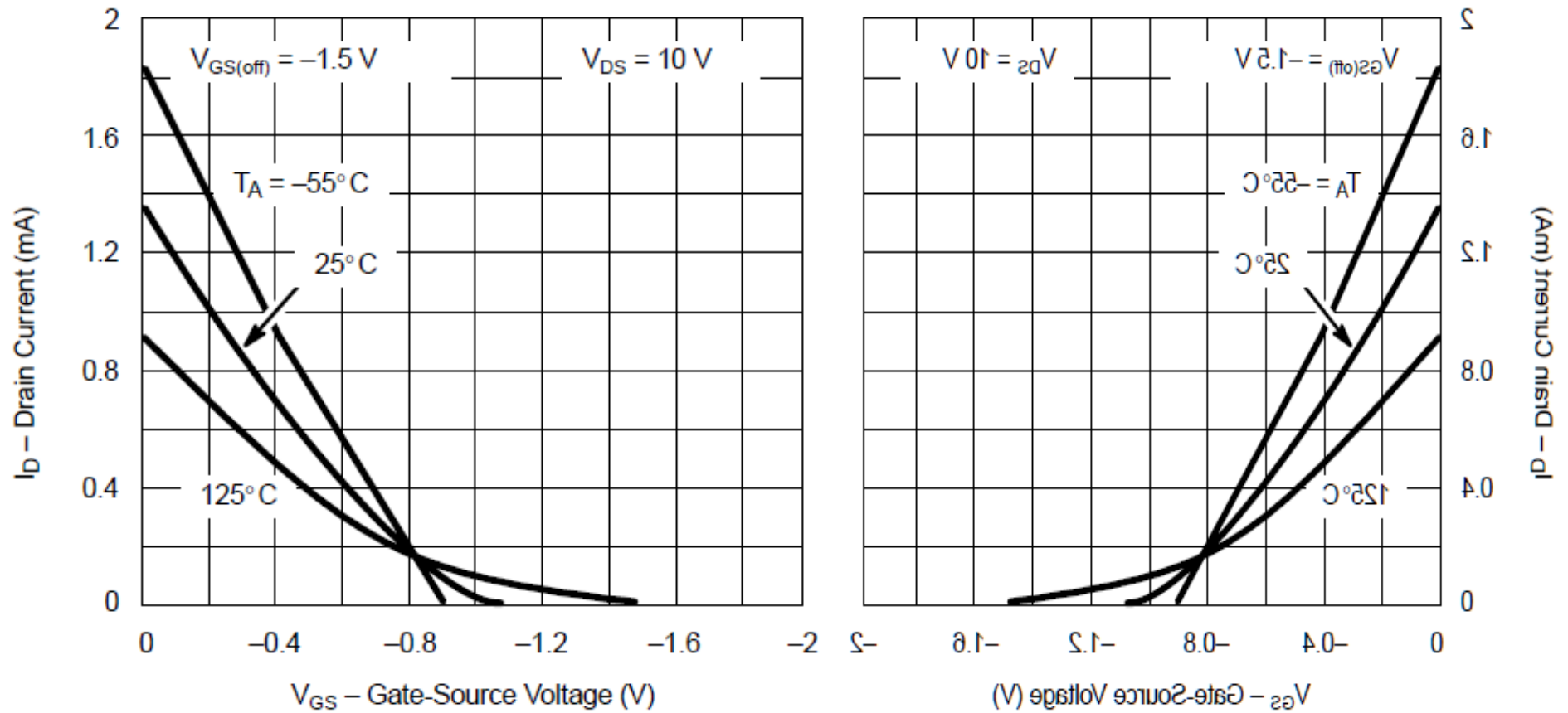


(a) Đặc tuyến ra

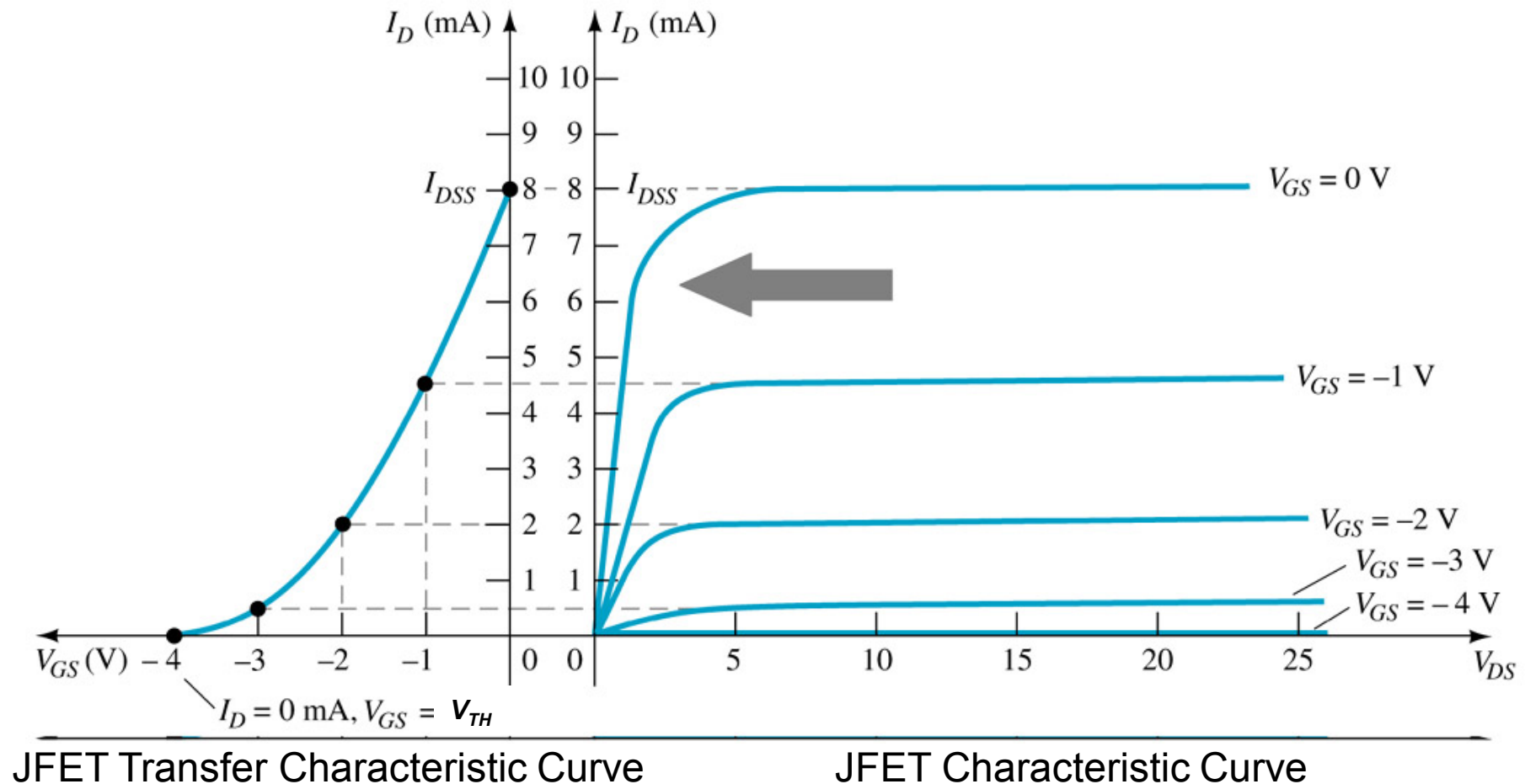


(b) Miền triode

Đặc tuyến truyền đạt của N-JFET 2N4339

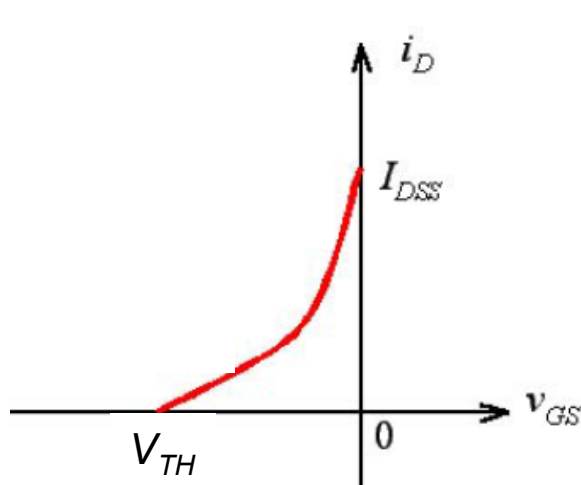


Vẽ đặc tuyến truyền đạt từ đặc tuyến ra

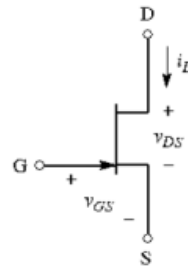


Tóm tắt đặc tuyến I-V của N-JFET

N-JFET

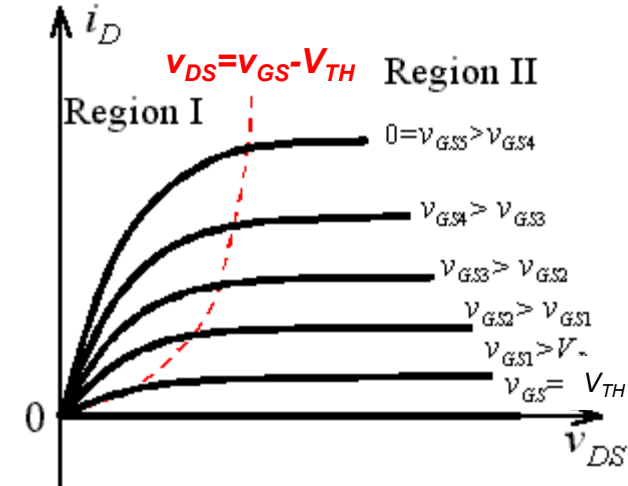


Đặc tuyến truyền đạt



Miền tắt: $v_{GS} \leq V_{TH}$

Miền làm việc:
 $V_{TH} < v_{GS} \leq 0, \quad v_{DS} > 0$



Đặc tuyến ra

Với $v_{DS} < v_{GS} - V_{TH}$ và $v_{GS} - V_{TH} > 0$
Miền I (miền tuyến tính)

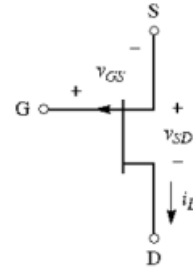
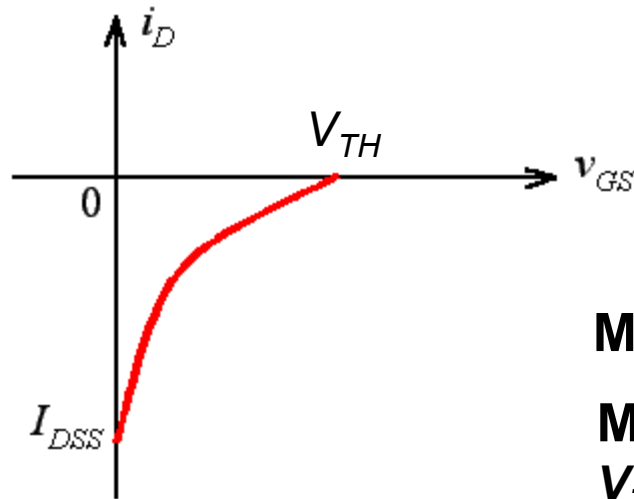
$$I_D = \frac{2I_{DSS}}{V_{TH}^2} \left[(V_{GS} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2} \right]$$

Với $v_{DS} \geq v_{GS} - V_{TH}$ và $v_{GS} - V_{TH} > 0$
Miền II (miền bão hòa)

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_{TH}} \right)^2$$

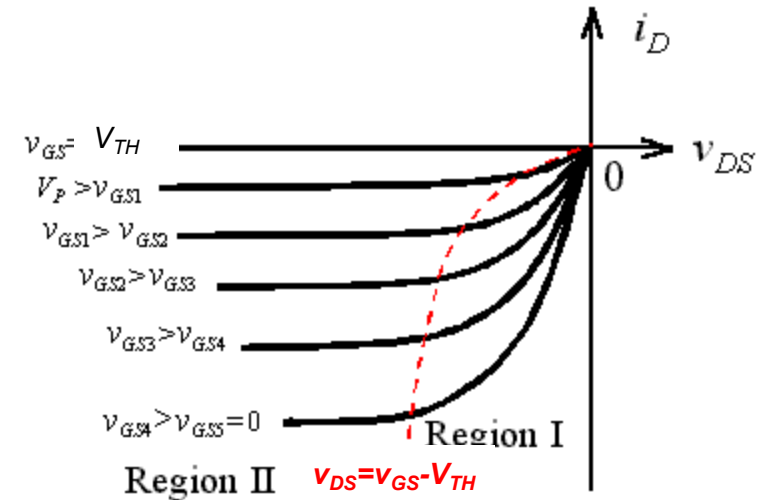
Tóm tắt đặc tuyến I-V của P-JFET

P-JFET



Miền tắt: $v_{GS} \geq V_{TH}$

Miền làm việc:
 $V_{TH} > v_{GS} \geq 0, v_{DS} < 0$



Đặc tuyến truyền đạt

Với $v_{DS} > v_{GS} - V_{TH}$ và $v_{GS} - V_{TH} < 0$
Miền I (miền tuyến tính)

$$I_D = \frac{2I_{DSS}}{V_{TH}^2} \left[(V_{GS} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2} \right]$$

Đặc tuyến ra

Với $v_{DS} \leq v_{GS} - V_{TH}$ và $v_{GS} - V_{TH} < 0$
Miền II (miền bão hòa)

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_{TH}} \right)^2$$

Miền làm việc an toàn của N-JFET

1. $P_{D, max}$: công suất tiêu tán cho phép tối đa.

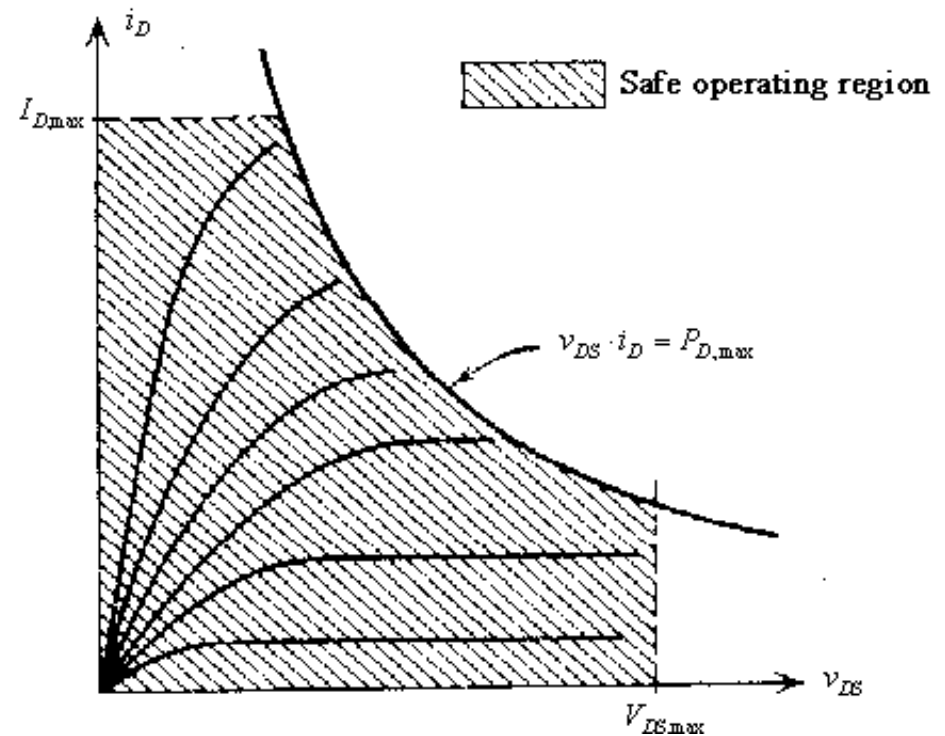
$$v_{DS} \times i_D < P_{D, max}$$

2. $V_{DS, max}$: điện áp đánh thủng ngược

$$v_{DS} < V_{DS, max}$$

3. $I_{D, max}$: dòng máng tối đa

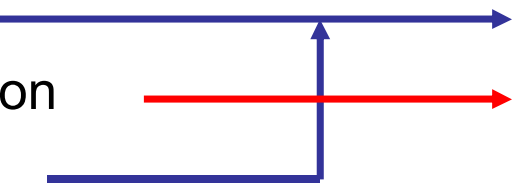
$$i_D < I_{D, max}$$



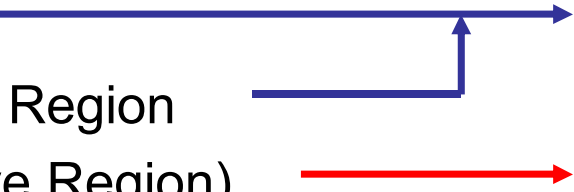
Transistors as Amplifiers and Switches

- Use the I-V characteristic curves of BJT and MOSFET
- Use the regions of operation of these transistors

- BJT

- Cutoff Region
 - Active Linear Region
 - Saturation Region
- 
- The diagram shows three horizontal lines representing different regions of operation. The top line is blue and labeled 'Cutoff Region'. The middle line is red and labeled 'Active Linear Region'. The bottom line is blue and labeled 'Saturation Region'. A vertical blue line with an upward-pointing arrow connects the 'Saturation Region' line to the 'Cutoff Region' line. A red arrow points from the 'Active Linear Region' line to the right.
- Switch operation
Amplifier operation

- JFET/MOSFET

- Cutoff Region
 - Ohmic or Triode Region
 - Saturation (Active Region)
- 
- The diagram shows three horizontal lines representing different regions of operation. The top line is blue and labeled 'Cutoff Region'. The middle line is blue and labeled 'Ohmic or Triode Region'. The bottom line is red and labeled 'Saturation (Active Region)'. A vertical blue line with an upward-pointing arrow connects the 'Ohmic or Triode Region' line to the 'Cutoff Region' line. A red arrow points from the 'Saturation (Active Region)' line to the right.
- Switch operation
Amplifier operation

TD 1: Tìm miền hoạt động của JFET

- N-JFET có $I_{DSS} = 10\text{mA}$ và $V_{TH} = -5\text{V}$. Hãy cho biết miền hoạt động của JFET này nếu người ta đo được các điện thế tại D, G và S so với đất trong các trường hợp sau:
 - $V_D=5\text{V}$, $V_G=3\text{V}$, và $V_S=4\text{V}$.
 - $V_D=4\text{V}$, $V_G=2\text{V}$, và $V_S=7\text{V}$.
 - $V_D=6\text{V}$, $V_G=1\text{V}$, và $V_S=5\text{V}$.
- Bài giải.** Với N-JFET ta phải xét các điện áp sau:
 - $V_{GS} \leq V_{TH}$: miền tắt $\Rightarrow I_D=0$
 - $V_{GS} > V_{TH}$: ($V_{DSsat} = V_{GS} - V_{TH}$)
 - $V_{DS} < V_{DS,sat}$: miền tuyến tính
 - $V_{DS} \geq V_{DS,sat}$: miền bão hòa

TH	V_D	V_G	V_S	V_{GS}	V_{DSsat}	V_{DS}	Miền hoạt động
a	5V	3V	4V	-1V	4V	1V	Tuyến tính
b	4V	2V	7V	-5V			Tắt
c	6V	1V	5V	-4V	1V	1V	Bão hòa

TD 2: Tìm điểm tĩnh Q của N-JFET (1/2)

Mạch tự phân cực

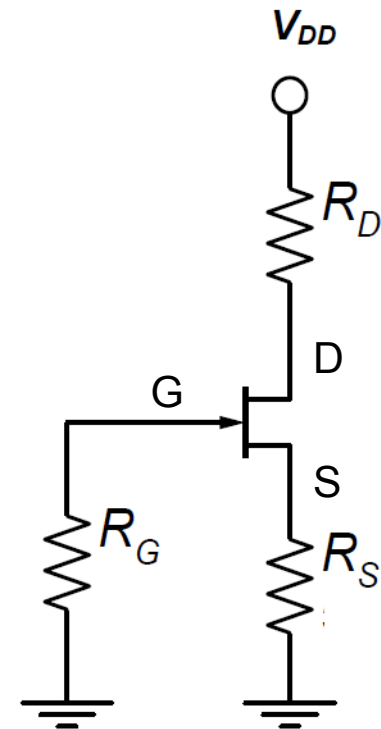
- N-JFET trong hình có $I_{DSS}=5\text{mA}$ và $V_{TH} = -3\text{V}$. Mạch này có $V_{DD}=15\text{V}$, $R_D=5\text{k}\Omega$, $R_G=1\text{M}\Omega$, và $R_S=1\text{k}\Omega$. Hãy tìm I_{DQ} và V_{GSQ} ?
- Bài giải.**

Vì dòng cổng bằng không (do phân cực ngược cổng và kênh dẫn):

$$V_{GS} = -R_S I_D \quad (1)$$

Giả sử N-JFET ở chế độ bão hòa ($V_{GS} > V_{TH} = -3\text{V}$ và $V_{DS} \geq V_{DS,sat} = V_{GS} - V_{TH}$), nếu sau khi tính xong mà giả thiết này không thỏa thì ta phải chọn giả thiết khác!

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_{TH}} \right)^2 \quad (2)$$



Mạch tự phân cực

TD 2: Tìm điểm tĩnh Q của N-JFET (2/2)

Mạch tự phân cực

Kết hợp phương trình (1) và (2) ta có phương trình bậc 2 theo I_D hoặc theo V_{GS} . Nếu chọn biến là I_D là có phương trình sau:

$$R_S^2 I_{DSS} I_D^2 + (2R_S I_{DSS} V_p - V_p^2) I_D + I_{DSS} V_p^2 = 0$$

Giải phương trình trên tìm được 2 nghiệm:

$I_D \approx 6.392\text{mA}$ (loại vì $> I_{DSS}$), và

$I_D \approx 1.408\text{mA}$ (nhận vì $0 < I_D < I_{DSS}$)

$$\Rightarrow I_{DQ} = 1.408\text{mA} \Rightarrow V_{GSQ} = -R_S I_{DQ} = -1.408\text{V} > V_{TH}$$

Kiểm chứng lại giả thiết:

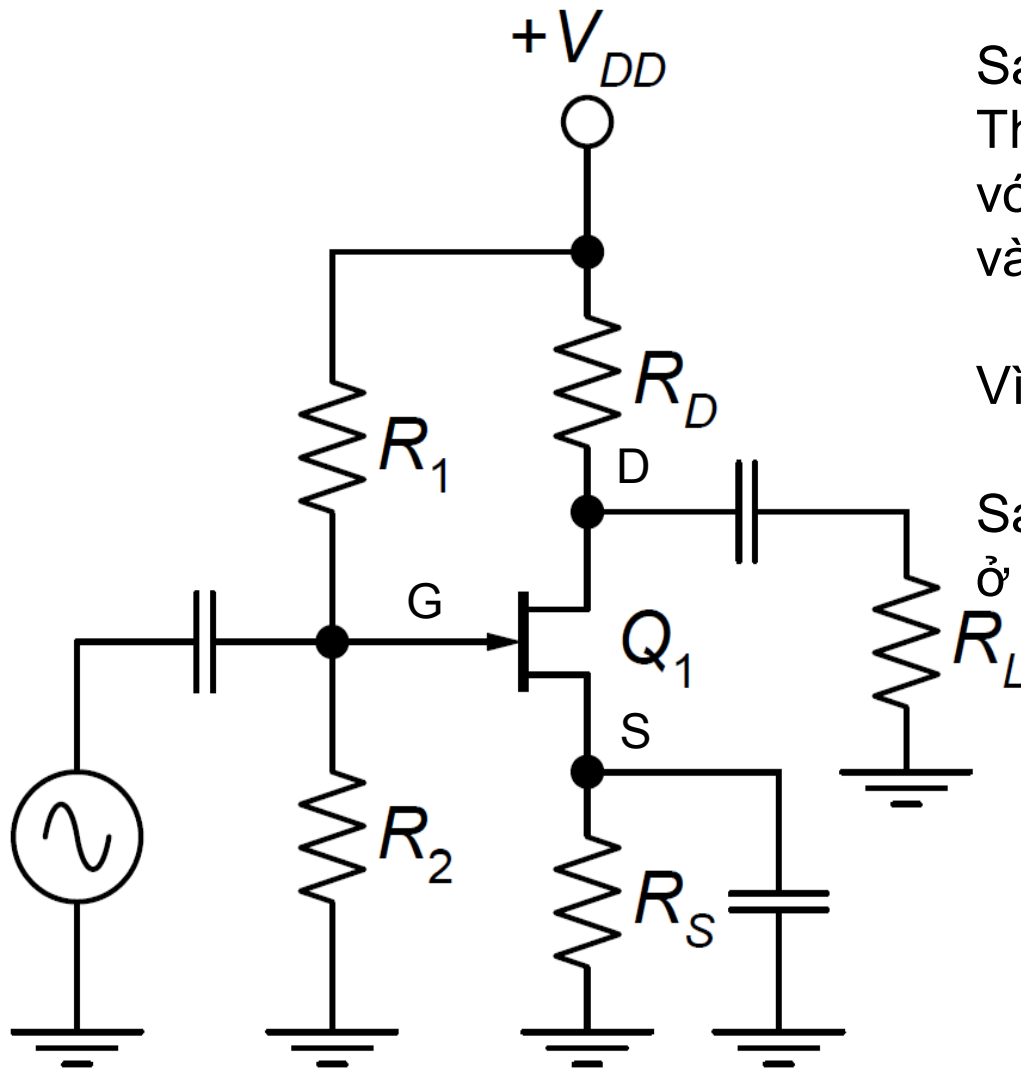
$$V_{DS} = V_{DD} - I_D(R_D + R_S) = 15 - 1.408\text{mA}(5\text{K}\Omega + 1\text{K}\Omega) = 6.552\text{V}$$

$$V_{DS} = 6.552\text{V} > V_{DSsat} = V_{GS} - V_{TH} = 1.592\text{V}$$

Như vậy nghiệm là **$I_{DQ} = 1.408\text{mA}$ và $V_{GSQ} = -1.408\text{V}$**

TD 3: Tìm điểm tĩnh Q của N-JFET (1/2)

Mạch phân cực bằng cầu chia áp



Sau khi biến đổi tương đương
Thévenin cho mạch phân cực cổng
với $V_G = V_{DD} R_2 / (R_1 + R_2) = V_1$
và

$$R_G = R_1 // R_2$$

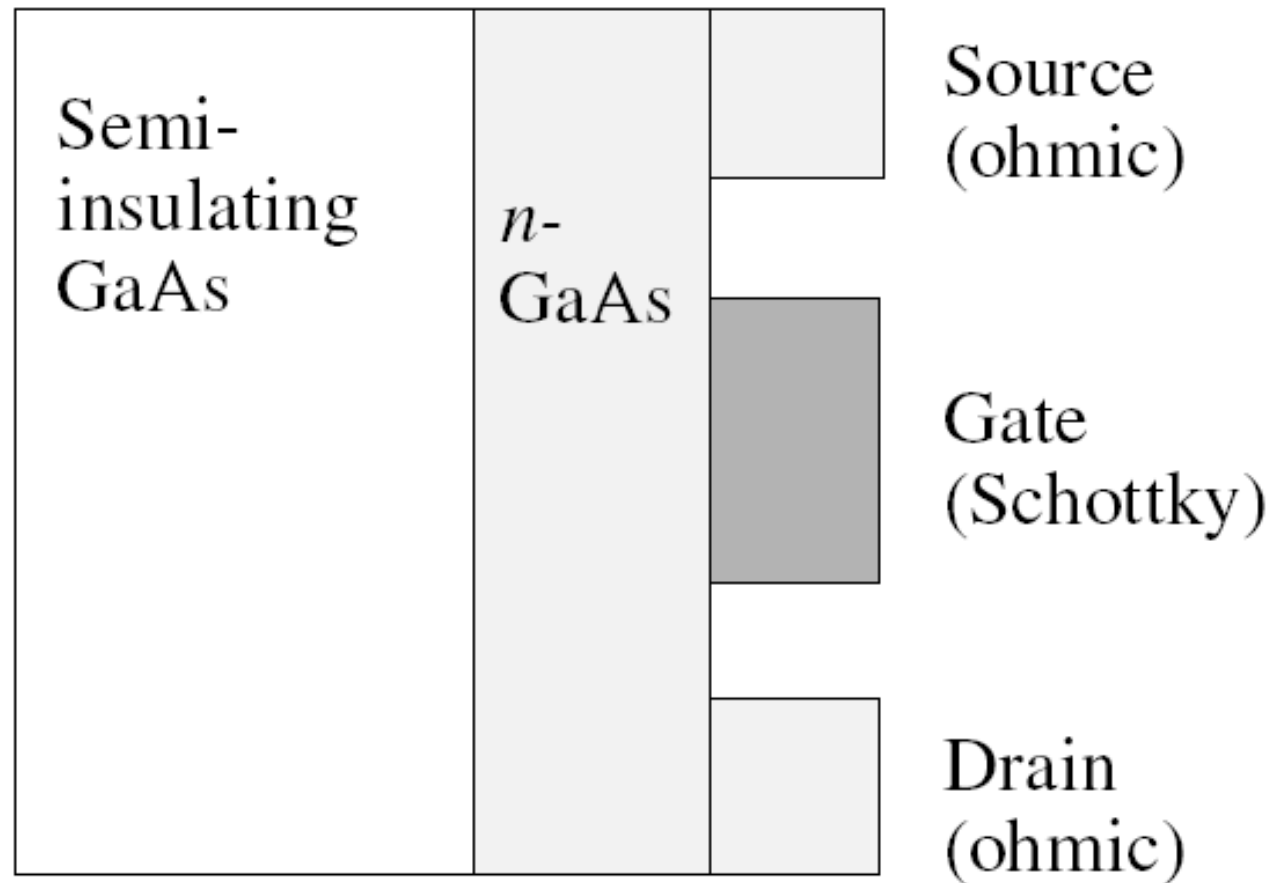
Vì dòng cổng bằng không, ta có

$$V_{GS} = V_G - V_S = V_1 - I_D R_S$$

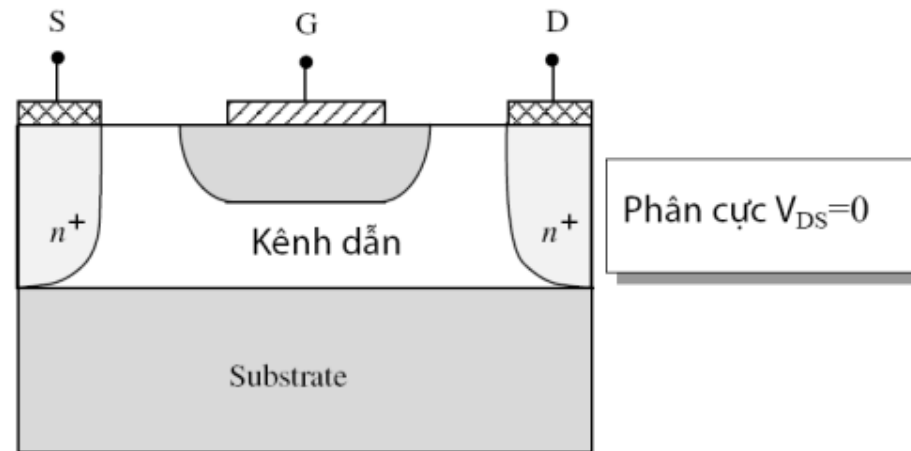
Sau đó thay V_{GS} vào phương trình I_D
ở miền bão hòa để tìm I_D và V_{GS} .

- MESFET là một lớp transistor quan trọng được sử dụng nhiều trong các ứng dụng xử lý tín hiệu tốc độ cao cũng như các mạch vi ba. Dụng cụ này có thể được chế tạo tin cậy bằng các bán dẫn GaAs và InP.
- MESFET sử dụng rào kim loại Schottky để điều chế điện tích tự do trong kênh dẫn bằng cách thay đổi bề rộng miền nghèo trong kênh dẫn.
- MESFET là dụng cụ được chế tạo tương đối đơn giản và có cấu hình như chỉ ở hình 6.6. Các vật liệu thông dụng cho MESFET là GaAs và InP. Vật liệu để chế tạo MESFET GaAs là GaAs nửa cách điện có điện trở cao mà được chế tạo bằng cách đưa vào một cách cẩn thận các tạp chất mà có các mức năng lượng gần dải giữa của GaAs.

Hình 6.6. Sơ đồ MESFET GaAs

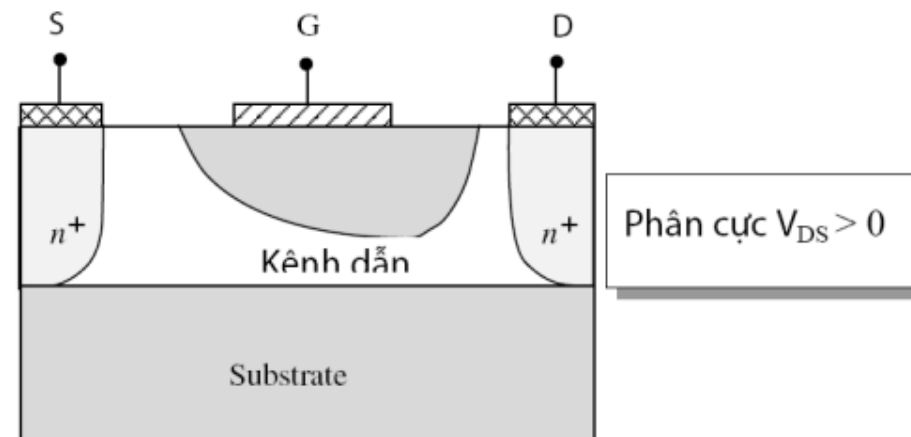


(a) Khi không có phân cực nguồn-máng, bề rộng miền nghèo đều và bị điều khiển bởi phân cực cổng.



(a)

(b) Khi có phân cực nguồn-máng, bề rộng miền nghèo nhiều hơn về phía cực máng.



(b)

Hình 6.7. Sơ đồ của MESFET cho thấy bề rộng miền nghèo ở dưới cực cổng

- Các tiếp xúc ở nguồn và máng là các tiếp xúc thuần trở và cổng được tạo thành bởi rào Schottky. Hoạt động của dụng cụ này tuân theo lý thuyết vận chuyển hơi phức tạp đặc biệt trong các vật liệu như GaAs mà ở đó các quan hệ vận tốc-trường hoàn toàn phức tạp. Chúng ta sẽ xét một mô hình được đơn giản hóa nhằm minh họa hoạt động của MESFET. Trước khi giới thiệu các tính toán mô hình, chúng ta hãy xem lại tính chất vật lý trong hoạt động của dụng cụ.
- Trong hình 6.7 cho ta thấy mặt cắt ngang của MESFET cùng với bề rộng miền nghèo ở dưới cực cổng. Khi không có phân cực nguồn-máng, bề rộng miền nghèo đều như ở hình 6.7a. Nếu phân cực cổng được làm cho âm hơn, bề rộng miền nghèo trải rộng thêm vào miền tích cực cho đến khi kênh dẫn bị làm nghèo hoàn toàn. Như vậy khi ta tăng phân cực cổng (tới các giá trị âm), toàn bộ điện tích khả dụng cho sự dẫn điện giảm dần cho đến khi kênh dẫn bị nghẽn. Sự điều khiển cổng này tương tự với điều khiển ở JFET như ở hình 6.3. Nếu phân cực ở cực máng được tăng thì miền nghèo trở nên lớn hơn về phía cực máng như ở hình 6.7b.

- Nếu phân cực cổng cố định và điện áp máng được tăng đến các giá trị dương, dòng điện bắt đầu chạy vào kênh dẫn. Ban đầu dụng cụ hoạt động như một điện trở. Tuy nhiên, khi điện áp máng được tăng, bề rộng miền nghèo hướng đến cực máng bắt đầu tăng vì hiệu điện thế giữa cực cổng và cực máng tăng. Rồi kênh dẫn bắt đầu nghẽn ở cực máng. Khi điều này xảy ra, dòng điện bắt đầu bão hòa. Cuối cùng ở các giá trị phân cực máng rất lớn, dụng cụ “đánh thủng” và dòng điện tăng nhanh.
- Giải tích đầy đủ dòng điện thì hơi phức tạp, ngay cả trong bài toán 1 chiều bởi vì người ta cần giải các phương trình liên tục và Poisson. Chúng ta đơn thuần sẽ xét mô hình mà cho hình ảnh nửa định lượng.

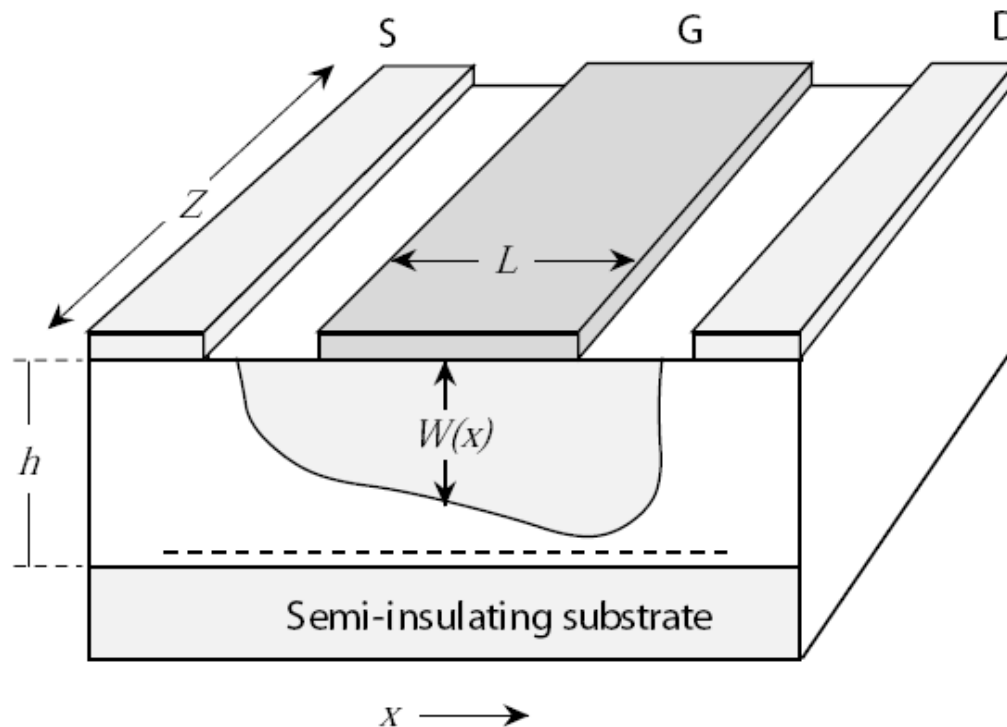
Giả thiết cho mô hình toán (1/2)

Ta có các giả thiết cho mô hình của chúng ta:

- **Độ linh động của các điện tử là hằng số và độc lập với điện trường.** Ta biết rằng điều này chỉ đúng ở các điện trường thấp. Ở các điện trường cao, vận tốc của các điện tử bão hòa, và trong trường hợp các vật liệu như GaAs, có miền điện trở âm. Do đó, sự giải tích chỉ hợp lý nếu trường trong kênh (xấp xỉ bằng phân cực máng chia cho chiều dài kênh dẫn) nhỏ hơn 2-3KV/cm. Vì đây là điều không đúng với các dụng cụ hiện đại, do đó giải tích chỉ nửa định lượng và giúp hiểu hoạt động của dụng cụ.
- **Chúng ta giả sử xấp xỉ kênh biến đổi đều được giới thiệu bởi Shockley.** Khi không có bất cứ phân cực nguồn-máng, bề rộng miền nghèo được cho bởi mô hình 1 chiều như với diode p-n. Tuy nhiên, chặt chẽ hơn khi có phân cực nguồn-máng, người ta phải giải bài toán 2 chiều để tìm bề rộng miền nghèo và tiếp theo là dòng điện. Trong xấp xỉ kênh biến đổi đều, ta giả sử rằng trường theo hướng từ cực cổng đến miền đế mạnh hơn nhiều trường từ nguồn đến máng., nghĩa là điện thế thay đổi “chậm” dọc theo kênh dẫn khi so với sự biến đổi điện thế theo hướng từ cực cổng đến miền đế. Như vậy bề rộng miền nghèo ở điểm x dọc theo kênh dẫn được cho bởi điện thế ở điểm mà dùng các kết quả mô hình 1 chiều đơn giản. Sự xấp xỉ này đúng nếu chiều dài cổng L lớn hơn độ sâu kênh h.

Giả thiết cho mô hình toán (2/2)

- Xấp xỉ miền nghèo, nghĩa là ta giả sử rằng không có hạt dẫn trong miền nghèo, và bên ngoài miền nghèo mật độ hạt dẫn bằng mật độ donor được ion hóa. Ta sẽ giả sử là ion hóa hoàn toàn các donor và pha tạp chất đều trong kênh dẫn. Một khi dụng cụ đạt đến miền bão hòa, sự xấp xỉ này bị phá vỡ. Ta sẽ bàn chi tiết hơn về chế độ bão hòa ở phần sau.



Tính dòng điện máng I_D

Dưới các giả sử này, dòng điện trong cực máng được cho bởi (trường $= -dV/dx$)

$$\begin{aligned} I_D &= \text{diện tích kênh} \times (\text{mật độ điện tích}) \times (\text{độ linh động}) \times (\text{trường}) \\ &= Z[h - h(x)]qN_D\mu_n \frac{dV}{dx} \quad (9.4) \end{aligned}$$

với $h(x)$ là bề rộng miền nghèo như chỉ trong hình 9.8 và h là độ dày kênh. Như vậy $h - h(x)$ là độ mở kênh. Bề rộng miền nghèo ở điểm x được tính theo điện áp cổng V_G , rào thế V_{bi} , và điện áp kênh $V(x)$ như sau

$$h(x) = \sqrt{\frac{2\epsilon_s[V(x) + V_{bi} - V_G]}{qN_D}} \quad (9.5)$$

Ta thay $h(x)$ vào phương trình 9.4 và lấy tích phân (I_D là hằng số trong suốt kênh dẫn)

$$I_D \int_0^L dx = q\mu_n N_D Z \int_0^{V_D} \left[h - \sqrt{\frac{2\epsilon_s[V(x) + V_{bi} - V_G]}{qN_D}} \right] dV \quad (9.6)$$

và sau khi chia 2 vế cho L ta được

$$I_D = \frac{q\mu_n N_D Z h}{L} \left(V_D - \frac{2[(V_D + V_{bi} - V_G)^{3/2} - (V_{bi} - V_G)^{3/2}]}{3(qN_D h^2 / 2\epsilon_s)^{1/2}} \right) \quad (9.7)$$

Ta g_o là độ dẫn kênh khi kênh được mở hoàn toàn

$$g_o = \frac{q\mu_n N_D Z h}{L} \quad (9.9)$$

và V_P là điện áp pinch off nội của kênh

$$V_P = \frac{qN_D h^2}{2\epsilon_s} \quad (9.9)$$

Khi $V_{bi} - V_G$ bằng V_P thì bề rộng miền nghèo trải ra toàn bộ kênh. Ta có phương trình I_D theo V_D dưới dạng sau (thay (9.8) và (9.9) vào (9.7))

$$I_D = g_o \left(V_D - \frac{2[(V_D + V_{bi} - V_G)^{3/2} - (V_{bi} - V_G)^{3/2}]}{3V_P^{1/2}} \right) \quad (9.10)$$

Chúng ta phải nhớ là phương trình trên được suy ra dưới điều kiện là các điện áp ở cổng và máng sao cho không có pinchoff gần miền cực máng, nghĩa là

$$h(L) = \left(2\epsilon_s \frac{V_D + V_{bi} - V_G}{qN_D} \right)^{1/2} < h \quad (9.11)$$

Ta giả sử với xấp xỉ bậc nhất, khi pinch off xảy ra, dòng điện máng bão hòa và khi đó điện áp máng lúc xảy ra bão hòa là

$$V_{Dsat} = V_P - V_{bi} + V_G \quad (9.12)$$

và dòng điện kênh bão hòa là (suy từ (9.10) với (9.12))

$$I_{Dsat} = g_o \left(\frac{V_P}{3} - V_{bi} + V_G - \frac{2(V_{bi} - V_G)^{3/2}}{3V_P^{1/2}} \right) \quad (9.13)$$

Một tham số quan trọng của dụng cụ là hồ dẫn g_m định nghĩa điều khiển của điện áp cổng với dòng máng. Từ phương trình 9.10 ta suy ra được hồ dẫn g_m như sau

$$g_m = \left. \frac{dI_D}{dV_G} \right|_{V_D=const} = g_o \frac{(V_D + V_{bi} - V_G)^{1/2} - (V_{bi} - V_G)^{1/2}}{V_P^{1/2}} \quad (9.14)$$

Từ các phương trình 9.8 và 9.14 ta có thể thấy rằng hồ dẫn được cải thiện bằng cách sử dụng vật liệu có độ linh động cao hơn cũng như chiều dài kênh dẫn ngắn hơn. Khi

hỗ dẫn được cải thiện thì có nghĩa là công kiến soát kênh nhiều hơn và kết quả là c1 độ lợi cao hơn và tần số hoạt động cao hơn.
 Khi điện áp nguồn-máng nhỏ, biểu thức của dòng điện có thể được đơn giản hóa bằng cách sử dụng

$$V_D = V_{bi} - V_G \quad (9.15)$$

Sử dụng khai triển Taylor ta có được từ 9.10:

$$I_D = g_o \left[1 - \left(\frac{V_{bi} - V_G}{V_P} \right)^{1/2} \right] V_D \quad (9.16)$$

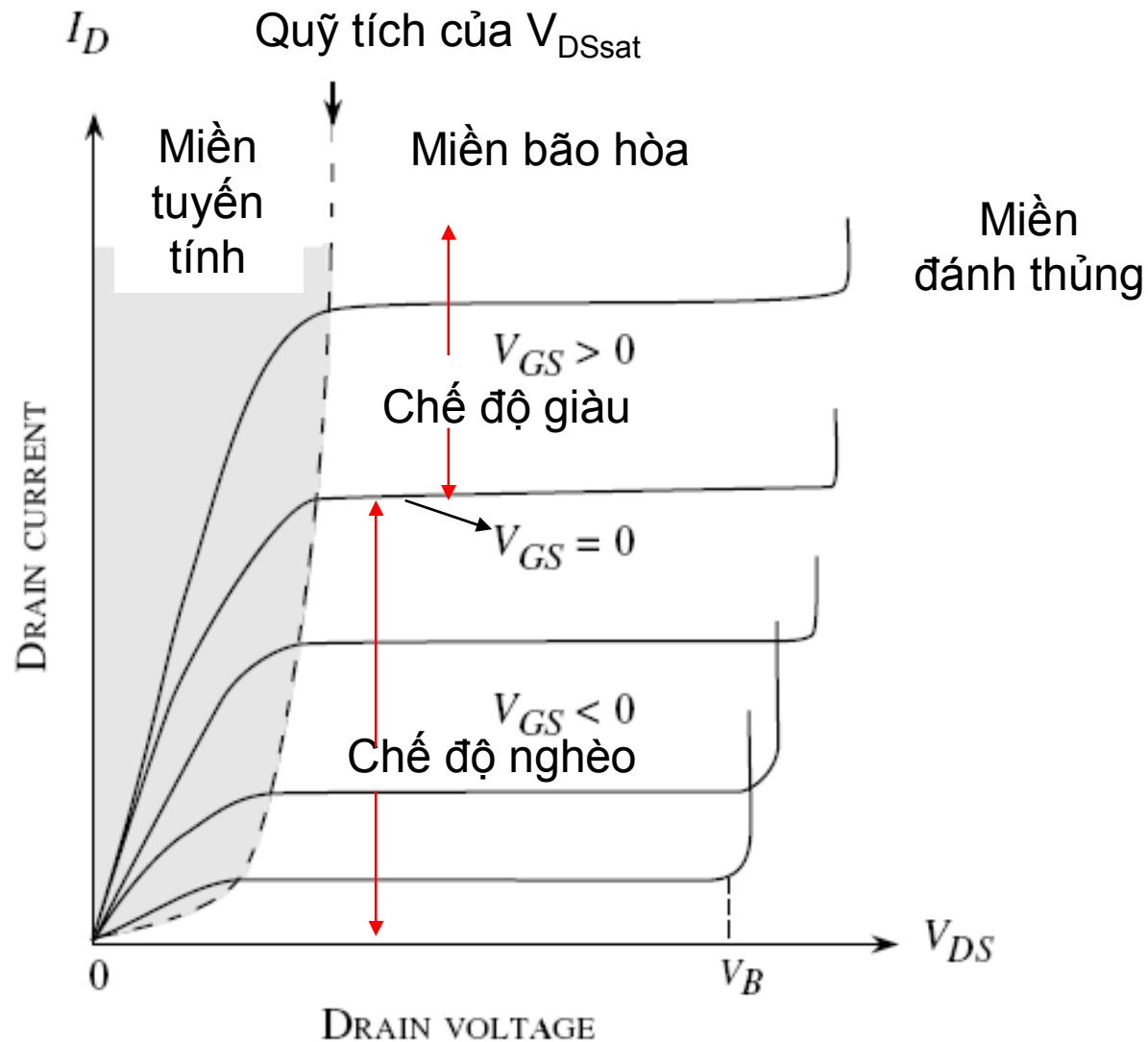
Dụng cụ như là điện trở (tuyến tính) trong chế độ này như được minh họa ở hình 9.8, với hỗ dẫn g_m là

$$g_m = \frac{g_o V_D}{2V_P^{1/2} (V_{bi} - V_G)^{1/2}} \quad (9.17)$$

Ở chế độ bão hòa hỗ dẫn là (từ 9.13)

$$g_{msat} = g_o \left[1 - \left(\frac{V_{bi} - V_G}{V_P} \right)^{1/2} \right] \quad (9.18)$$

Đặc tuyến I-V tiêu biểu của MESFET kênh N



6.4 Các hiệu ứng thứ cấp

- Điều chế chiều dài kênh dẫn
- Đánh thủng
- Sự thay đổi trong độ linh động
- Ảnh hưởng của nhiệt độ

Điều chế chiều dài kênh dẫn

- Xét N-JFET ở miền bão hòa, nếu tăng V_{DS} thì I_D sẽ tăng, vì khi tăng V_{DS} dẫn đến L giảm (chiều dài hiệu dụng của kênh dẫn N) $\Rightarrow$ điện trở kênh dẫn giảm hay I_D tăng. Hiệu ứng này tương tự với điều chế miền nền trong BJT. Do đó tất cả các đặc tuyến ở miền bão hòa khi kéo dài ra đến trục hoành thì đều giao nhau cùng 1 điểm trên trục hoành, ứng với điện áp Early V_A ($V_{DS} = -V_A$). V_A thực tế có trị từ 30V đến 200V. Dòng I_D phụ thuộc vào V_{DS} và có dạng

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_{TH}} \right)^2 \left(1 + \frac{V_{DS}}{V_A} \right)$$

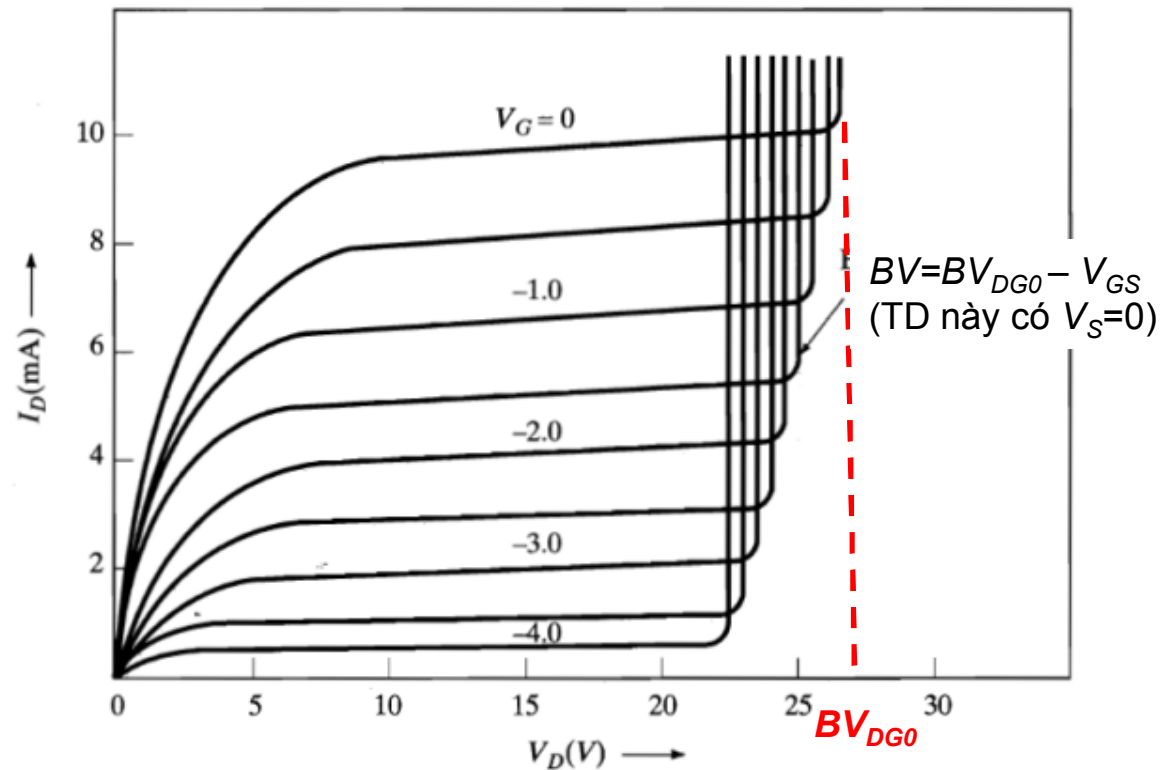
- Như vậy tại điểm tĩnh Q trong miền bão hòa thì JFET có điện trở ra là:

$$r_0 = \frac{V_A + V_{DSQ}}{I_{DQ}} \approx \frac{V_A}{I_{DQ}}$$

Đánh thủng

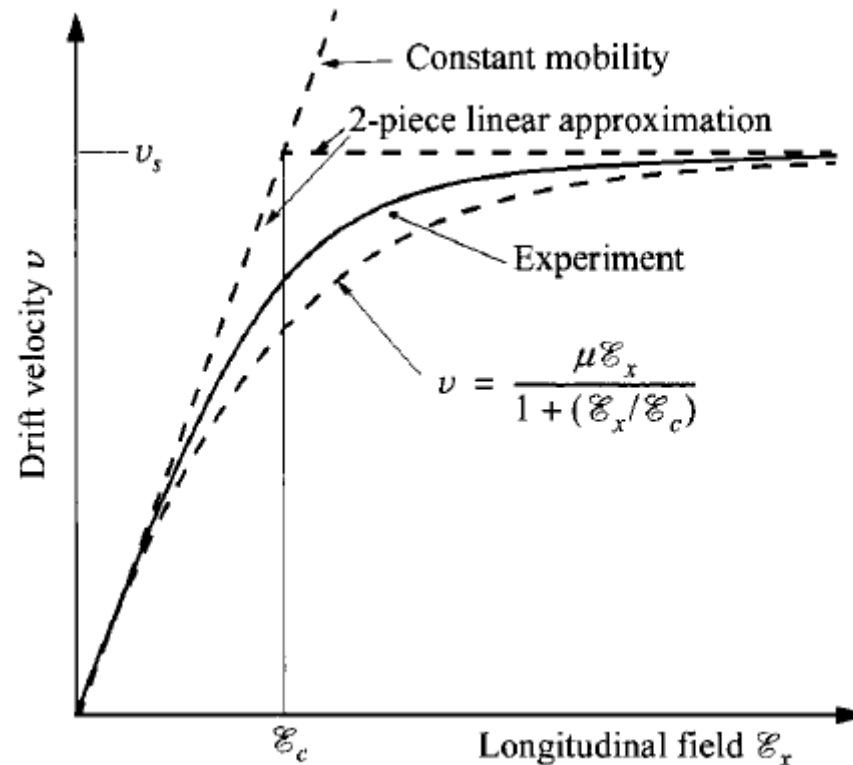
Đánh thủng thác lũ xảy ra trong JFET khi phân cực ngược tại chuyển tiếp cổng-kênh dẫn (chỗ đầu cực máng của kênh) bằng điện áp đánh thủng của chuyển tiếp,

$$BV = BV_{DG0} - V_{GS}$$



Sự thay đổi trong độ linh động

- Khi điện trường có giá trị lớn thì vận trôi không tăng nữa, dẫn đến độ linh động giảm. Trong JFET kênh dẫn ngắn với điện áp ở máng cố định, khi tăng điện trường tại cổng thì làm giảm độ linh động hay làm giảm dòng I_D so với giả thiết ban đầu độ linh động là hằng số.



Ảnh hưởng của nhiệt độ

- Nhiệt độ tăng làm độ linh động giảm $\Rightarrow$ dòng I_D giảm khi nhiệt độ tăng.