

ĐHBK Tp HCM-Khoa Đ-ĐT
BMĐT
GVPT: Hồ Trung Mỹ
Môn học: Dụng cụ bán dẫn

Chương 7

MOSFET

cuu duong than cong . com

(Metal-Oxide Semiconductor Field Effect Transistor)

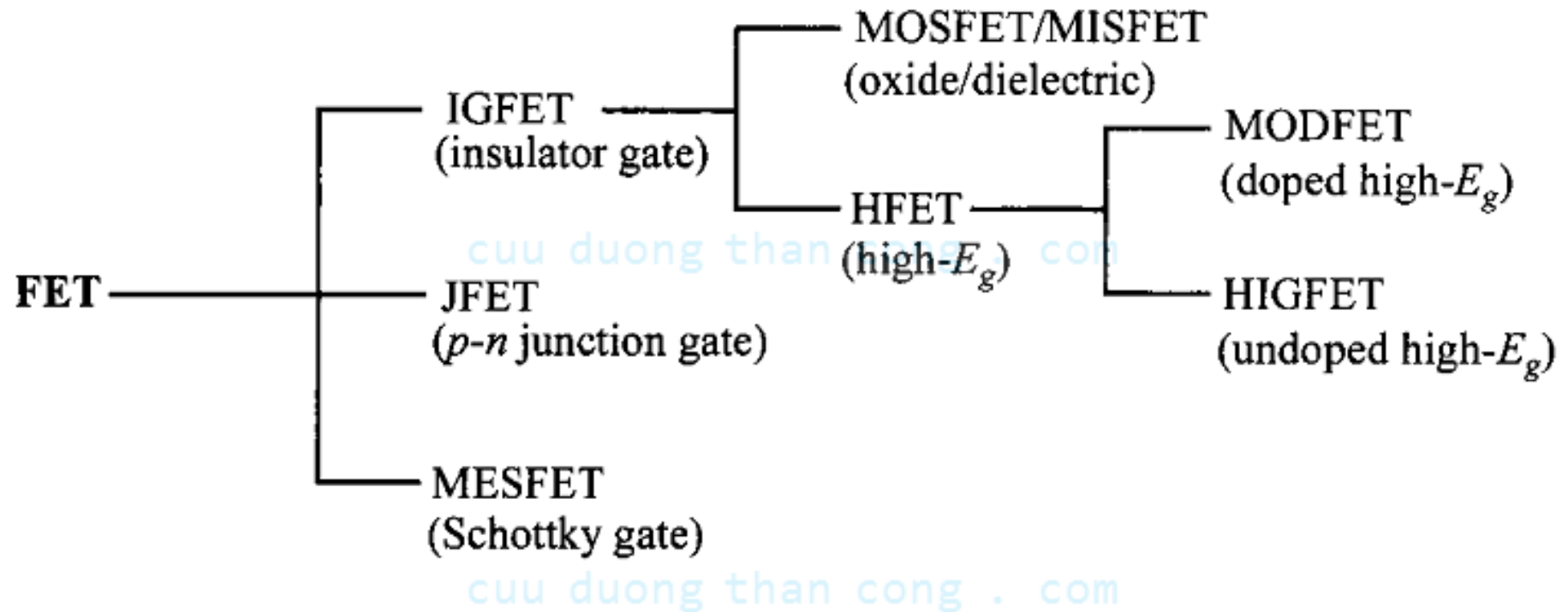
cuu duong than cong . com

MOSFET

- Giới thiệu
- Khảo sát định tính hoạt động của MOSFET
- Tụ điện MOS
- Hoạt động của MOSFET
- Một số đặc tính không lý tưởng
- Mạch tương đương tín hiệu nhỏ
- Giới thiệu 1 số ứng dụng của MOSFET

cuu duong than cong . com

Các loại FET (1/2)



Các loại FET (2/2)



- giàu=enhancement
- nghèo=depletion
- MESFET có cả 2 chế độ giàu và nghèo

MOSFET

cuu duong than cong . com

cuu duong than cong . com

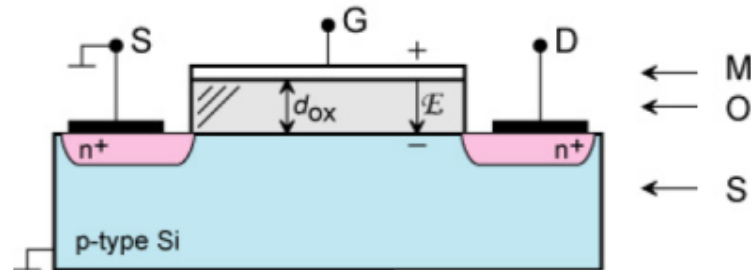
MOSFET – Cơ bản

Giới thiệu

- Trên 99% các IC được chế tạo bằng MOSFET, thí dụ như: bộ nhớ ROM, RAM, vi xử lý, ASIC và nhiều IC chức năng khác.
- Vào năm 2000, 10^6 MOSFET/người/năm được chế tạo.
- MOSFET có thành phần cơ bản là kim loại (M=Metal), lớp cách điện SiO_2 (O=Oxide), và bán dẫn (S=semiconductor)
- Các tên gọi khác của MOSFET là MISFET (Metal-Insulator-Semiconductor), IGFET (Insulated Gate FET).
- Nguyên tắc hoạt động của FET là dòng hạt dẫn từ nguồn điện máng được điều khiển bằng điện áp cổng hay điện trường cổng. Điện trường này làm cảm ứng điện tích trong bán dẫn ở giao tiếp bán dẫn-oxide.

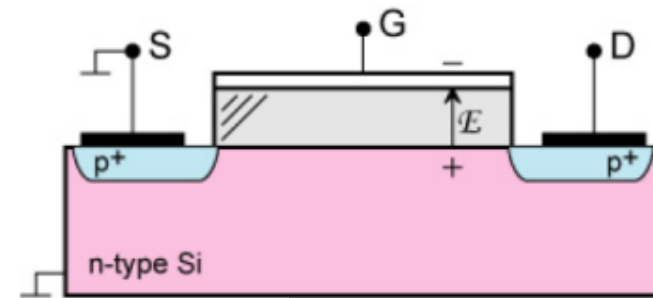
Cấu trúc của MOSFET (loại giàu) Si

n-channel MOSFET



- Kênh điện tử (loại N) được cảm ứng trong bán dẫn P do các điện tích dương ở cổng.
- Gọi tắt là N-EMOS (MOSFET loại giàu kênh N)

p-channel MOSFET



- Kênh lỗ (loại P) được cảm ứng trong bán dẫn N do các điện tích âm ở cổng.
- Gọi tắt là P-EMOS (MOSFET loại giàu kênh P)

Khảo sát định tính về hoạt động của MOSFET

- Ta thấy rõ là tất cả các FET (JFET, MESFET và MOSFET) có đặc tuyến ra tương tự nhau. Ta sẽ bàn MOSFET loại giàu kênh N (N-EMOS) ở đây.
- Ta phân biệt 3 chế độ điện áp khác nhau cho V_{DS} , cụ thể là

(1) $V_{DS} = 0$,

(2) $V_{DS} > 0$, và

(3) $V_{DS} \gg 0$.

(1) V_{DS} rất nhỏ ($V_{DS} \approx 0$)



- $V_{GS} = 0$

Trong trường hợp này, không có dòng DS. Tại sao? Bởi vì ta có các tiếp xúc n^+pn^+ , nghĩa là như 2 diode mắc đầu lưng nhau, ngược chiều nhau nên ngăn dòng điện DS.

- $V_{GS} > 0$

Ta có điện áp cổng hơi dương hơn. Đây là **chế độ nghèo**.

Các lỗ trong bán dẫn bị đẩy xuống dưới do điện tích dương ở cổng. Bán dẫn bị nghèo hạt dẫn tự do và **miền nghèo** được tạo ra.

- $V_{GS} \gg 0$

Ta có điện áp ở cổng rất dương. Đây là **chế độ đảo ngược** (inversion mode). Các điện tử được cảm ứng gần giao tiếp oxide-bán dẫn. Có dòng điện tử chạy từ S đến D. Độ lớn của điện áp cổng quyết định độ lớn của dòng điện SD.

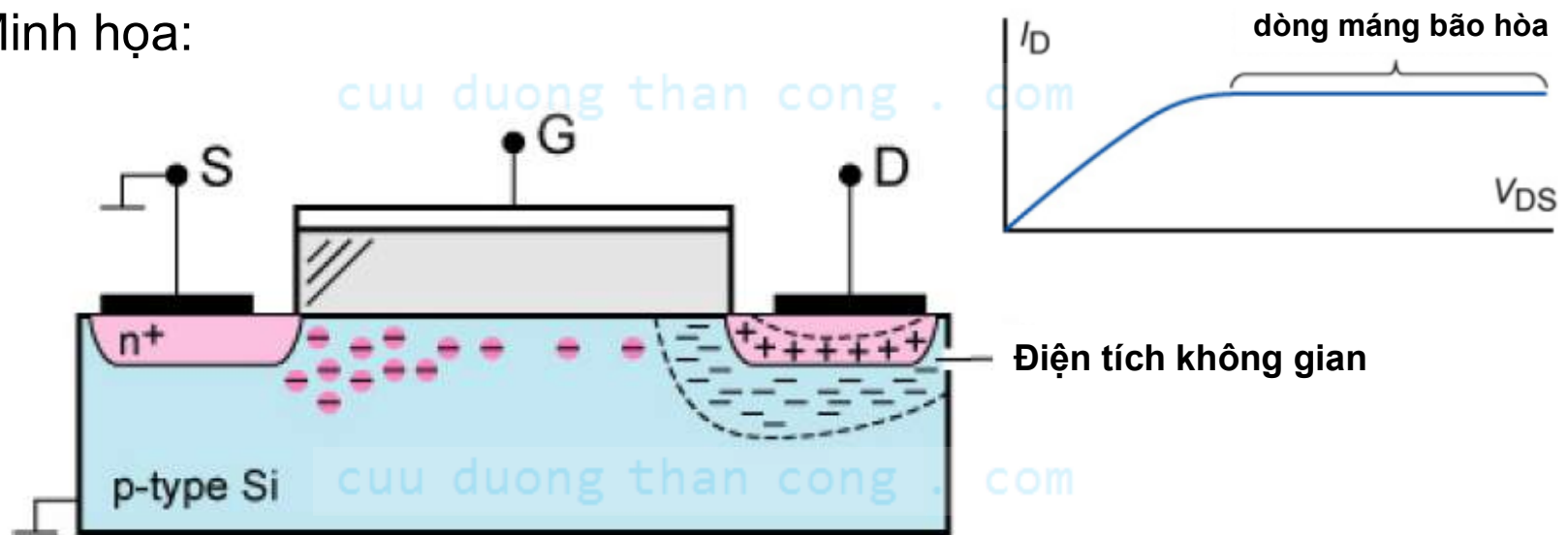
(2) Điện áp DS nhỏ ($V_{DS} > 0$) và $V_{GS} \gg 0$ (chế độ đảo ngược)

- Điện trường trong miền oxide cao nhất ở đầu nguồn S của kênh. Như vậy các điện tử được cảm ứng gần nguồn S.
 - Điện trường trong miền oxide thấp nhất ở đầu máng D của kênh. Như vậy có ít điện tử được cảm ứng gần máng D.
 - Khi tăng điện áp DS có 2 hiệu ứng:
 - I_D tăng
 - Các có ít điện tử hơn ở đầu máng D của kênh
- I_D theo V_{DS} bắt đầu có độ dốc giảm.



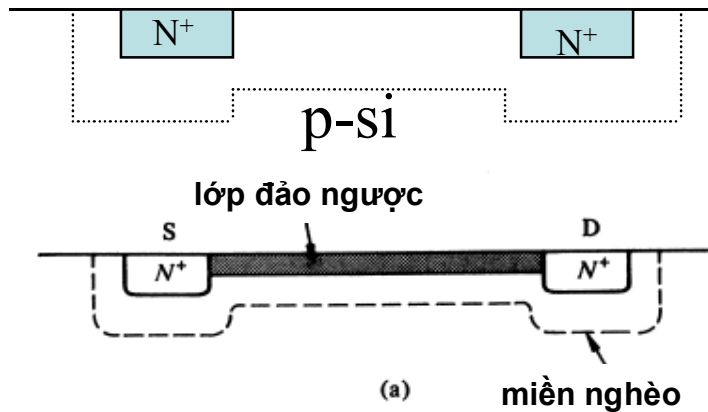
(3) Điện áp DS lớn ($V_{DS} \gg 0$) và $V_{GS} \gg 0$ (chế độ đảo ngược)

- Điện trường trong miền oxide **cao nhất** ở đầu nguồn S của kênh. Như vậy có nhiều điện tử ở gần nguồn S.
- Điện trường trong miền oxide **rất thấp** hoặc zero ở đầu máng D của kênh. Như vậy không có điện tử tự do gần máng. Kênh dẫn **bị ngẹt** (pinch off).
- Minh họa:



- Các điện tử đi qua miền điện tích không gian của tiếp xúc p-n⁺ bị phân cực ngược

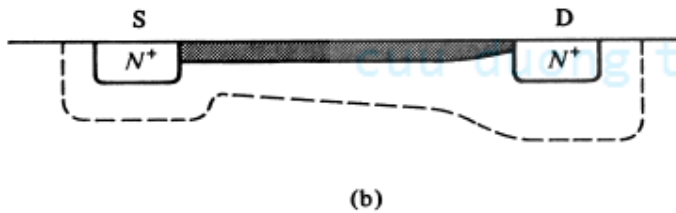
N-EMOS - Mô tả định tính



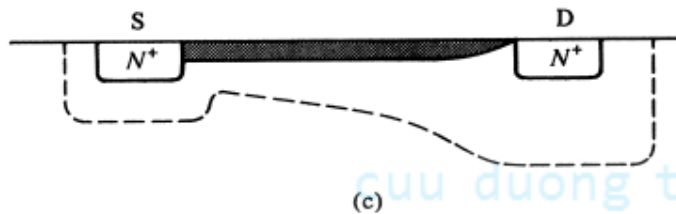
$0 < V_G < V_{TN}$; V_{DS} nhỏ hoặc lớn
không có kênh dẫn, không dòng điện
(V_{TN} = điện áp ngưỡng MOS kênh N)

$V_G > V_{TN}$; $V_{DS} \approx 0$
 I_D tăng theo V_{DS}

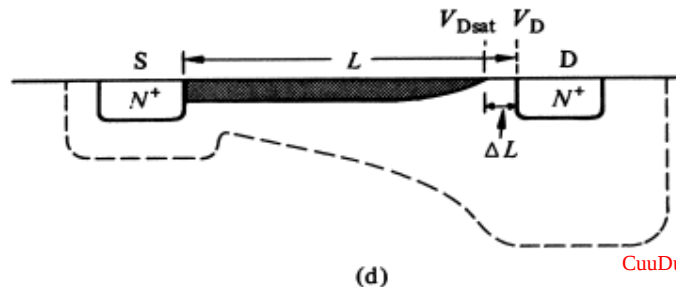
Hình 7.1



$V_G > V_{TN}$; V_{DS} nhỏ, > 0
 I_D tăng theo V_{DS} , nhưng tốc độ tăng bị giảm

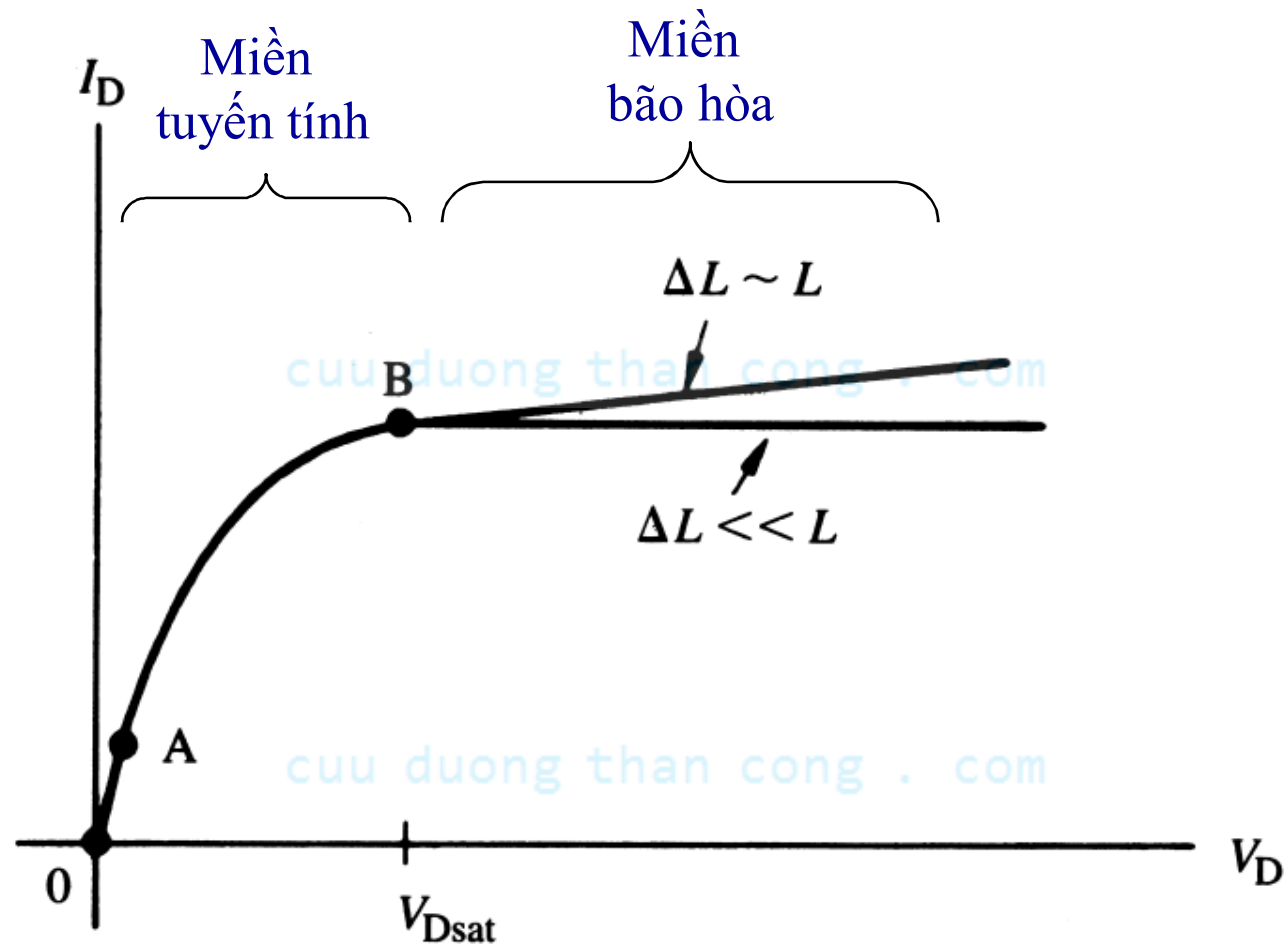


$V_G > V_{TN}$; $V_{DS} \approx$ nghẹt (pinch-off)
 I_D đạt đến giá trị bão hòa, $I_{D,sat}$
Giá trị V_{DS} được gọi là $V_{DS,sat}$



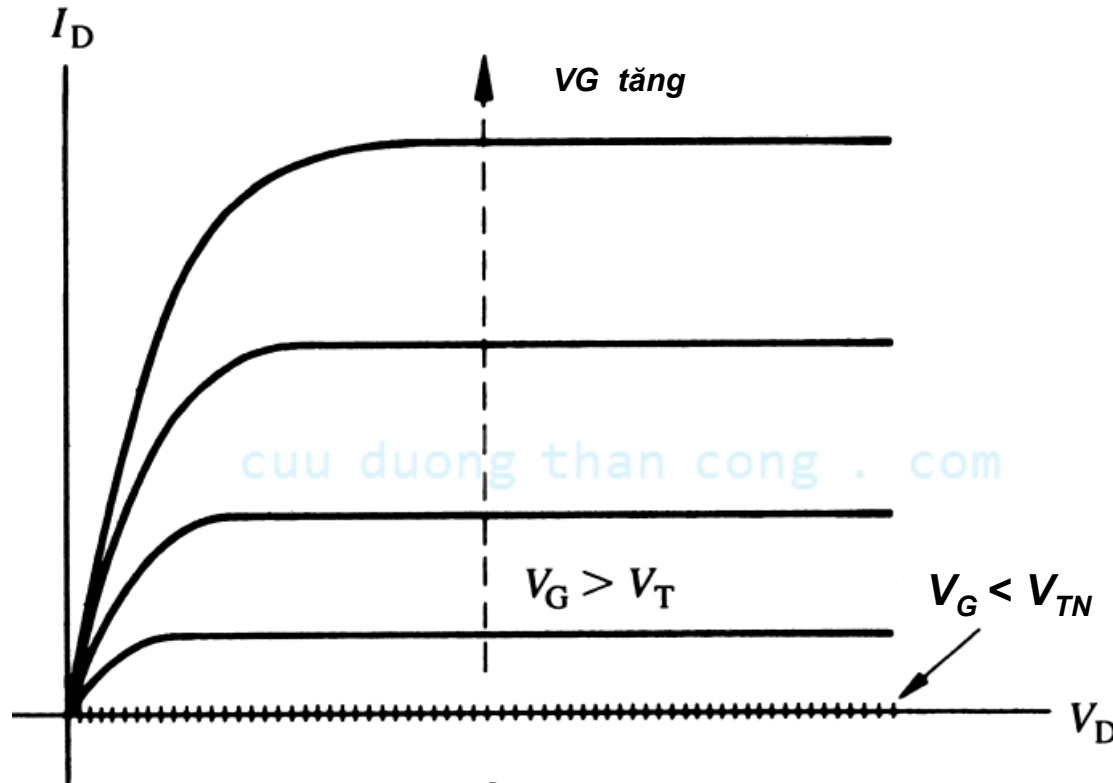
$V_G > V_{TN}$; $V_{DS} > V_{DS,sat}$
 I_D không tăng nữa,
miền bão hòa.

Đặc tuyến I_D - V_{DS} cho N-EMOS được suy từ mô tả định tính



Hình 7.2

Đặc tuyến I_D - V_{DS} với N-EMOS kênh dài ($\Delta L \ll L$), với nhiều giá trị khác nhau của V_G



Hình 7.3

- **MOSFET kênh dài** được định nghĩa là dụng cụ có độ rộng và chiều dài đủ để bỏ qua các hiệu ứng cạnh từ 4 phía.
 - Chiều dài kênh L phải lớn hơn nhiều tổng các miền nghèo tại máng và nguồn.
- Thực tế: $L > 1 \mu\text{m}$ là MOSFET kênh dài và $L \leq 1 \mu\text{m}$ là MOSFET kênh ngắn

Tụ điện MOS

cuu duong than cong . com

cuu duong than cong . com

Công thoát (Work Function)

- Ái lực điện tử (Electron Affinity) & Công thoát (Work Function)**

là các số đo của vật liệu cho biết cần bao nhiêu năng lượng để điện tử đến được chân không (E_{VAC})

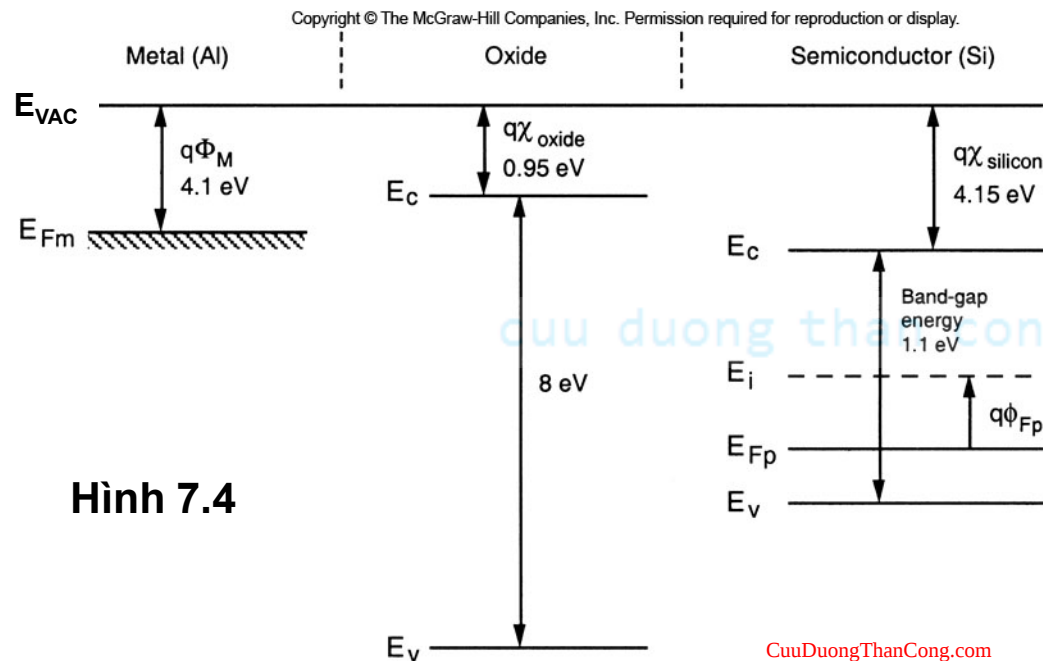
Ái lực điện tử: năng lượng cần chuyển điện tử từ E_C vào chân không

$$q\chi = E_{VAC} - E_C$$

Công thoát: năng lượng cần chuyển điện tử từ mức Fermi vào chân không

$$q\Phi_S = q\chi + (E_C - E_F)$$

- Công thoát của các vật liệu khác nhau:**



Hình 7.4

Công thoát của một số vật liệu

	Si	p ⁺ Si	n ⁺ Si	Al
$\phi_m \text{ (eV)}$	3.8	4.5	3.05	3.2

Quy ước về điện áp

- Xét 2 vật liệu 1 và 2 như hình minh họa ở hình 7.5 với các công thoát (work function) ϕ_1 và ϕ_2 tạo nên 1 chuyển tiếp (junction).
- Ta luôn luôn tham chiếu các điện áp so với vật liệu 2.
- Thế điện hóa (electrochemical potential) của vật liệu 1 so với vật liệu 2 là $\phi_1 - \phi_2$. Từ đó điện áp có sẵn (built-in voltage) của cấu trúc này theo định nghĩa là điện áp dùng để đồng chỉnh 2 mức năng lượng:

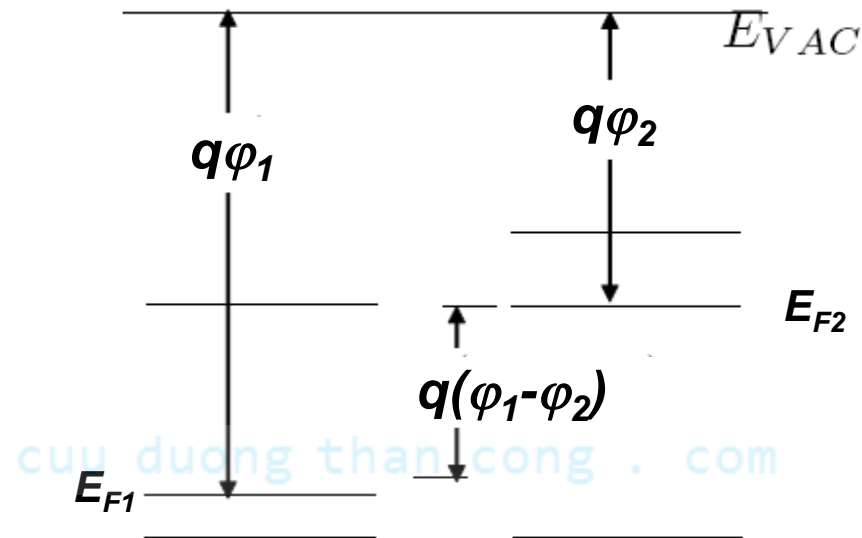
$$V_{bi} = -(\phi_1 - \phi_2)$$

Điện áp cần đưa vào để tạo nên các dải phẳng (flat bands) trong chuyển tiếp là $V_{fb} = -V_{bi}$.

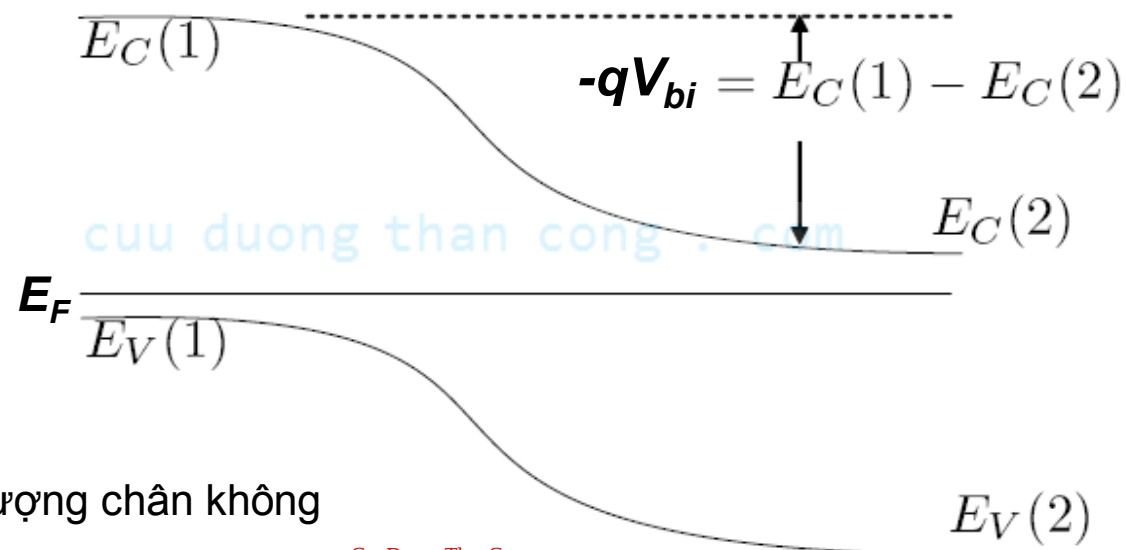
- Bây giờ ta xét một tụ MOS. Hình 7.6c cho thấy giản đồ năng lượng của dụng cụ với phân cực zero trên cấu trúc MOS và $V = V_{fb}$ được đưa vào vật liệu 1 so với vật liệu 2.
- Theo quy ước của chúng ta thì $V_{bi} = -(\phi_m - \phi_s) = -\phi_{ms}$
- Trong thí dụ này thì ϕ_{ms} âm và dẫn đến V_{bi} là số dương. Từ đó $V_{fb} = -V_{bi}$ ta có $V_{fb} = \phi_{ms}$. Khi áp dụng vào trường hợp này ta thấy V_{fb} âm

Hình 7.5

a) Giản đồ năng lượng trước khi tạo thành tiếp xúc:

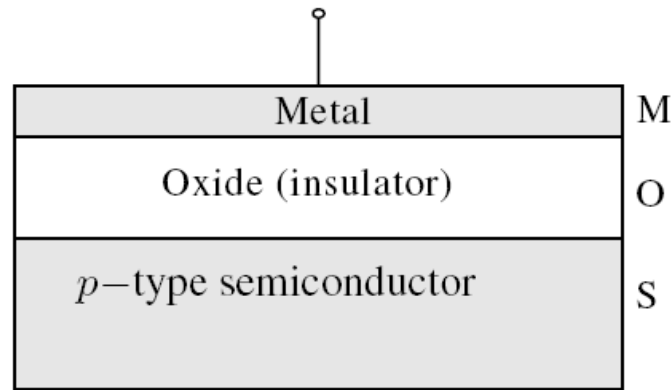


b) Giản đồ năng lượng sau khi tạo thành tiếp xúc:

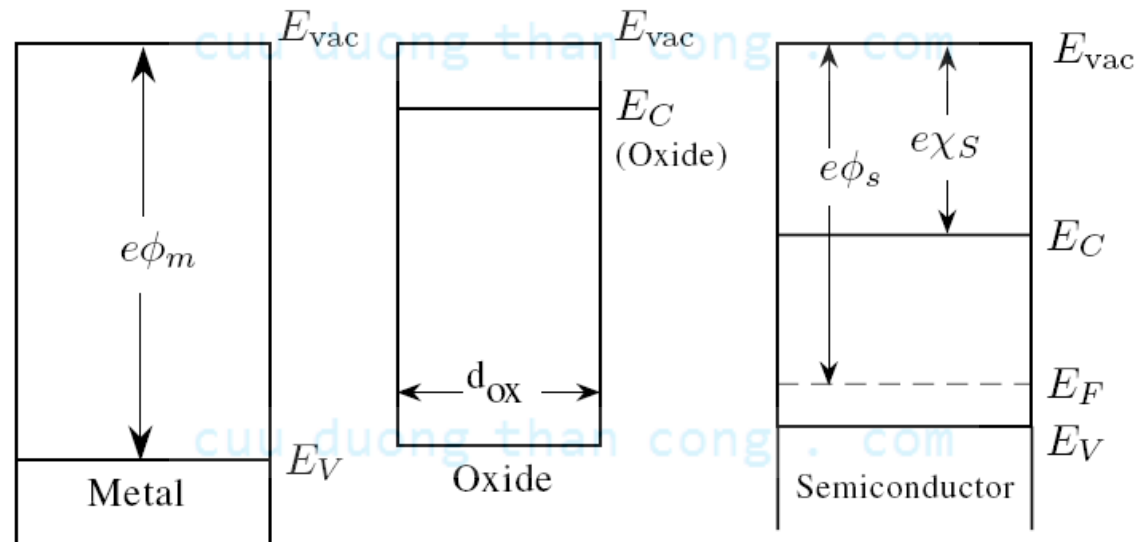


E_{VAC} = mức năng lượng chân không

Hình 7.6 (1/2)

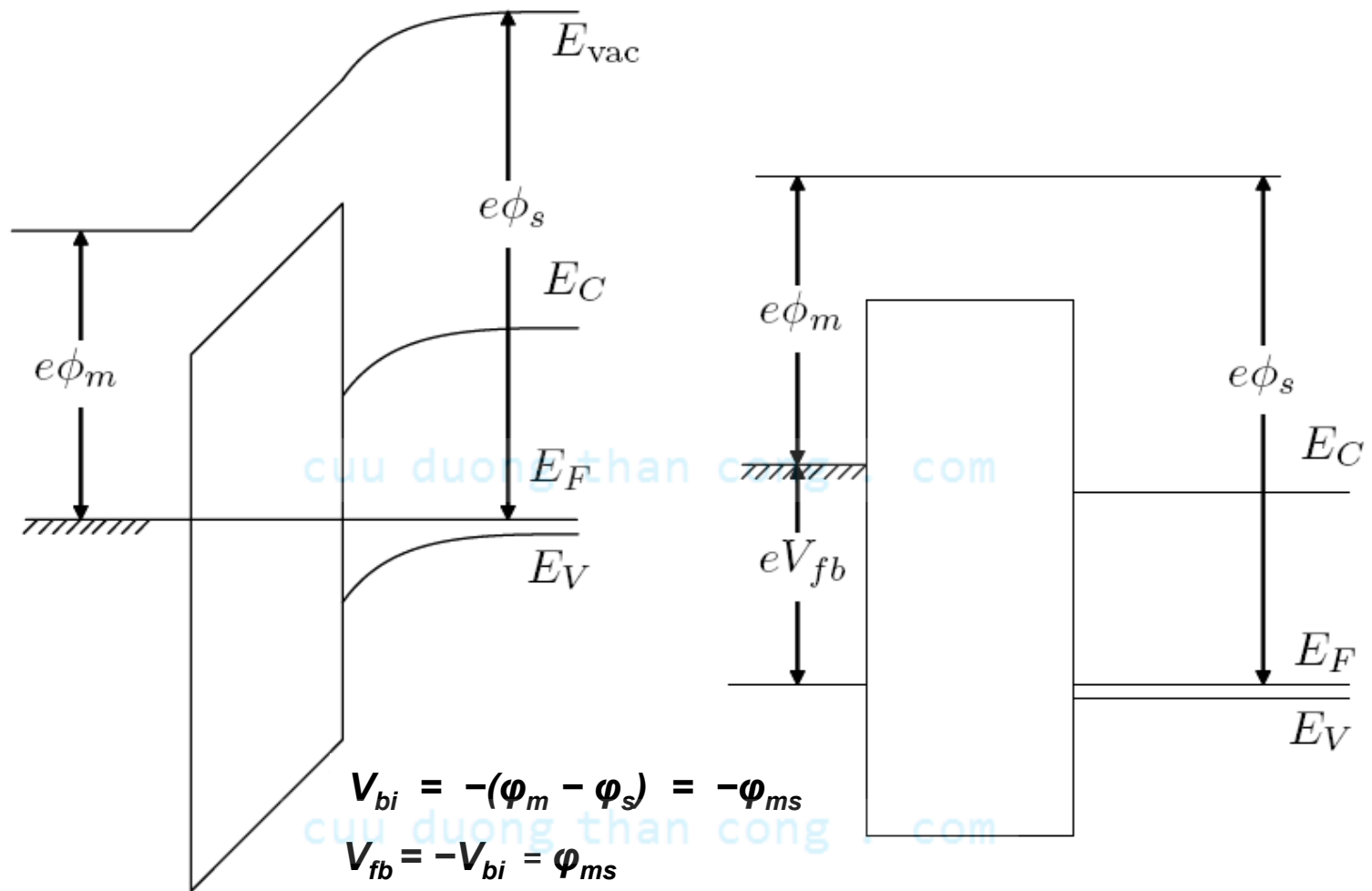


(a) Sơ đồ của tụ điện MOS.



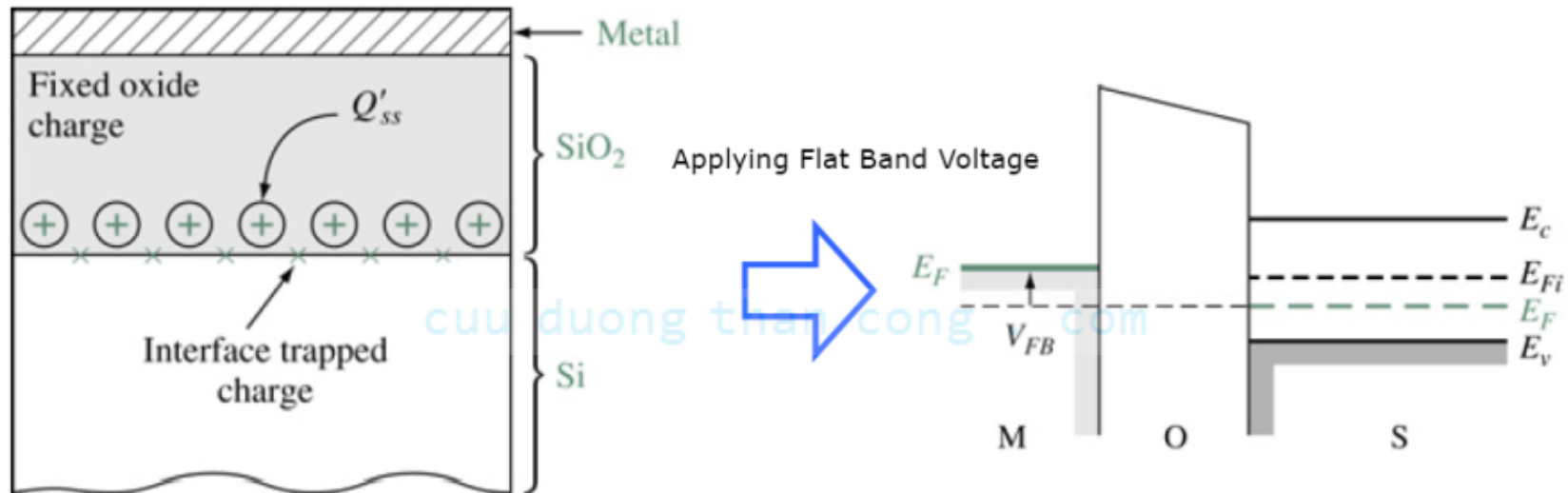
(b) Giải đồ năng lượng của kim loại được cách ly, oxide, và bán dẫn. Trên hình cho thấy công thoát kim loại, công thoát bán dẫn và ái lực điện tử (electron affinity)

Hình 7.6 (2/2)



(c) Giải đồ năng lượng của cấu trúc MOS trong điều kiện cân bằng và trong dải phẳng (flatband)

Điện áp dải phẳng V_{fb}

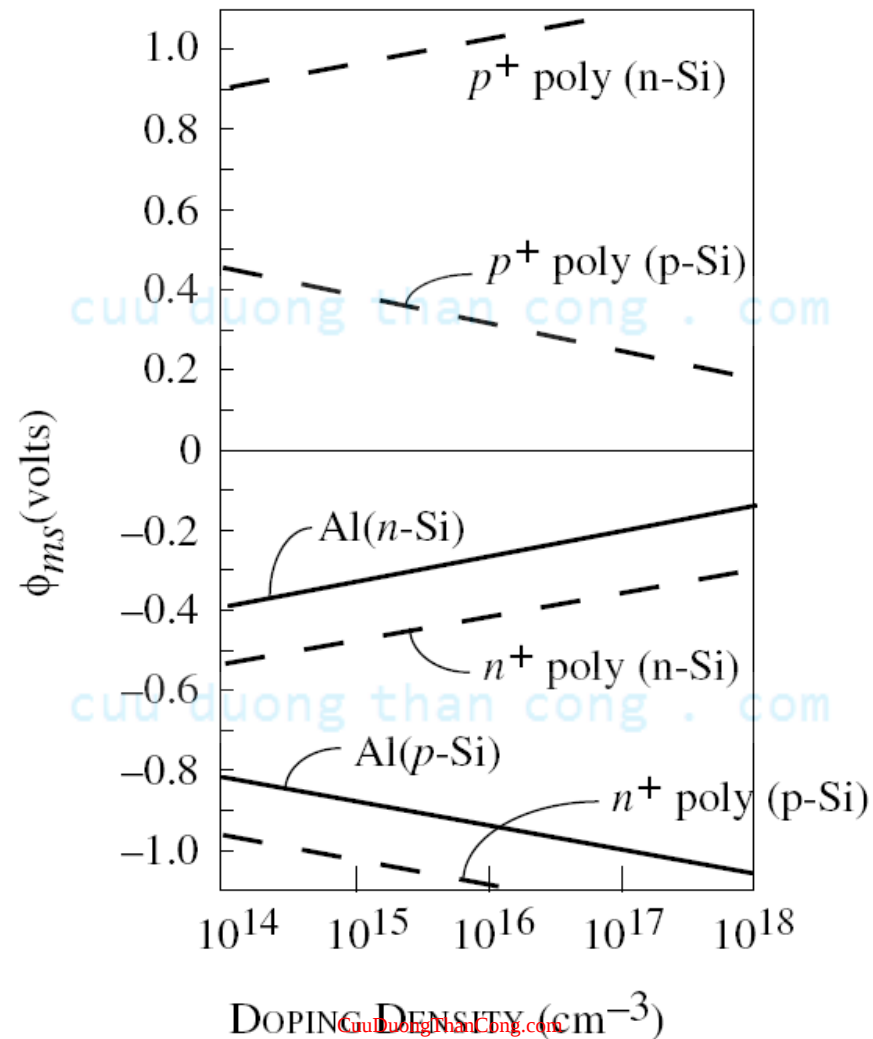


Hình 7.7

Điện áp dải phẳng (Flatband Voltage)

Là điện áp được đưa vào ở cổng sao cho không có bẻ cong dải năng lượng trong bán dẫn

Hình 7.8: Hiệu số công thoát Kim loại-bán dẫn của 1 số vật liệu cổng quan trọng dùng trong dụng cụ MOS. Chú ý dấu của ϕ_{ms} với 3 kiểu cổng khác nhau cho NMOS và PMOS.

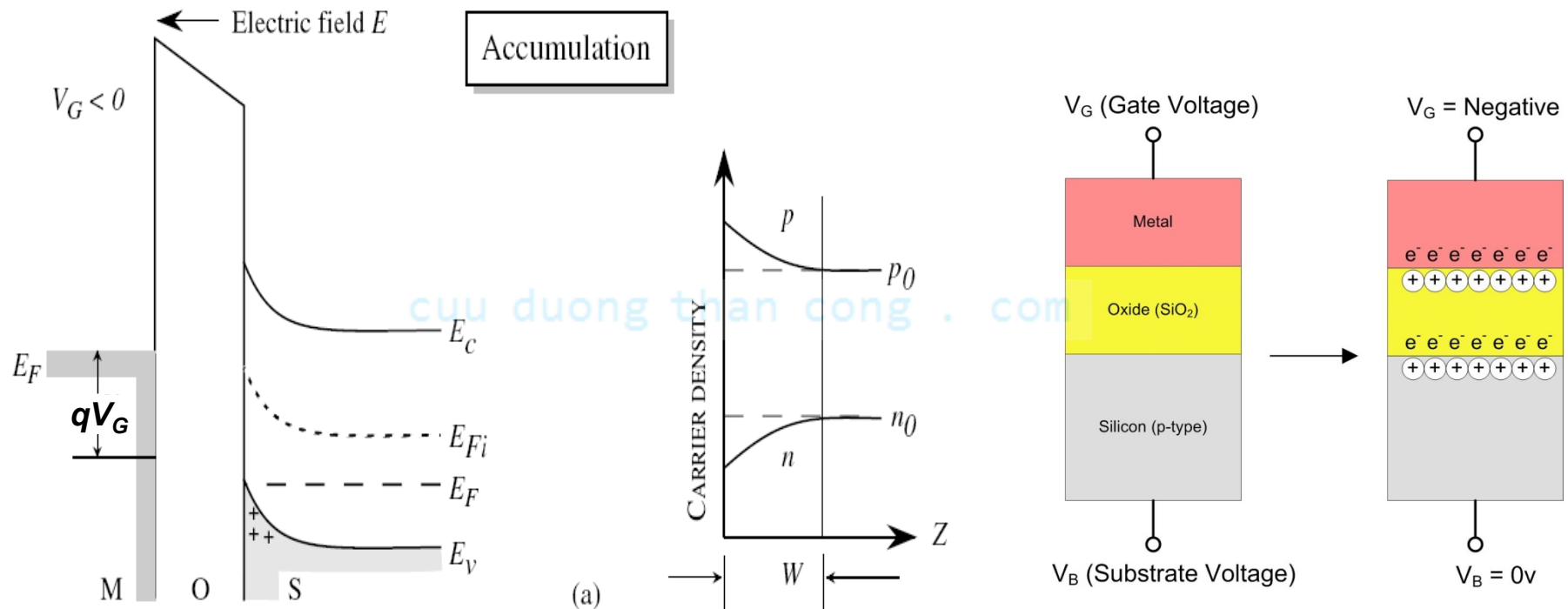


Các chế độ phân cực cho tụ MOS

Xuất phát từ vị trí dải phẳng có 3 chế độ phân cực quan trọng cho tụ MOS:

1. **Tích lũy lỗ (*Hole Accumulation*)**: khi phân cực âm giữa kim loại và bán dẫn
cuu duong than cong . com
2. **Nghèo (*Depletion*)**: khi phân cực dương giữa kim loại và bán dẫn
3. **Đảo ngược (*Inversion*)**: khi phân cực dương giá trị đủ lớn giữa kim loại và bán dẫn

Tích lũy lỗ (Hole Accumulation)

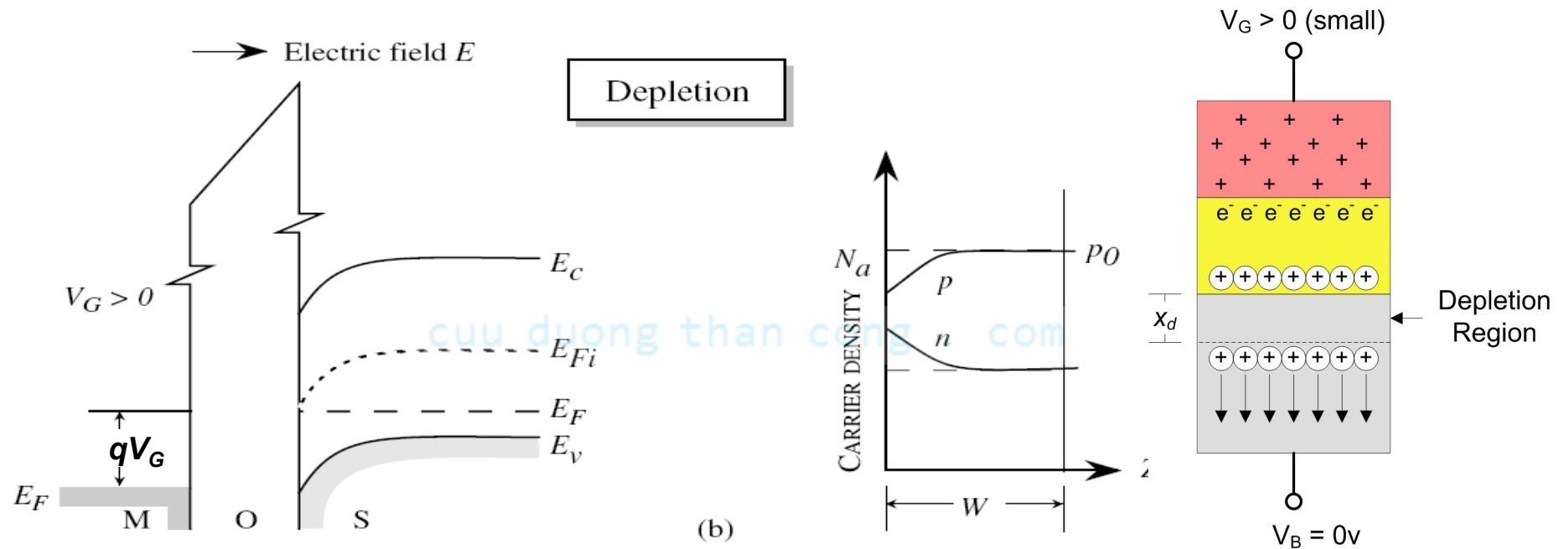


Hình 7.9

Tích lũy lỗ (Hole Accumulation):

Nếu phân cực âm được đưa vào giữa kim loại và bán dẫn, các dải hóa trị sẽ bị uốn cong gần với mức Fermi hơn, gây ra sự tích lũy các lỗ ở giao tiếp. Hiệu số giữa mức Fermi trong kim loại và bán dẫn là phân cực được áp đặt.

Nghèo (Depletion)

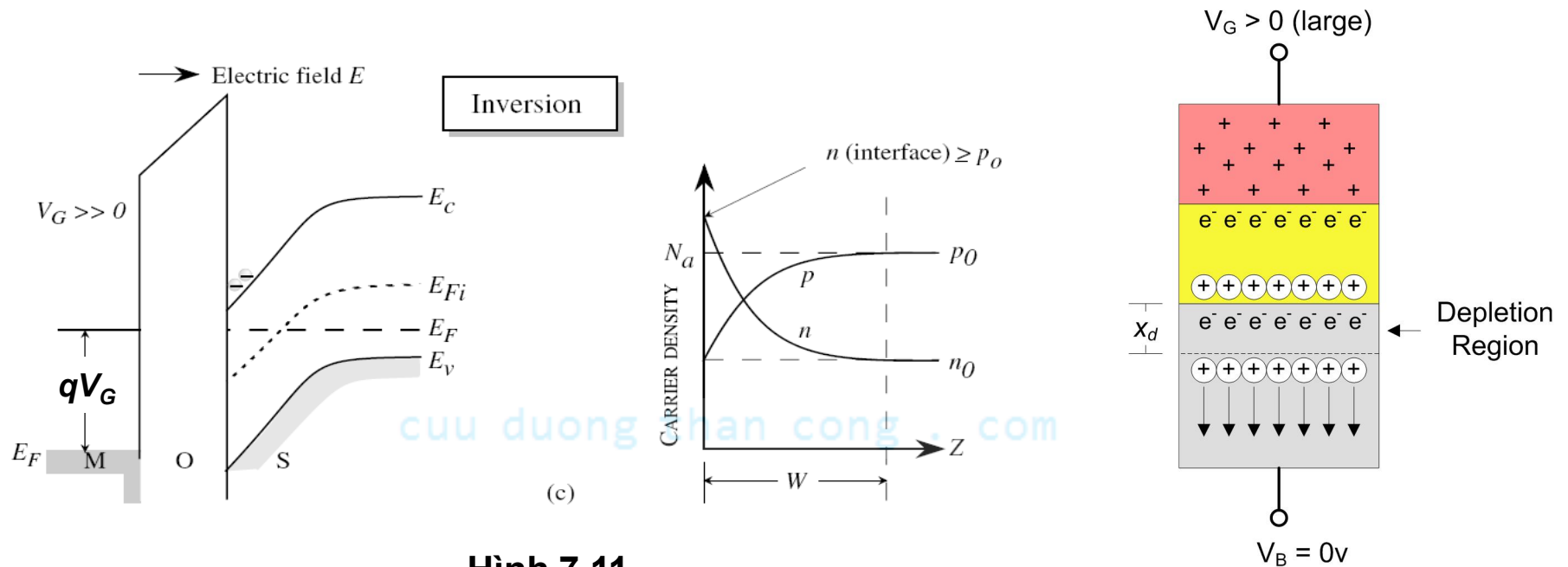


Hình 7.10

Nghèo (Depletion):

Nếu phân cực dương được đưa vào giữa kim loại và bán dẫn, mức Fermi trong kim loại bị giảm đi 1 lượng eV so với bán dẫn, làm cho dải hóa trị đi xa mức Fermi bán dẫn, chỗ gần giao tiếp. Kết quả là mật độ lỗ gần giao tiếp giảm nhỏ hơn giá trị khối trong bán dẫn loại P. Do đó $n \sim p \sim 0$.

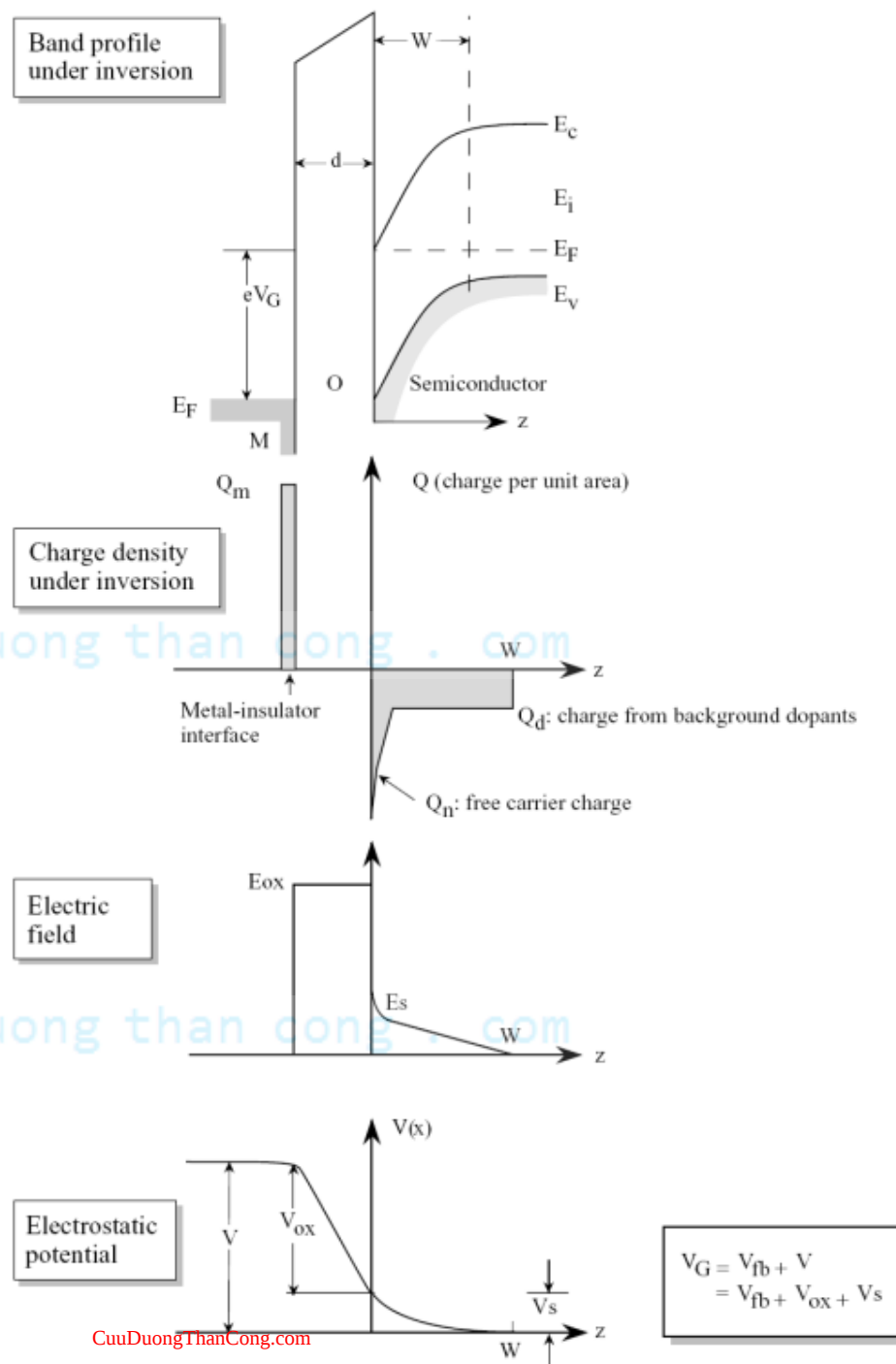
Đảo ngược (Inversion)



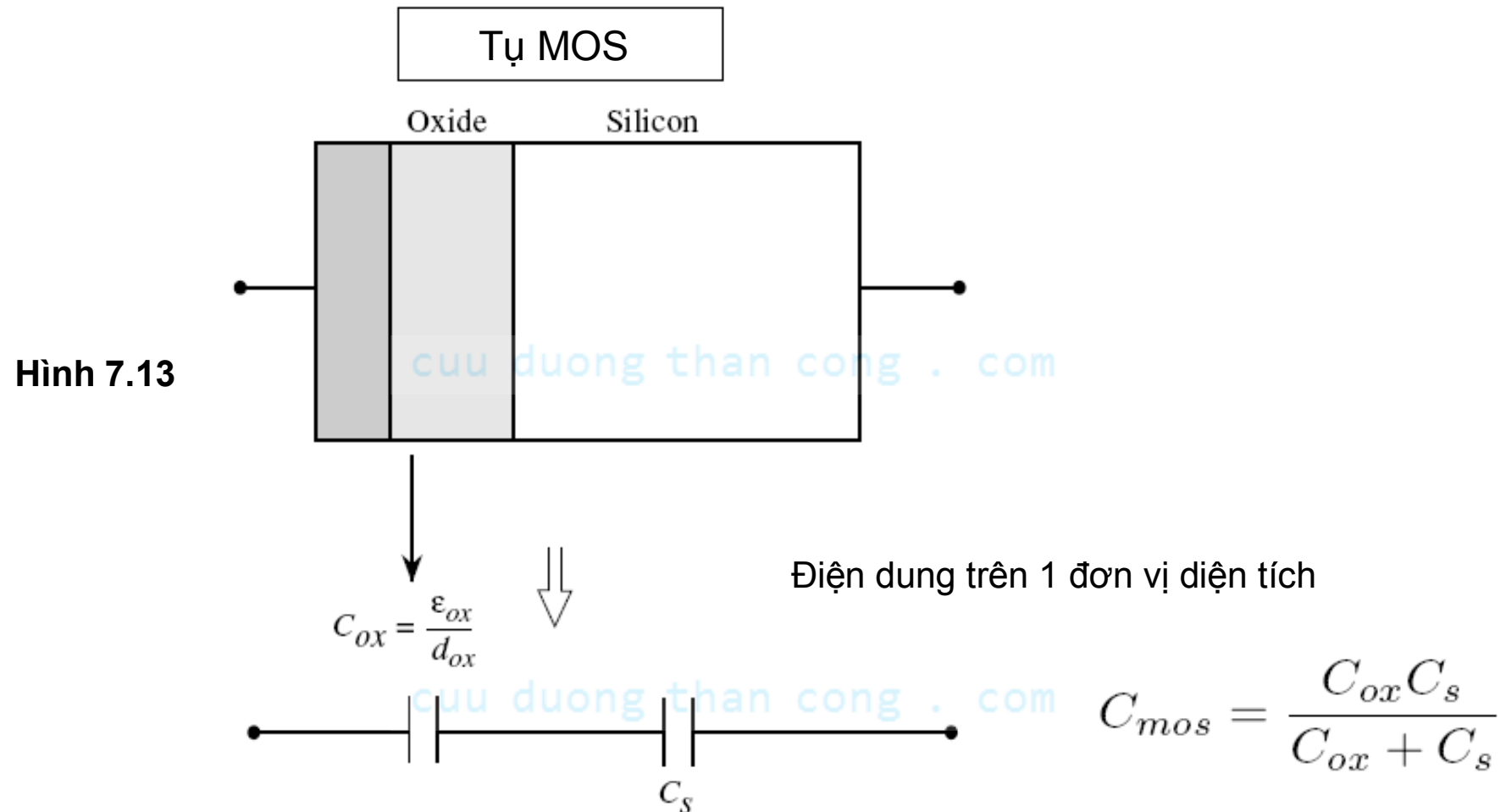
Hình 7.11

Nếu phân cực dương ở phía kim loại được tăng thêm nữa, dải dẫn ở miền oxide-bán dẫn tiến gần đến mức Fermi trong bán dẫn. Điều này làm đảo ngược các điện tích tự do từ lỗ sang điện tử ở giao tiếp và mật độ điện tử ở giao tiếp bắt đầu tăng. Nếu phân cực dương được tăng cho đến khi E_C tiến đến sát mức tựa Fermi điện tử gần chỗ giao tiếp, mật độ điện tử trở nên rất cao và bán dẫn gần chỗ giao tiếp có tính chất điện của bán dẫn loại N. Dụng cụ có thể được chuyển từ chế độ nghèo (OFF) sang chế độ đảo ngược (ON) và kết quả là có thể điều chế dòng điện bằng phân cực cổng.

Hình 7.12: Sơ đồ phân bố điện tích, điện trường, và điện thế tĩnh điện trong tụ MOS lý tưởng ở chế độ đảo ngược. Một khi đảo ngược bắt đầu, bề rộng miền nghèo W không tăng nữa do mật độ điện tử tự do cao ở miền giao tiếp.



Đặc tuyến điện dung-điện áp của cấu trúc MOS (1/2)



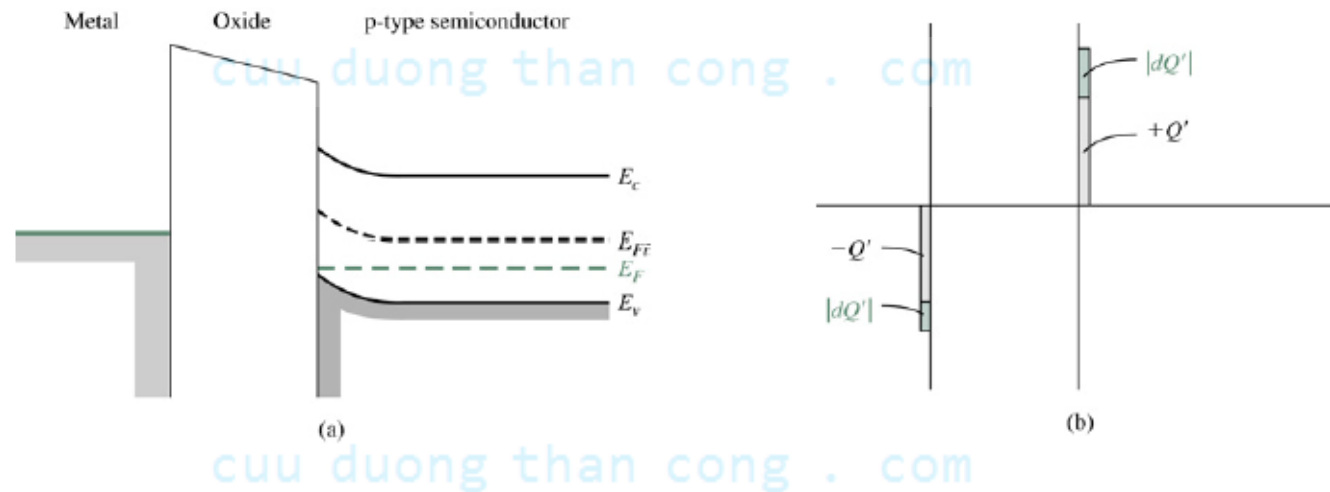
Mô hình điện dung tương đương đơn giản cho cấu trúc MOS

Capacitance-Voltage Characteristics

Ideal CV Characteristics $C = \frac{dQ}{dV}$

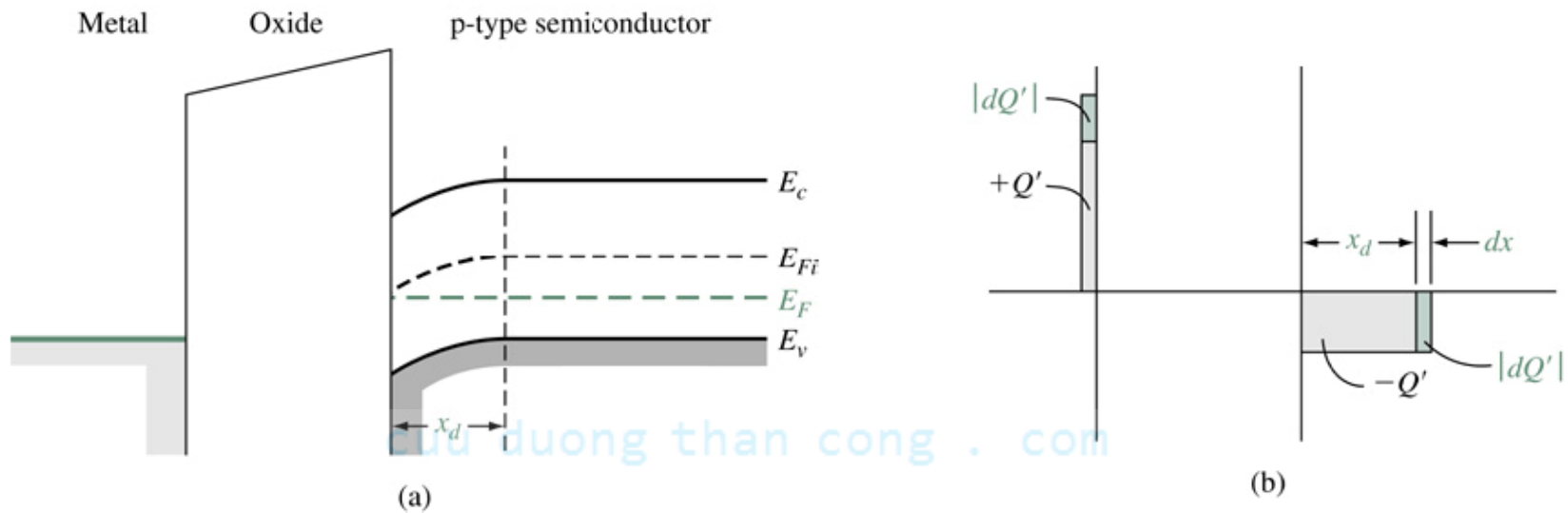
Operating conditions : accumulation, depletion, and inversion

1. Accumulation



$$C'(acc) = C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

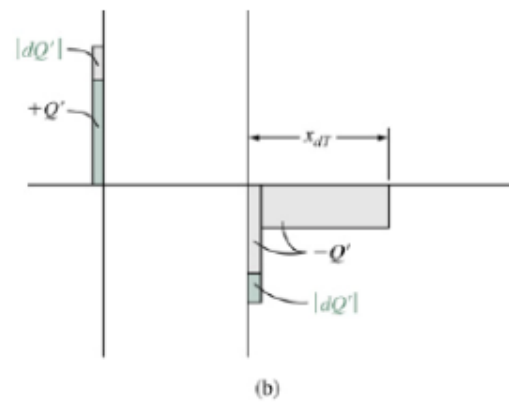
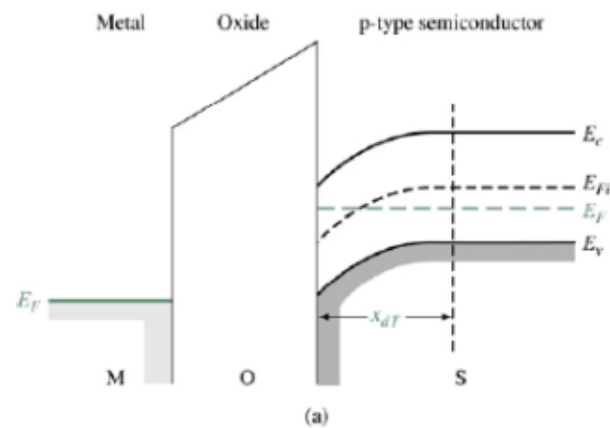
2. Depletion



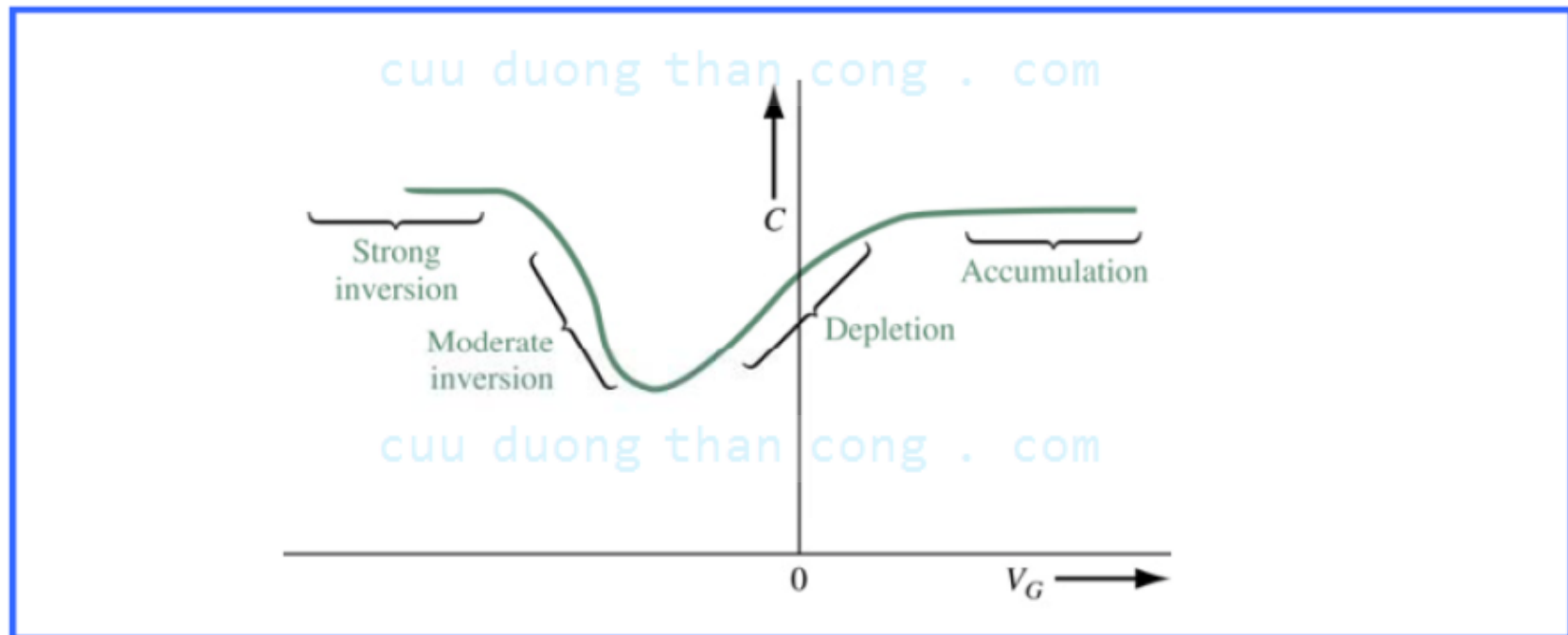
$$\frac{1}{C'(depl)} = \frac{1}{C_{OX}} + \frac{1}{C'_{SD}}$$

$$C'(depl) = \frac{C_{OX}C'_{SD}}{C_{OX} + C'_{SD}} = \frac{C_{OX}}{1 + \frac{C_{OX}}{C'_{SD}}} = \frac{\epsilon_{ox}}{t_{ox} + \left(\frac{\epsilon_{ox}}{\epsilon_s}\right)x_d} \Rightarrow C'_{min} = \frac{\epsilon_{ox}}{t_{ox} + \left(\frac{\epsilon_{ox}}{\epsilon_s}\right)x_{dT}}$$

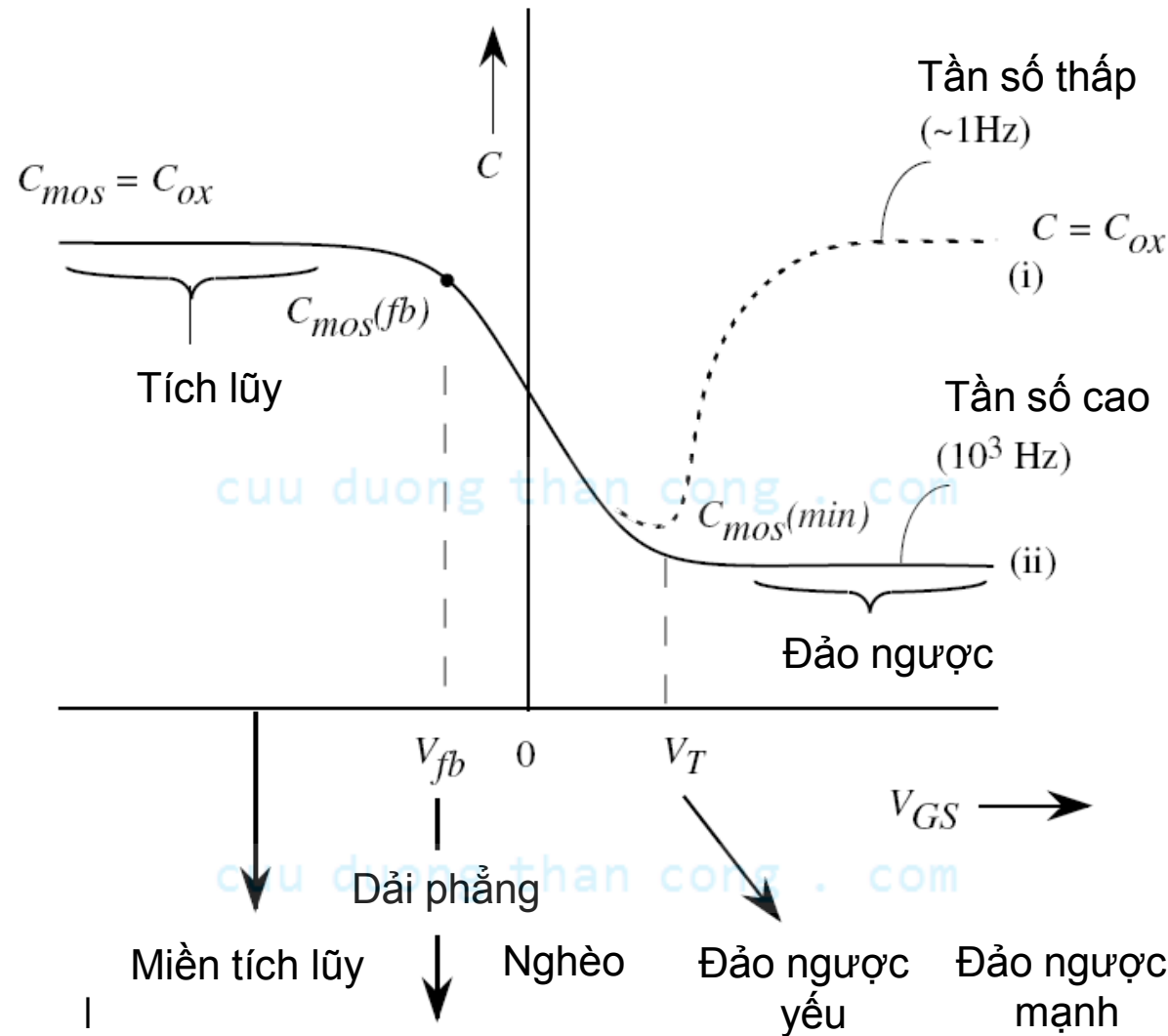
3. Inversion



$$C'(inv) = C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$



Đặc tuyến điện dung-điện áp của cấu trúc MOS (2/2)



Hình 7.14 Sự phụ thuộc tiêu biểu của điện dung MOS với điện áp.
Đường cong (i) cho tần số thấp và đường cong (ii) cho tần số cao.

Hoạt động của N-EMOS

cuu duong than cong . com

cuu duong than cong . com

Điện áp ngưỡng của tụ MOS lý tưởng

- Điện tích tổng cộng của dụng cụ MOS (hay bất kỳ dụng cụ nào) là zero.
- Như vậy với trung hòa điện tích cần có:

$$Q_M^{2D} = -Q_S^{2D} = -(Q_D^{2D} + Q_n^{2D})$$

Với Q_M^{2D} =điện tích kim loại, Q_S^{2D} =điện tích bán dẫn, Q_D^{2D} =điện tích miền nghèo, và Q_n^{2D} =điện tích điện tử.

Q^{2D} = điện tích trên 1 đơn vị diện tích

$Q_D^{2D} = -qN_A W_D$ (W_D =bề rộng miền nghèo)

Sụt áp trên tụ MOS là

$$V = V_{OX} + \Phi_S \quad (19)$$

với

$$\begin{aligned} V_{OX} &= -E d_{OX} \\ &= -(Q_S^{2D} / \epsilon_{OX}) d_{OX} \\ &= -Q_S^{2D} / C_{OX}^{2D} \end{aligned} \quad (20)$$

$$V_{OX} = -\frac{Q_S^{2D}}{C_{OX}^{2D}} = \frac{Q_S^{2D}}{\epsilon_{OX} / d_{OX}} \quad (21)$$

Chú ý:

$$C_{OX} = C_{OX}^{2D} A \quad (22)$$

với

$$C_{OX} = \text{Điện dung}$$

$$C_{OX}^{2D} = \text{Điện dung trên đơn vị diện tích}$$

$$A = \text{Diện tích}$$

Ở ngưỡng, kênh điện tử được cảm ứng tại giao tiếp O-S. Điều này xảy ra khi bắt đầu có đảo ngược mạnh

Khi bắt đầu đảo ngược mạnh:

$$Q_n^{2D} \approx 0 \quad (23)$$

$$Q_S^{2D} = -qN_A W_{D, \max} = Q_D^{2D} \quad (24)$$

$$\Phi_S = 2\Phi_F \quad (25)$$

cuuduongthancong.com

Thay các phương trình (23) → (25) vào (19) và (21) cho

$$V_{th} = -\frac{Q_D^{2D}}{C_{OX}^{2D}} + 2\Phi_F = \frac{qN_A W_{D, \max}}{C_{OX}^{2D}} + 2\Phi_F \quad (26)$$

cuuduongthancong.com

Như vậy điện áp ngưỡng V_{TH} là tổng của sụt áp trong oxide và trong bán dẫn khi bắt đầu có đảo ngược mạnh. Pt (26) áp dụng cho **cấu trúc MOS lý tưởng**.

Điện dung của tụ MOS lý tưởng

Điện dung của tụ oxide:

$$C_{OX}^{2D} = \frac{\epsilon_{OX}}{d_{OX}} \quad (27)$$

Điện dung của miền nghèo

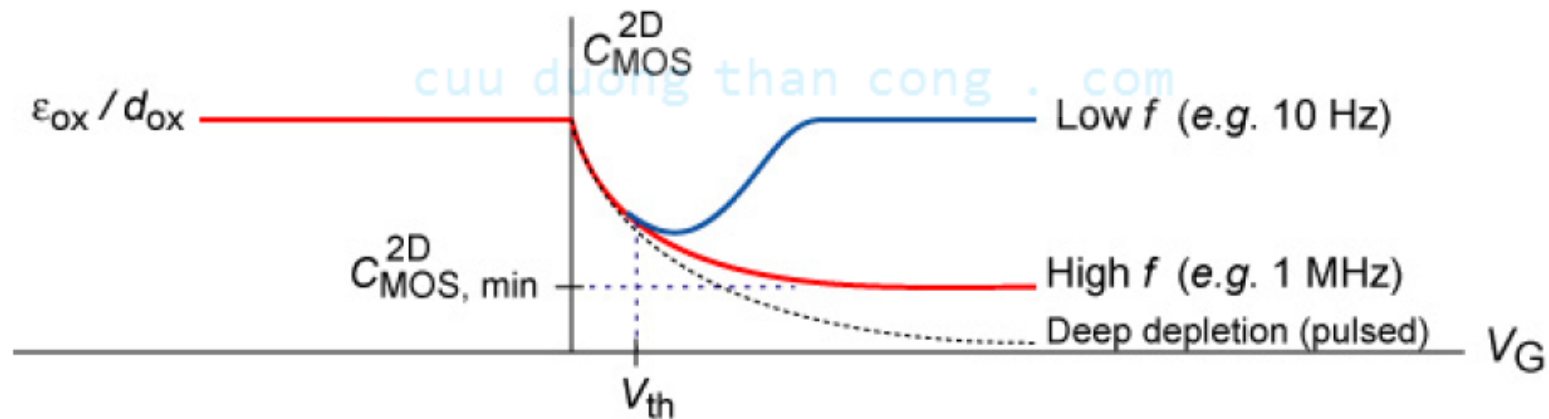
$$C_D^{2D} = \frac{\epsilon_S}{W_D} \quad (28)$$

Ta có 2 tụ mắc nối tiếp, như vậy điện dung tổng cộng là:

$$C_{MOS}^{2D} = \left(\frac{1}{C_{OX}^{2D}} + \frac{1}{C_D^{2D}} \right)^{-1} \quad (29)$$

$$C_{\text{MOS}}^{2\text{D}} = \left(\frac{d_{\text{OX}}}{\epsilon_{\text{OX}}} + \frac{W_{\text{D}}}{\epsilon_{\text{S}}} \right)^{-1} \quad (30)$$

Hình sau cho ta thấy đường cong $C_{\text{MOS}}^{2\text{D}}-V$. Chú ý là W_{D} phụ thuộc vào V .



$$C_{\text{MOS}, \text{min}}^{2\text{D}} = \left(\frac{d_{\text{OX}}}{\epsilon_{\text{OX}}} + \frac{W_{\text{D}, \text{max}}}{\epsilon_{\text{S}}} \right)^{-1} \quad (31)$$

Bàn về đường cong $C_{\text{MOS}}^{2\text{D}}$ theo V

$$V_G > 0$$

Tích lũy

Lỗ được tích lũy tại giao tiếp O-S

$$C_{\text{MOS}}^{2\text{D}} = \epsilon_{\text{OX}} / d_{\text{OX}}$$

$$V_G > 0$$

Nghèo

Độ dày của miền nghèo tăng theo V

$$V = V_{\text{th}}$$

Bắt đầu đảo ngược mạnh

$$W_D = W_{D, \text{max}}$$

$$C_{\text{MOS}, \text{min}}^{2\text{D}} = \left(\frac{d_{\text{OX}}}{\epsilon_{\text{OX}}} + \frac{W_{D, \text{max}}}{\epsilon_S} \right)^{-1}$$

$$V > V_{th}$$

(1) Tần số thấp

Kênh đảo ngược được tạo ra tại giao tiếp O-S

$$C_{MOS}^{2D} = \epsilon_{OX} / d_{OX}$$

(2) Tần số cao

Các cặp điện tử-lỗ được sinh ra quá chậm không theo kịp tín hiệu AC của mạch đo

$$C_{MOS}^{2D} = C_{MOS, min}^{2D}$$

cuu duong than cong . com

Tụ MOS thực tế

Tổng quát, có hiệu công thoát giữa kim loại và bán dẫn.

Nghĩa là

$$\Phi_M \neq \Phi_S$$

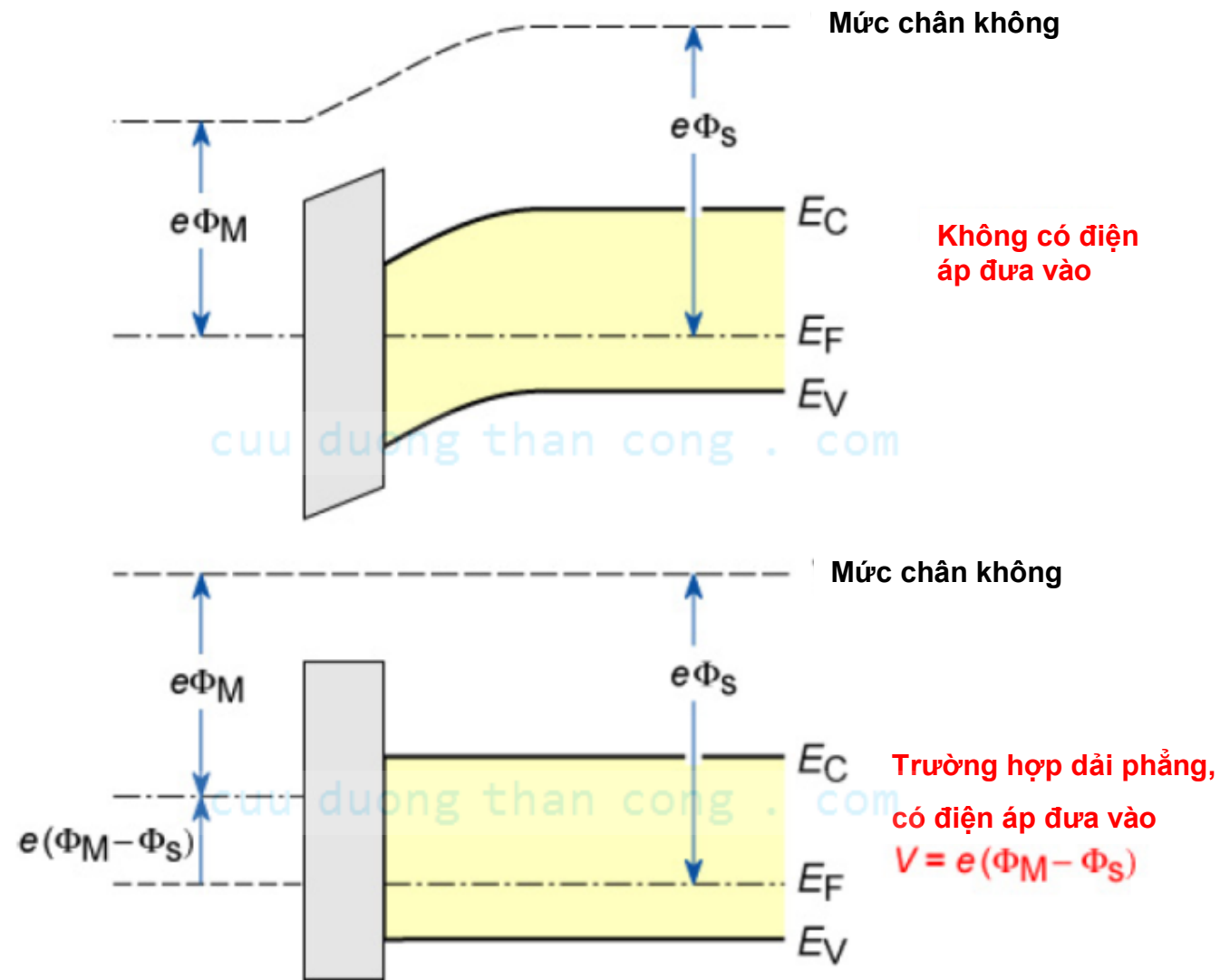
Hiệu công thoát

$$\Phi_{MS} = \Phi_M - \Phi_S \quad (32)$$

Thường có các điện tích bị bẫy vào oxide, thí dụ các ion Na^+ . Các điện tích oxide tạo ra điện áp

$$V = Q_{\text{OX}}^{2\text{D}} / C_{\text{OX}}^{2\text{D}} \quad (33)$$

Giải đồ năng lượng (với $\Phi_{MS} \neq 0$ và $Q_{OX} \neq 0$)



Flatband voltage (Điện áp dải phẳng)

Cộng các phương trình (32) và (33) cho

$$V_{FB} = \Phi_{MS} - \frac{Q_{OX}}{C_{OX}} \quad (34)$$

Với Q_{OX} là điện tích dương hiệu dụng tại giao tiếp O-S

Threshold voltage (Điện áp ngưỡng)

Phương trình (26) đúng cho cấu trúc MOS lý tưởng. Trong trường hợp cấu trúc MOS thật, ta phải kể đến các hiệu ứng của hiệu công thoát và điện tích oxide. Điện áp ngưỡng của cấu trúc MOS thật là:

$$V_{th} = \Phi_{MS} - \frac{Q_{OX}^{2D}}{C_{OX}^{2D}} - \frac{Q_D^{2D}}{C_{OX}^{2D}} + 2\Phi_F \quad (35)$$

Hoạt động của MOSFET

Ta sẽ sử dụng sự xấp xỉ kênh dẫn biến đổi đều của Shockley

Mật độ điện tích trong kênh dẫn: Q_n^{2D}

Dưới ngưỡng: $Q_n^{2D} = 0$

Trên ngưỡng: $|Q_n^{2D}| > 0$

Nhắc lại điều kiện trung hòa điện tích

$$|Q_M^{2D}| = Q_S^{2D} = Q_n^{2D} + Q_D^{2D} \quad (36)$$

$$Q_n^{2D} = Q_S^{2D} - Q_D^{2D} \quad (37)$$

Với Q_M^{2D} = điện tích kim loại (metal charge), Q_S^{2D} = điện tích bán dẫn, Q_D^{2D} = điện tích miền nghèo, và Q_n^{2D} = điện tích điện tử.

Q^{2D} = điện tích/đơn vị diện tích

Nhắc lại định luật Gauss:

$$E = -\frac{1}{\varepsilon} \int_{-\infty}^x \rho(x) dx = -\frac{1}{\varepsilon} Q^{2D} \quad (38)$$

Sử dụng định luật Gauss trong phương trình 37 cho :

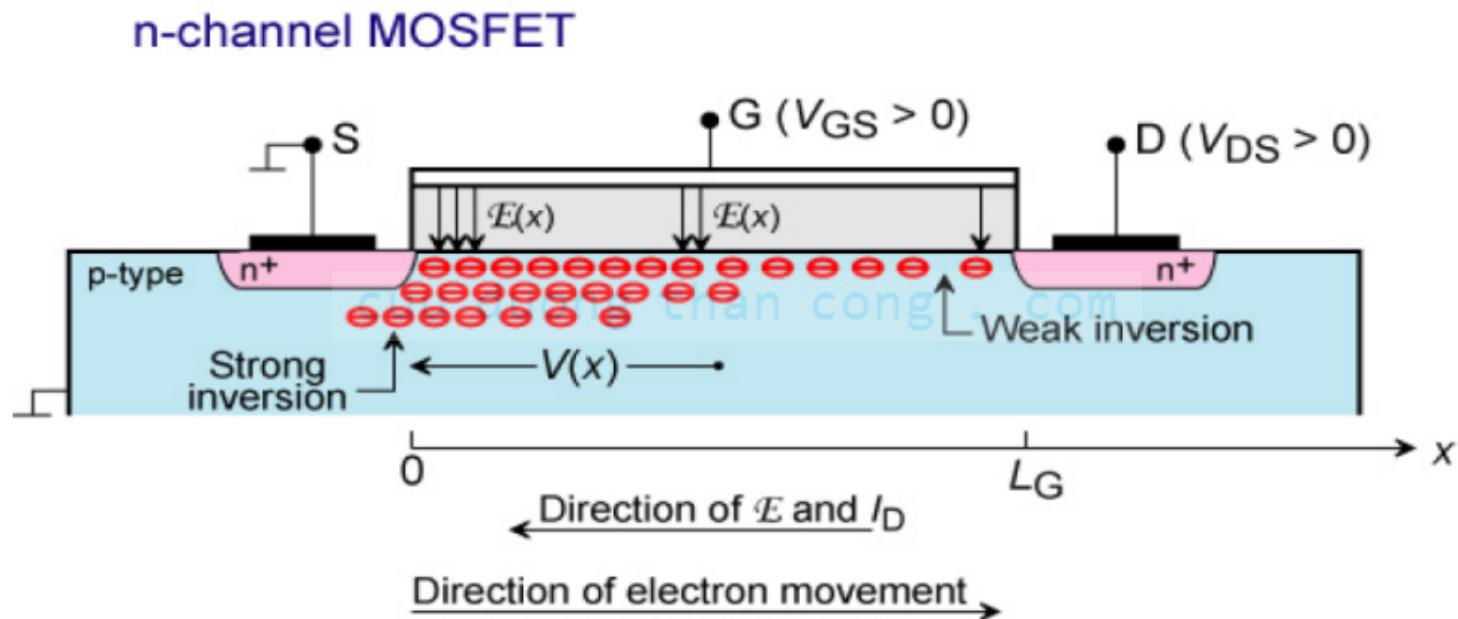
$$\begin{aligned} Q_n^{2D} &= -\varepsilon_{OX} E_{OX}(x) + \varepsilon_{OX} \frac{V_{th}}{d_{OX}} \\ &= -\varepsilon_{OX} \frac{V_{GS} - V(x)}{d_{OX}} + \varepsilon_{OX} \frac{V_{th}}{d_{OX}} \end{aligned} \quad (39)$$

$$Q_n^{2D} = -\frac{\varepsilon_{OX}}{d_{OX}} [V_{GS} - V_{th} - V(x)] \quad (40)$$

với $V(x)$ là điện áp từ kênh dẫn-đến-nguồn

Sự xấp xỉ kênh dẫn biến đổi đều

Gradual channel approximation



Hình 7.15

Nhắc lại với MESFET: $I_D = -e n v(x) h(x) Z$

Tuy nhiên trong MOSFET ta có:

$$I_D = Q_n^{2D}(x) v(x) Z \quad (41)$$

$$= Q_n^{2D}(x) [-\mu_n E(x)] Z \quad (42)$$

$$= Q_n^{2D}(x) \mu_n \frac{dV(x)}{dx} Z \quad (43)$$

Thay phương trình (40) vào phương trình (43):

$$I_D = -\frac{\epsilon_{OX}}{d_{OX}} Z \mu_n [V_{GS} - V_{th} - V(x)] \frac{dV(x)}{dx} \quad (44)$$

Tách các biến và tính tích phân cho

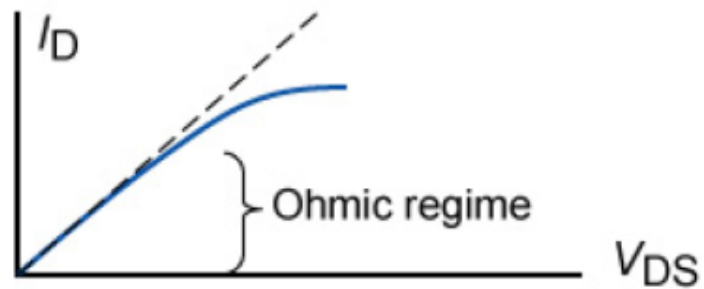
$$I_D \int_0^{L_G} dx = - \frac{\epsilon_{OX} \mu Z}{d_{OX}} \int_0^{V_{DS}} (V_{GS} - V_{th} - V(x)) dV(x) \quad (45)$$

$$(-) I_D = \frac{\epsilon_{OX} \mu Z}{d_{OX} L_G} \left[(V_{GS} - V_{th}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (46)$$

... dòng I_D âm vì nó chạy theo hướng âm. Tuy nhiên, hướng không quan trọng với chúng ta, dấu "-" được đặt trong dấu ngoặc

... số hạng đầu trong dấu ngoặc vuông tăng tuyến tính với V_{DS} .

... số hạng thứ hai trong dấu ngoặc vuông tăng theo bậc hai với V_{DS} .

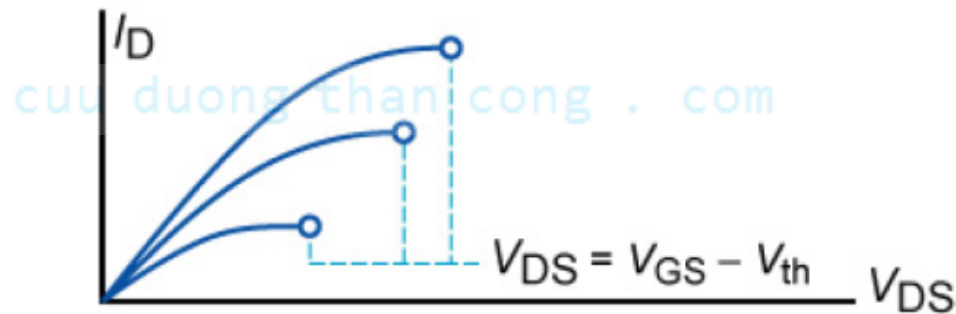


... Với V_{DS} rất nhỏ, số hạng $(\frac{1}{2}) V_{DS}^2$ có thể bỏ qua được.

→ I_D tỉ lệ tuyến tính với V_{DS} .

→ Đây là chế độ Ohm hay tuyến tính hay triode.

Ở $V_{DS} = V_{GS} - V_{th}$, độ dốc $dI_D / dV_{DS} = 0$.



Khi vào bão hòa:

$$V_{DS, \text{sat}} = V_{GS} - V_{th} \quad (47)$$

Thay phương trình (47) vào (46), ta có:

$$I_{D, \text{sat}} = \frac{\epsilon_{OX} \mu Z}{d_{OX} L_G} \frac{1}{2} V_{DS, \text{sat}}^2 = \frac{\epsilon_{OX} \mu Z}{2 d_{OX} L_G} (V_{GS} - V_{th})^2 \quad (48)$$



Hỗ dẫn

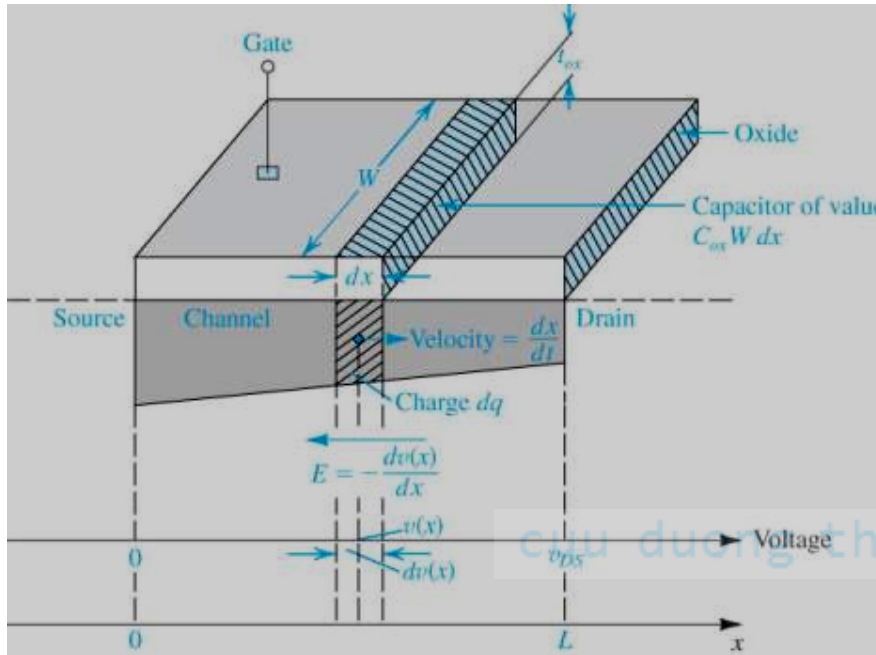
$$g_{m, \text{sat}} = \frac{dI_{D, \text{sat}}}{dV_{GS}} = \frac{\epsilon_{OX} \mu Z}{d_{OX} L_G} (V_{GS} - V_{th}) \quad (49)$$

Phương trình này cho thấy để có được hỗ dẫn cao, cần có các tính chất sau:

- (1) Độ linh động cao
- (2) Oxide mỏng hoặc hằng số điện môi cao
- (3) Độ dài của cổng ngắn

Hỗ dẫn tăng theo bề rộng cổng Z . Nhưng tăng Z cũng làm tăng diện tích của FET.

Tóm tắt cách tìm quan hệ dòng và áp trong N-EMOS



$$i = \frac{dq}{dt} = \frac{dq}{dx} \frac{dx}{dt} \quad (1)$$

$$Q = CV$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (2)$$

$$\epsilon_{ox} = 3.9\epsilon_0 = 3.9 \times 8.854 \times 10^{-12} = 3.45 \times 10^{-11} \text{ F/m}$$

$$dq = -C_{ox}(Wdx)[v_{GS} - v(x) - V_t] \quad (3)$$

$$E(x) = -\frac{dv(x)}{dx} \quad (\because E = -\nabla V)$$

$$\frac{dx}{dt} = -\mu_n E(x) = \mu_n \frac{dv(x)}{dx} \quad (4)$$

$$i = -\mu_n C_{ox} W [v_{GS} - v(x) - V_t] \frac{dv(x)}{dx}$$

$$i_D = -i = \mu_n C_{ox} W [v_{GS} - v(x) - V_t] \frac{dv(x)}{dx}$$

$$i_D dx = \mu_n C_{ox} W [v_{GS} - V_t - v(x)] dv(x)$$

$$\int_0^L i_D dx = \int_0^{v_{DS}} \mu_n C_{ox} W [v_{GS} - V_t - v(x)] dv(x)$$

$$i_D = (\mu_n C_{ox}) \left(\frac{W}{L} \right) \left[(v_{GS} - V_t) v_{DS} - \frac{1}{2} v_{DS}^2 \right] \quad (5)$$

Khi vào miền bão hòa, $v_{DS} = v_{GS} - V_t$

$$i_D = \frac{1}{2} (\mu_n C_{ox}) \left(\frac{W}{L} \right) (v_{GS} - V_t)^2 \quad (6)$$

$$k'_n = \mu_n C_{ox} \quad (7)$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (2)$$

$$i_D = k'_n \left(\frac{W}{L} \right) \left[(v_{GS} - V_t) v_{DS} - \frac{1}{2} v_{DS}^2 \right] \quad (\text{Triode region}) \quad (5a)$$

$$i_D = \frac{1}{2} k'_n \left(\frac{W}{L} \right) (v_{GS} - V_t)^2 \quad (\text{saturation region}) \quad (6a)$$

$\left(\frac{W}{L} \right)$: Aspect ratio of the MOSFET
(Tỉ số hình dạng của MOSFET)

Tóm tắt: N-EMOS trong miền tuyến tính và bão hòa

$$I_d = \mu_n C_{ox} \frac{W}{L} \cdot \left(V_{GS} - V_{TN} - \frac{V_{DS}}{2} \right) \cdot V_{DS}$$

Với $V_{DS} \ll V_G - V_{TN}$

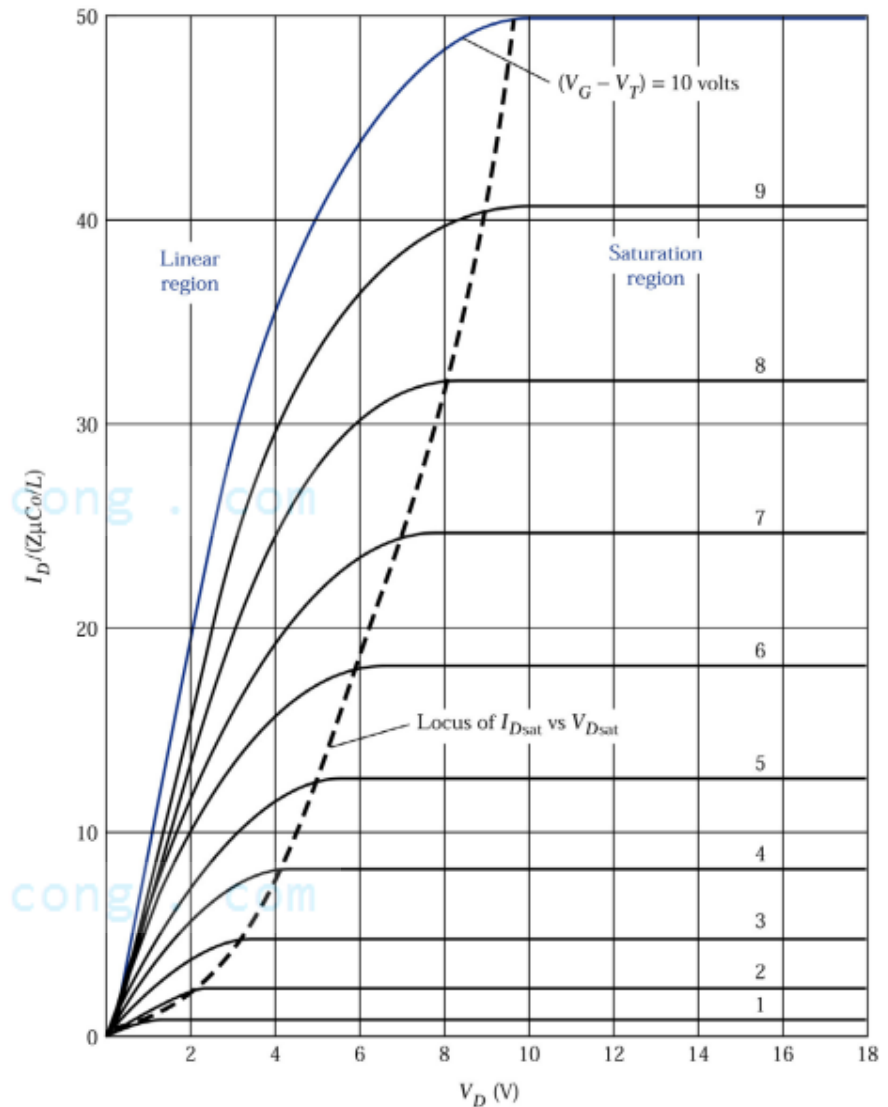
Dòng máng trong miền tuyến tính

$$I_d = \mu_n C_{ox} \frac{W}{2L} \cdot (V_{GS} - V_{TN})^2$$

Với $V_{DS} \geq V_G - V_{TN}$

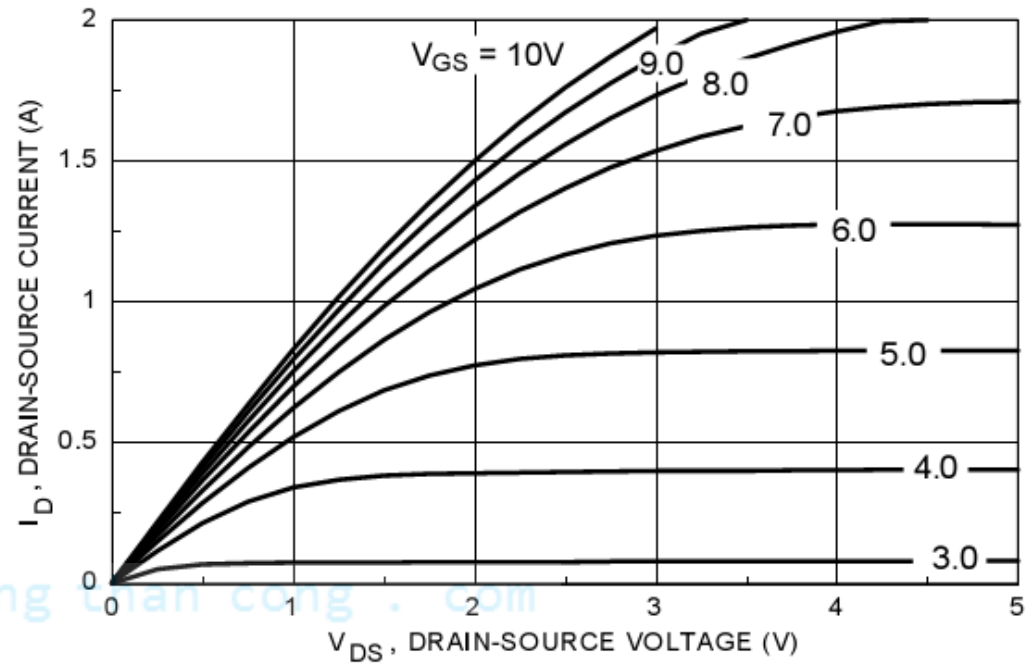
Dòng máng trong miền bão hòa

$V_{TN} = V_{TH}$ của N-EMOS

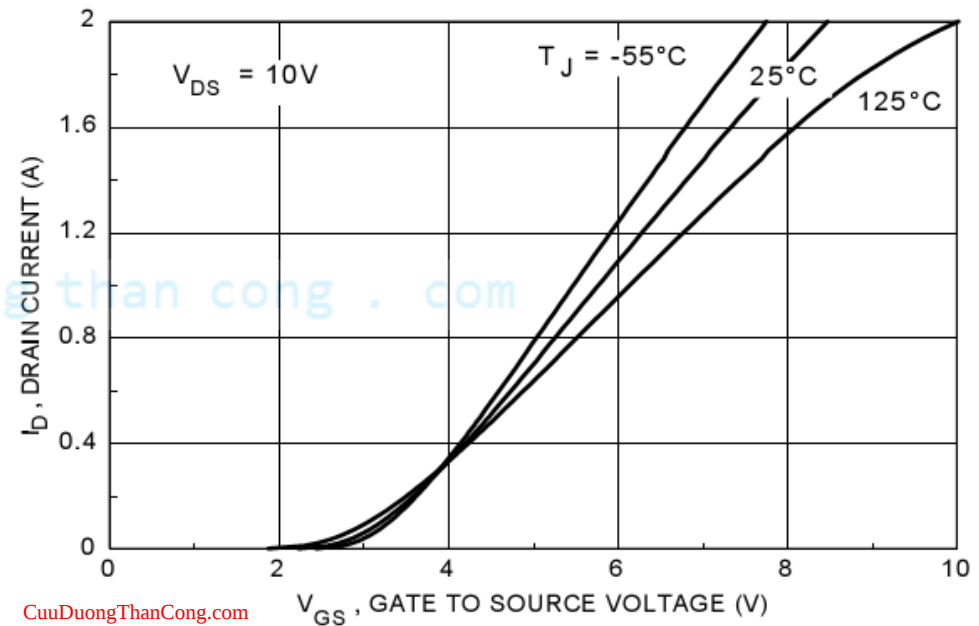


TD: Đặc tuyến I-V của N-EMOS
2N7000 / 2N7002 / NDS7002A
 với $V_{TN}=2.1V$

Đặc tuyến ra $I_D=f(V_{DS})$ khi $V_{GS}=\text{const}$



Đặc truyền đạt $I_D=f(V_{GS})$ khi $V_{DS}=\text{const}$

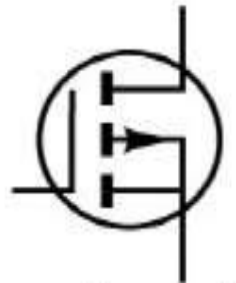


MOSFET loại giàu và loại nghèo

- **MOSFET loại giàu** (Enhancement MOSFET):
Khi MOSFET không có kênh dẫn với $V_G=0$, còn được gọi là chế độ giàu, ta đặt vào điện áp ở cổng để tạo nên kênh dẫn (ON). Đây là loại MOSFET thường dùng trong IC.
- **MOSFET loại nghèo** (Enhancement MOSFET):
Khi MOSFET phải có kênh dẫn với $V_G=0$, còn được gọi là chế độ nghèo, ta đặt vào điện áp ở cổng để làm tắt kênh dẫn (OFF).

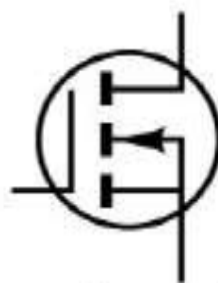
Các ký hiệu của MOSFET

Enhancement MOS



p channel

P-EMOS



n channel

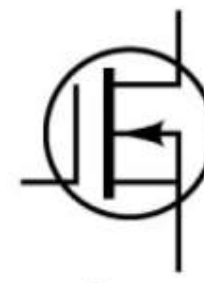
N-EMOS

Depletion MOS



p channel

P-DMOS

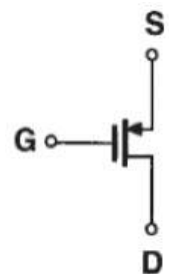
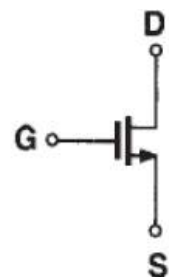


n channel

N-DMOS



Tóm tắt đặc tuyến các loại MOSFET



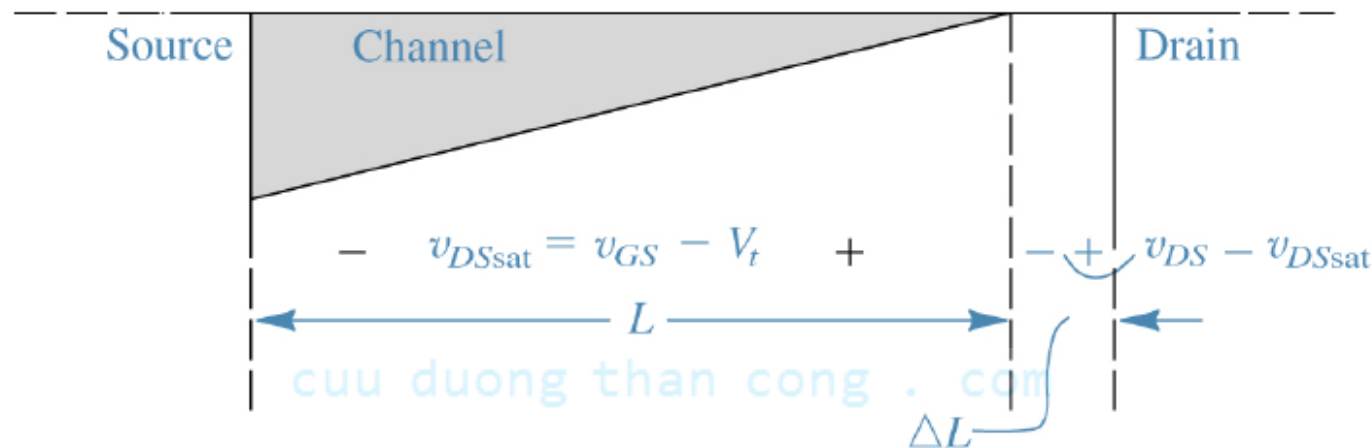
Type	Cross Section	Output Characteristics	Transfer Characteristics
n-Channel Enhancement (Normally Off)			
n-Channel Depletion (Normally On)			
p-Channel Enhancement (Normally Off)			
p-Channel Depletion (Normally On)			

Một số đặc tính không lý tưởng

- Điều chế chiều dài kênh dẫn
(Channel-length modulation)
- Hiệu ứng thân (Body effect)
- Sự bão hòa vận tốc (Velocity saturation)

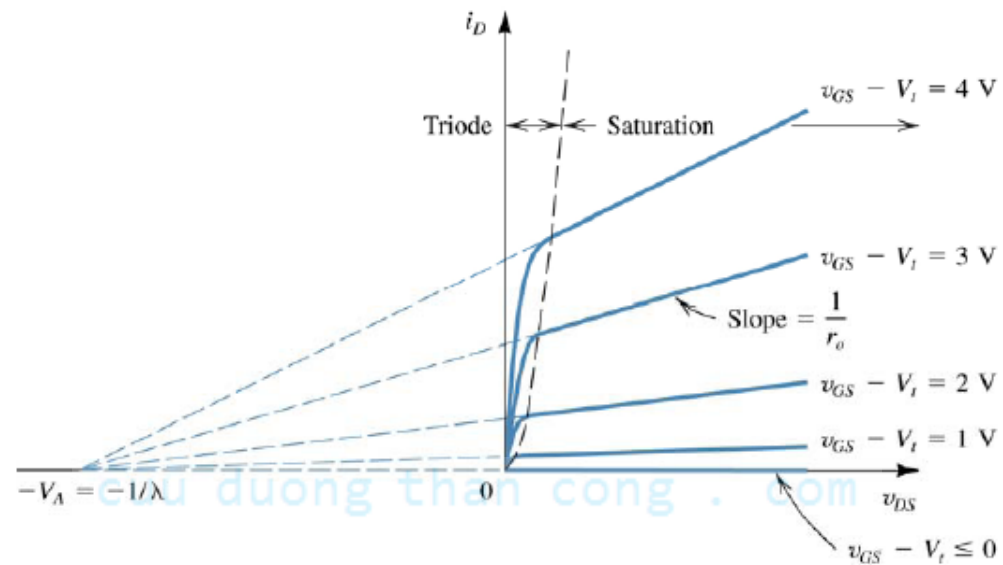
cuu duong than cong . com

Channel-Length Modulation



- Like the Early effect in BJTs, there is an effect in MOSFETs that causes drain current to vary with v_{DS} in saturation (finite output resistance)
- As v_{DS} increases beyond v_{DSsat} , the pinch off point moves away from the drain by ΔL and has the effect of changing the effective channel length in the transistor
 - Account for this effect with a $(1 + \lambda v_{DS})$ term in the saturation current equation

$$i_{D(sat)} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (v_{GS} - V_{th})^2 (1 + \lambda v_{DS})$$

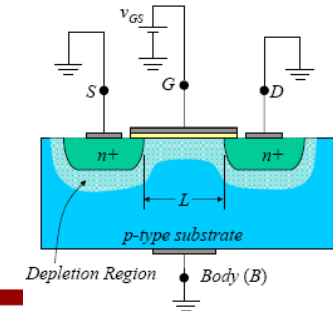


- Channel-length modulation makes the output resistance in saturation finite

$$r_o \equiv \left[\frac{\partial i_D}{\partial v_{DS}} \right]_{v_{GS}=\text{constant}}^{-1} \quad \Rightarrow \quad r_o = \left[\lambda \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (v_{GS} - V_{th})^2 \right]^{-1} \cong [\lambda I_D]^{-1}$$

$$r_o \equiv \frac{V_A}{I_D}$$

Body Effect



- So far, we have been ignoring the substrate (or bulk or body) of the transistor and assumed that it is tied to the source. However, we cannot always make that assumption.
 - In integrated circuits, the body is common to many MOS transistors and is connected to the most negative (positive) supply for nMOS (pMOS) transistors.
- The resulting reverse-bias voltage between the source and substrate affects device operation.
 - Reverse bias will widen the depletion region and reduces channel depth – which can be modeled as changing the threshold voltage

$$V_t = V_{t0} + \gamma \left[\sqrt{2\phi_f + V_{SB}} + \sqrt{2\phi_f} \right]$$

where V_{t0} is the threshold voltage when $V_{SB}=0$, ϕ_f is a physical parameter, γ is a fabrication-process parameter...

$$\gamma = \frac{\sqrt{2qN_A\epsilon_{si}}}{C_{ox}}$$

γ is typically $0.5\text{-}V^{1/2}$

- As V_{SB} increases, V_t increases which affects the transistor's i-v characteristics

Temperature Effects

- V_t and mobility $\mu_{n,p}$ are sensitive to temperature
 - V_t decreases by 2-mV for every 1°C rise in temperature
 - mobility $\mu_{n,p}$ decreases with temperature
- Overall, increase in temperature results in lower drain currents

cuu duong than cong . com

Velocity Saturation

- So far, the saturation current equation is quadratic with overdrive voltage ($V_{GS} - V_{th}$) and said to obey the “square law” which is valid for long channel length ($> 1\text{-}\mu\text{m}$) devices
- As transistor dimensions decrease, gate oxide gets thinner and there is a higher vertical and horizontal electrical field that the electrons moving through the channel experience
 - Causes electrons to bounce up to the oxide (more scattering) and saturates the velocity at which current flows across the channel
 - Can **approximate** the effect of velocity saturation with the following power-law equation for saturation current

$$i_{D(sat)} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (v_{GS} - V_{th})^\alpha$$

cuu duong than cong . com

α ranges from 1 to 2 depending on process technology (transistor length)

- This approximation is not rigorous, but convenient to use. More accurate models of the velocity saturation equation can be found in more advanced courses that cover MOS devices and circuits

Một số đặc tính không lý tưởng của MOSFET (Xét N-EMOS ở miền bão hòa)

- **Điều chế chiều dài kênh dẫn:** tương tự hiệu ứng Early trong BJT, khi tăng V_{DS} thì điểm nghẹt dịch chuyển về miền nguồn, dẫn đến chiều dài kênh dẫn hiệu dụng nhỏ hơn hay dòng I_D tăng lên. Khi đó phương trình dòng điện máng có dạng

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TN})^2 (1 + \lambda V_{DS})$$

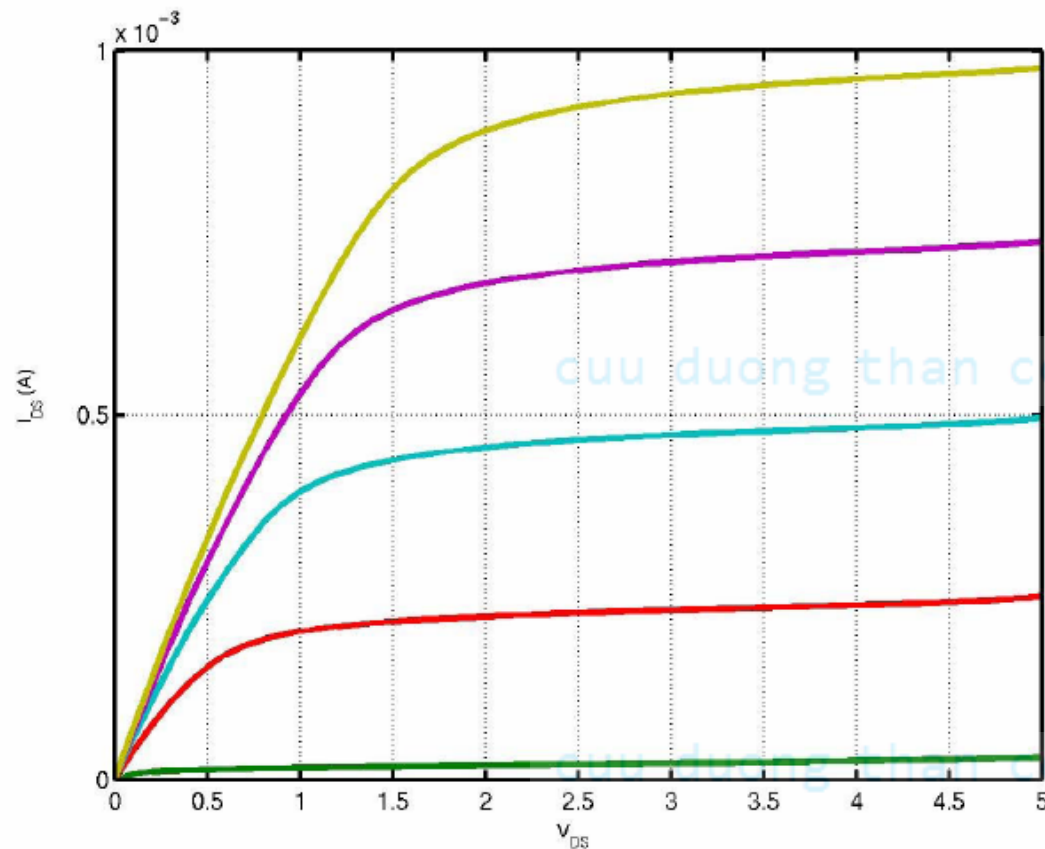
với $\lambda = 1/V_A$ và V_A là điện áp Early

- **Hiệu ứng thân:** khi tăng V_{SB} làm điện áp ngưỡng V_{TN} tăng $\Rightarrow$ ảnh hưởng đặc tuyến I-V.
- **Ảnh hưởng của nhiệt độ:** khi T tăng $\Rightarrow V_{TN}$ và độ linh động giảm $\Rightarrow$ dòng I_D giảm
- **Sự bão hòa vận tốc:** khi kích thước transistor giảm, độ dày làm oxide mỏng hơn $\Rightarrow$ vận tốc điện tử bão hòa và lúc phương trình dòng I_D :

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TN})^\alpha$$

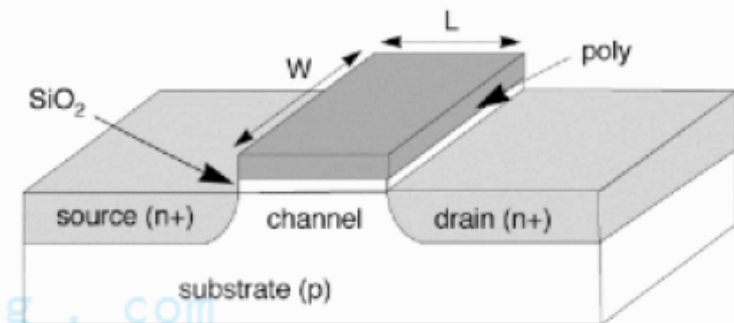
với $\alpha=1 \rightarrow 2$, tùy theo công nghệ.

Real nMOS i-V Curve



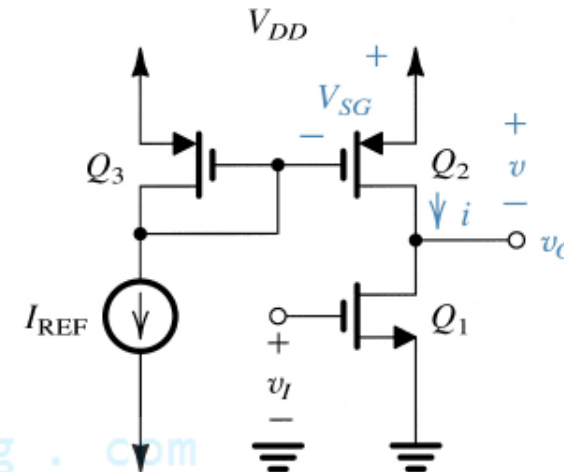
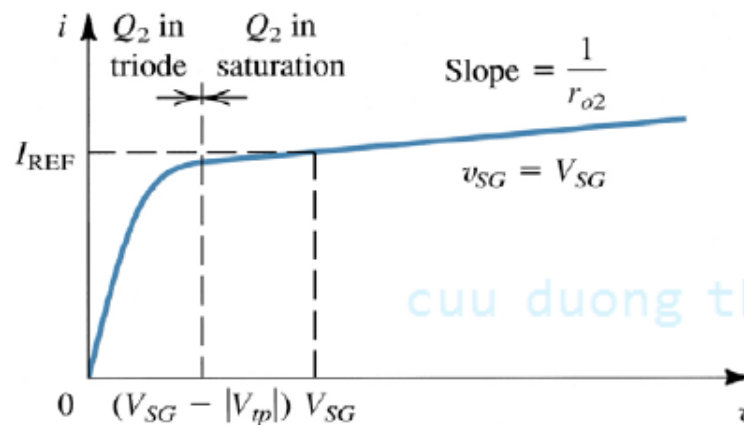
- i-v curves of nMOS transistor in 0.5- μm CMOS technology
- $W = 2.5\text{-}\mu\text{m}$, $L = 0.6\text{-}\mu\text{m}$

n-type transistor:

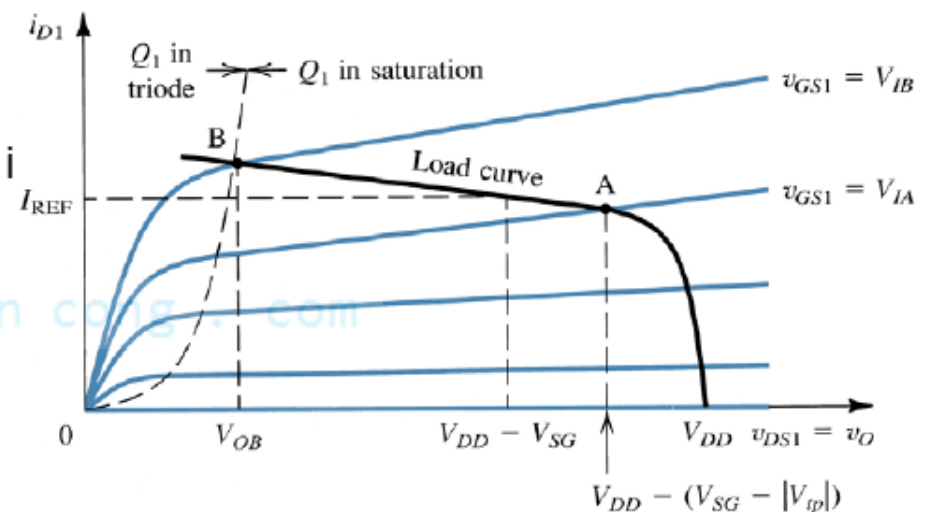


Common-Source Amplifier w/ Active Load

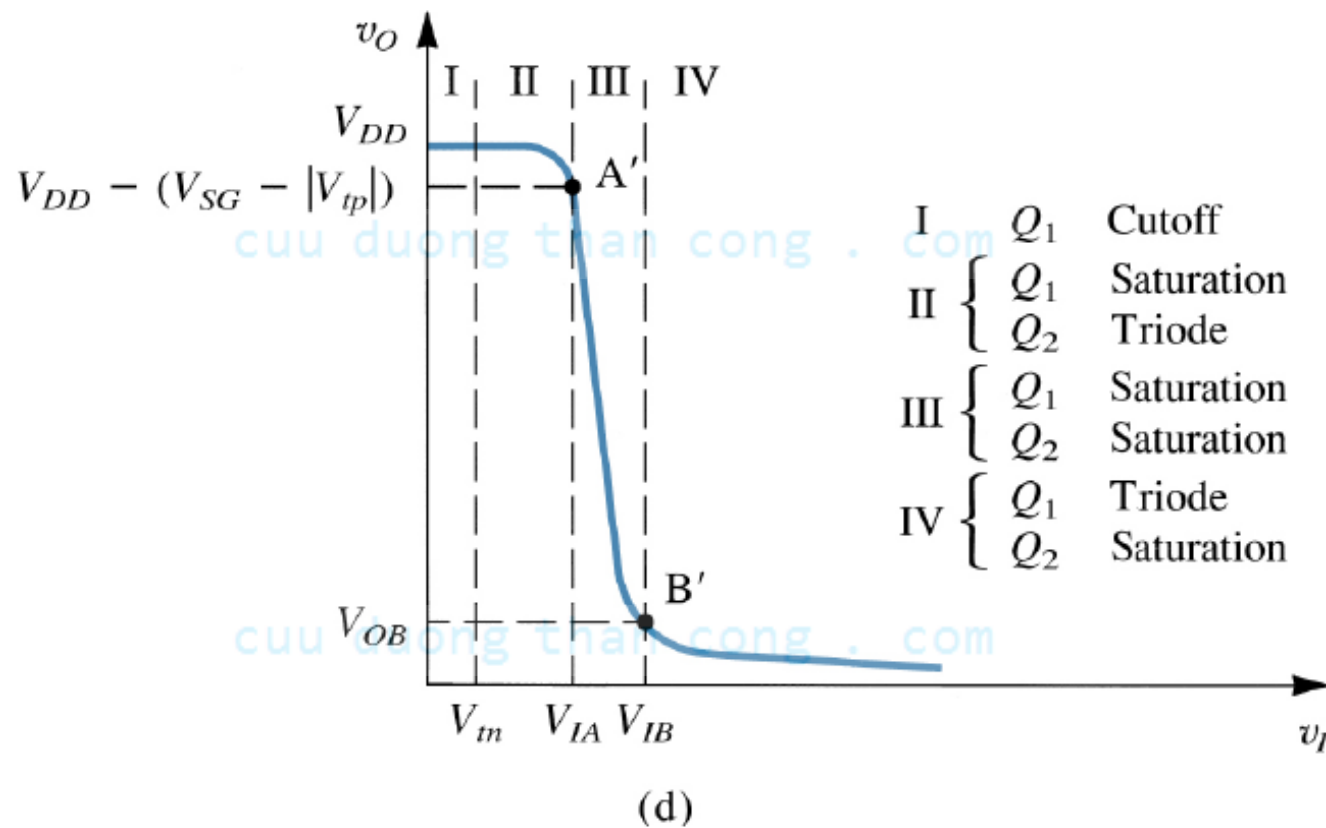
- Active load – uses current source instead of load resistor



- Biasing so that Q_2 in saturation and i output resistance is the effective resistor load for Q_1
- Combine the I-V curves $\rightarrow$

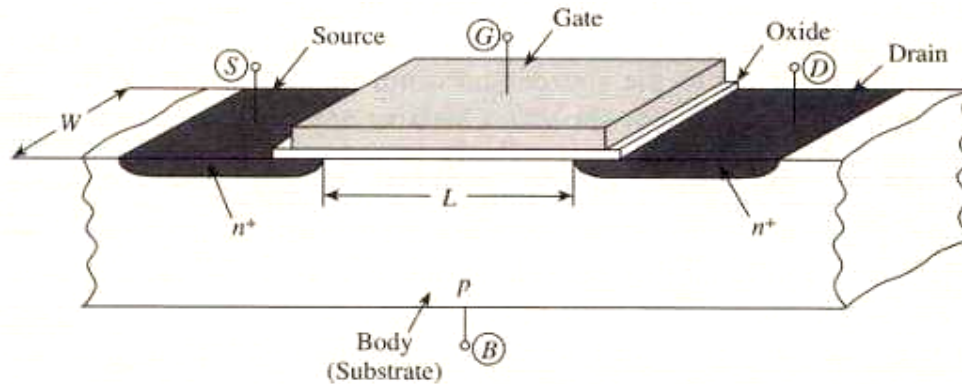


- Look at the Voltage Transfer Characteristics (VTC) of the circuit
 - Operates like a high-gain amplifier (steep slope) in region III



The Field Effect Transistor

A more Advanced Look at the n-channel MOS (enhancement type): NMOS



Large-Signal Operation

Quantity	Formula
Drain current forward active	$I_D = \frac{\mu C_{ox}}{2} \frac{W}{L} (V_{GS} - V_t)^2$
Drain current in the triode region	$I_D = \mu C_{ox} \frac{W}{L} [(V_{GS} - V_t)V_{DS} - \frac{1}{2} V_{DS}^2]$
Threshold voltage	$V_t = V_{t0} + \gamma \left[\sqrt{2\phi_f + V_{SB}} - \sqrt{2\phi_f} \right]$
Threshold voltage parameter	$\gamma = \frac{1}{C_{ox}} \sqrt{2q\epsilon N_A}$
Oxide capacitance	$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = 17.5 \times 10^{-4} \text{ pF}/\mu^2 \text{ for } t_{ox} = 0.02 \mu$

Small-Signal Forward-Active Operation

Top-gate transconductance	$g_m = \mu C_{ox} \frac{W}{L} (V_{GS} - V_t)$ $= \sqrt{2I_D \mu C_{ox} \frac{W}{L}}$
Transconductance/current ratio	$\frac{g_m}{I_D} = \frac{2}{V_{GS} - V_t}$
Body-effect transconductance	$g_{mb} = \frac{\gamma}{2\sqrt{2\phi_f + V_{SB}}} g_m$
Channel-length modulation parameter	$\lambda = \frac{1}{L_{eff}} \frac{dX_d}{dV_{DS}}$
Output resistance	$r_o = \frac{1}{\lambda I_D}$ $= \frac{L_{eff}}{I_D} \left(\frac{dX_d}{dV_{DS}} \right)^{-1}$
Effective channel length	$L_{eff} = L_{drwn} - 2L_d - X_d$
Maximum gain	$g_m r_o = \frac{1}{\lambda} \frac{2}{V_{GS} - V_t}$ $= \frac{2V_A}{V_{GS} - V_t}$ $= \frac{2L_{eff}}{V_{GS} - V_t} \left(\frac{dX_d}{dV_{DS}} \right)^{-1}$

These are some of the basis of IC designs. W/L is important in Scaling transistor sizes. Latest Technology has L = 45 nm