

**Hướng dẫn ôn thi LT môn Dụng cụ bán dẫn
HK 1 – Năm học: 2014-2015**

Chú ý:

- Đề thi trắc nghiệm khoảng 50 câu
- Số đề: 4 đến 8
- Đề thi không cho sử dụng tài liệu

Trọng tâm ôn thi của các chương như sau:

Chương 4. Chuyển tiếp PN (phần còn lại)

• **Điện dung chuyển tiếp PN**

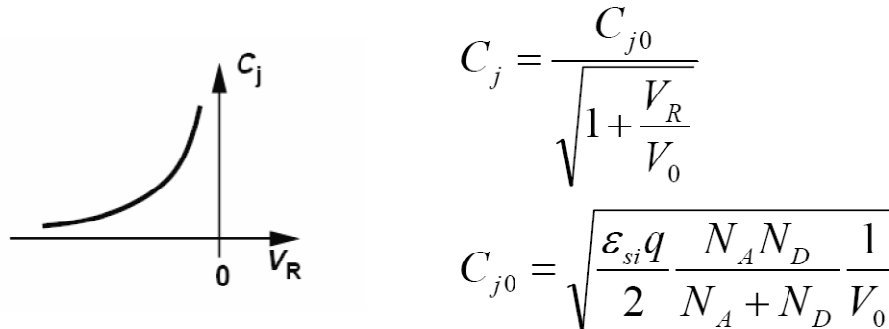
- o với phân cực ngược: có điện dung chuyển tiếp C_J [F] (J =junction=chuyển tiếp)

$$C_J = A C_{dep} = \frac{\epsilon_s A}{W}$$

với A : diện tích mặt cắt ngang; ϵ_s hằng số điện môi bán dẫn; W : bề rộng miền nghèo.

- o với phân cực thuận: có điện dung khuếch tán C_D [F]: $C_D \cong \frac{I_D \tau_T}{V_T}$

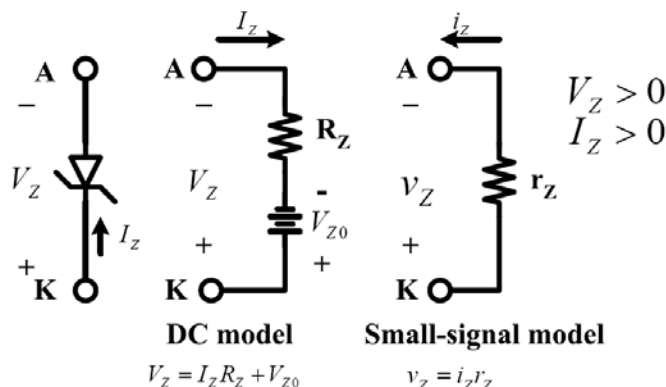
với τ_T là thời gian đi qua diode (còn gọi là thời gian chuyển tiếp [T =transit])



Hình 4.6 Điện dung của diode chuyển tiếp PN với phân cực ngược $V_A = -V_R$ (chú ý : $V_0 = V_{bi}$)

3. Các loại diode khác

- o **Diode chỉnh lưu**: diode tiếp xúc PN thông thường
 - chỉnh lưu: cho dòng điện đi qua 1 chiều (từ anode sang cathode)
 - thường thì có điện áp đánh thủng lớn.
- o **Diode ổn áp (còn gọi là diode Zener)**
 - Sử dụng hiệu ứng đánh thủng Zener và/hoặc hiệu ứng đánh thủng thác lũ.
 - Xem lại ảnh hưởng của nhiệt độ? Với điện áp đánh thủng $V_{BR} = -V_Z$ (với $V_Z > 0$) thì $TCV_Z < 0$ với đánh thủng Zener và $TCV_Z > 0$ với đánh thủng thác lũ.
- o **Diode biến dung (varicap hay varactor)**
 - ứng dụng điện dung tiếp xúc $C_J = f(V_R)$, khi V_R tăng thì C_J giảm (phân cực ngược $V_A = -V_R < 0$) (xem hình 4.6).



Hình 4.7 Mô hình diode Zener với phân cực ngược $V_R > V_{Z0}$

o **Diode Schottky**

- tạo từ tiếp xúc M-S (M=Metal=kim loại và S=Semiconductor=bán dẫn), thí dụ M là platinum và S là bán dẫn loại N hình thành diode Schottky với Anode bên M và cathode bên S.
- Hãy kể thêm các kim loại khác ngoài Platinum?
- có rào thế nhỏ ($\sim$ từ 0.2V đến 0.3V)
- hoạt động tắt/dẫn ở tốc độ chuyển mạch cao.

4. Các ứng dụng của diode

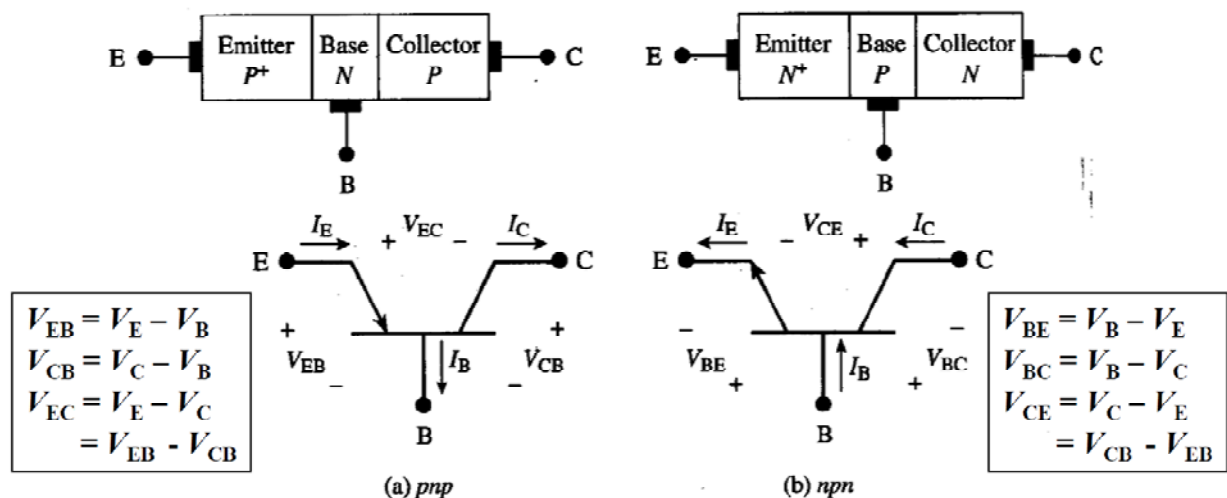
- Mạch chỉnh lưu: bán kỳ, toàn sóng, và chỉnh lưu. Sơ đồ và các công thức
- Mạch lọc sóng gợn bằng tụ. Cách tính tụ với các mạch chỉnh lưu đi với mạch lọc.
- Mạch xén dùng diode thường và Zener.
- Mạch ổn áp dùng diode Zener.
- ...

Chương 5. BJT (TRANSISTOR TIẾP XÚC LƯỢNG CỰC)

- Tại sao có tên gọi lưỡng cực? tiếp xúc (hay chuyển tiếp hay mối nối)?
- Cấu tạo BJT loại NPN và loại PNP. Ký hiệu j_E, j_C . Nồng độ tạp chất của các miền?

Ký hiệu:

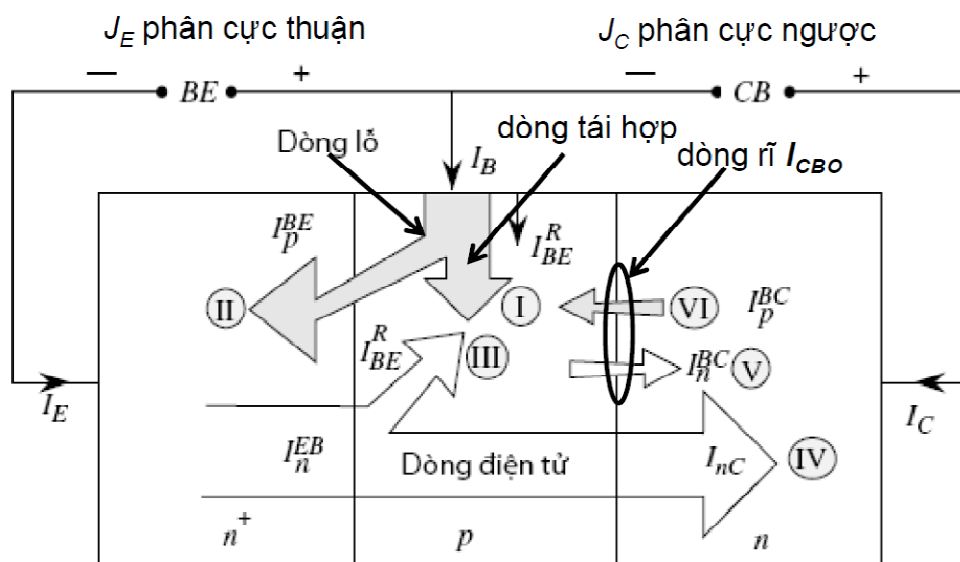
- E = Emitter = Phát, B = Base = Nền, và C = Collector = Thu
- j_E : chuyển tiếp PN giữa B và E
- j_C : chuyển tiếp PN giữa B và C



$$I_E = I_B + I_C$$

Hình 5.1 Ký hiệu của hai loại BJT: (a) PNP và (b) NPN.

- Ở ký hiệu BJT thì mũi tên ở cực E có ý nghĩa gì?
- Các dòng điện trong BJT ở chế độ tích cực [thuận]:



- **Dòng điện rỉ (rò)** I_{CBO} (dòng từ C đến B với E hở mạch) và I_{CEO} (dòng từ C đến E với B hở mạch) trong BJT (nhiệt độ tăng dẫn đến dòng rỉ tăng)
 - o cấu hình CB: $I_C = \alpha I_E + I_{CBO}$
 - o cấu hình CE: $I_C = \beta I_B + I_{CEO}$ với $I_{CEO} = I_{CBO}/(1-\alpha)$
- Hệ số vận chuyển miền nền B, hiệu suất cực phát γ_E ? Chúng phụ thuộc như thế nào với các tham số của BJT (nồng độ tạp chất, bề rộng miền nền)?
BJT tốt có B, γ_E tiến gần tới 1.

o **Hiệu suất cực phát γ_E**

$$\gamma_e \approx 1 - \frac{I_{EP}}{I_{EN}} = 1 - \frac{p_{e0}}{n_{b0}} \frac{D_E}{D_B} \frac{W_B}{L_E}$$

với $p_{e0} = n_i^2/N_{DE}$; $n_{b0} = n_i^2/N_{AB}$; W_B = bề rộng miền nền
 D_E = hệ số khuếch tán của hạt dẫn thiểu số tại E = D_p
 D_B = hệ số khuếch tán của hạt dẫn thiểu số tại B = D_n
 L_E = chiều dài khuếch tán của hạt dẫn thiểu số tại E = L_p

Thay các biểu thức trên vào γ_e , ta có dạng biểu diễn khác của γ_e như sau:

$$\gamma_e \approx 1 - \frac{N_{AB}}{N_{DE}} \frac{D_p}{D_n} \frac{W_B}{L_p}$$

o **Hệ số vận chuyển miền nền B**

$$B \approx 1 - \frac{1}{2} \left(\frac{W_{Bn}}{L_B} \right)^2$$

với W_{Bn} = bề rộng miền nền phần trung hòa $\approx W_B$
 L_B = chiều dài khuếch tán của hạt dẫn thiểu số tại B = L_n

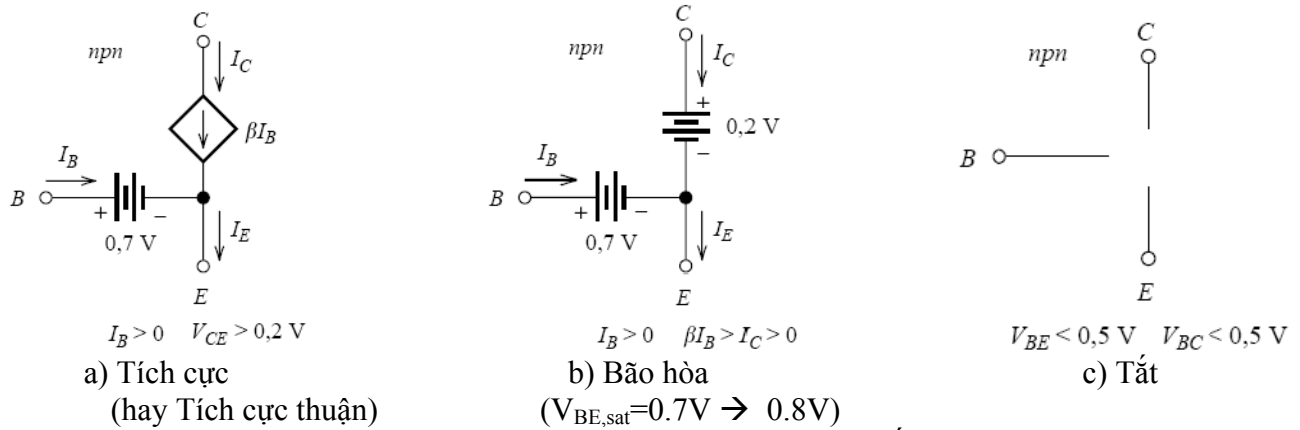
- độ lợi dòng điện cực nền chung $\alpha = B \cdot \gamma_E = I_C/I_E$
- độ lợi dòng điện cực phát chung $\beta = \alpha / (1 - \alpha) = I_C/I_B$
 - o β cao cần: tốc độ tái hợp thấp ở miền nền và thời gian chuyển tiếp (đi qua) ngắn ở miền nền
 - o β phụ thuộc vào I_C và nhiệt độ.
 - o β DC: $\beta_{dc} = I_C/I_B$ với I_C, I_B là dòng DC
 - o β AC: $\beta_{ac} = \Delta I_C / \Delta I_B$ với $\Delta I_C, \Delta I_B$ là sự thay đổi của I_C, I_B do dòng tín hiệu AC
- **Các chế độ làm việc** (chế độ hoạt động) của BJT và đặc điểm của chúng:

Phân cực cho		Chế độ hoạt động	Cách nhận biết với BJT NPN
J_E	J_C		
Thuận	Ngược	Tích cực [thuận] (khuếch đại)	$V_{BE} = V_{ON}$ và $V_{CE} > V_{CEsat}$ $I_C = \beta I_B$
Ngược	Ngược	Tắt (OFF)	$V_{BE}, V_{BC} \leq 0$ (thực tế $V_{BE}, V_{BC} < V_{ON}$) $I_C = I_B = I_E = 0$
Thuận	Thuận	Bão hòa (ON)	$V_{BE} = V_{BEsat}$ và $V_{CE} = V_{CEsat}$ $I_C < \beta I_B$
Ngược	Thuận	Tích cực ngược	Tương tự với chế độ tích cực thuận nhưng hoán đổi chức năng E và C: $I_E = \beta_R I_B$ ($\beta_R \ll \beta$) và $I_C = I_B + I_E$

Chú ý:

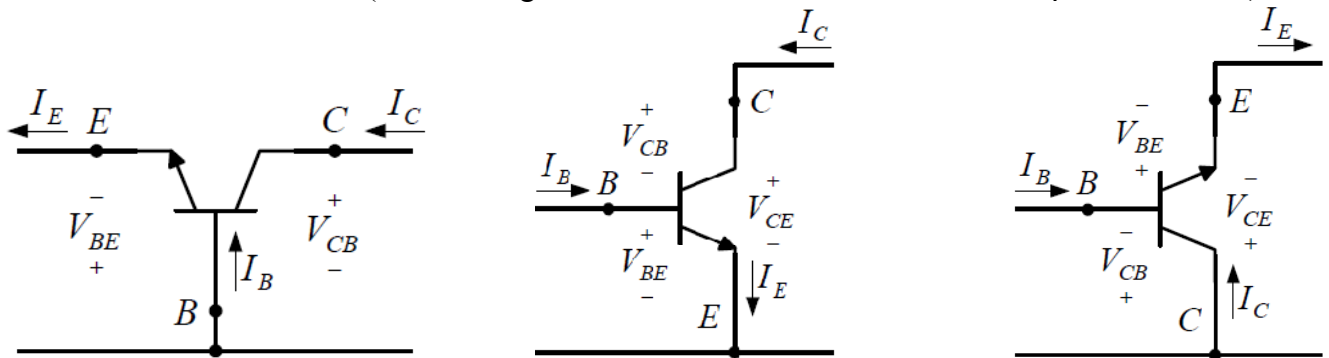
- o Với BJT NPN Si thì $V_{ON} = 0.7V$, $V_{BEsat} = 0.7-0.8V$, và $V_{CEsat} \approx 0.2V$.
- o β_R là β ở chế độ tích cực ngược.
- o SV tự suy ra cách nhận biết với BJT PNP.

- Mô hình tín hiệu lớn của BJT** (TD: xét BJT Si loại NPN)



Hình 5.2 Mô hình tín hiệu lớn của BJT SI loại NPN trong các chế độ hoạt động khác nhau

- Các cấu hình mắc BJT:** (Như 1 mạng 4 cực với: Bên trái là mạch vào và Bên phải là mạch ra)



Hình 5.3 Các cách mắc BJT NPN trong mạch

Hãy nêu đặc điểm của các cách mắc với ứng dụng khóa điện tử và mạch khuếch đại?

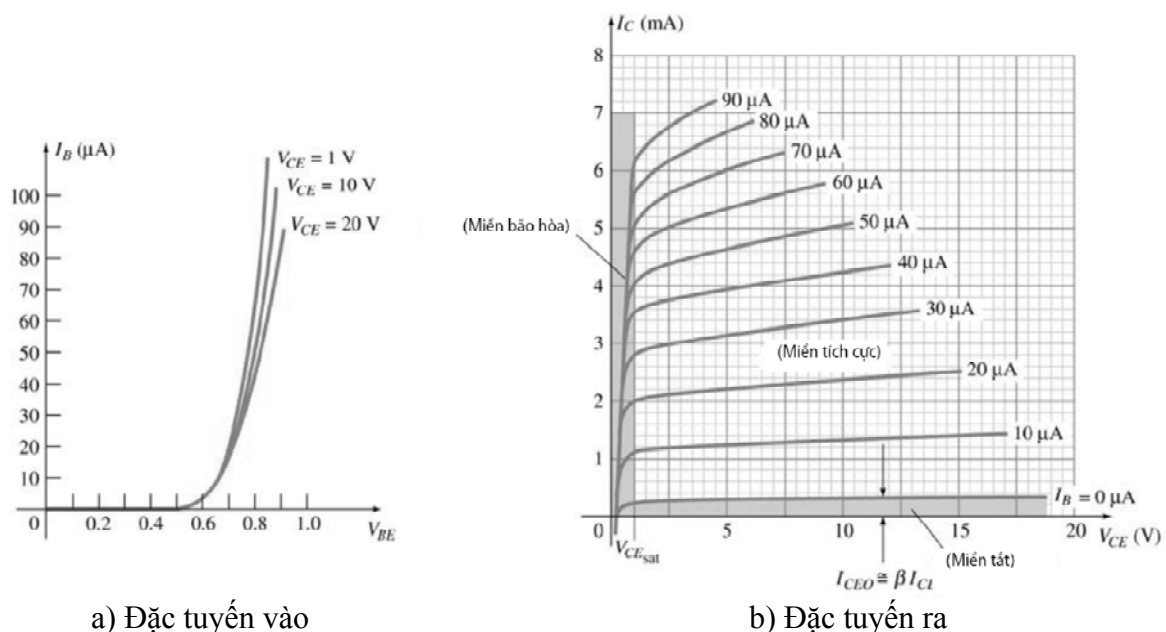
- Phương trình các dòng điện trong BJT NPN ở chế độ tích cực thuận:**

Dòng [điện ở cực] thu I_C	Dòng [điện ở cực] nền I_B	Dòng [điện ở cực] phát I_E
$I_C = I_S \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \approx I_S e^{\frac{V_{BE}}{V_T}} = \beta I_B = \alpha I_E$	$I_B = \frac{I_C}{\beta} = \frac{I_S}{\beta} e^{\frac{V_{BE}}{V_T}} = \frac{I_E}{\beta + 1}$	$I_E = \frac{I_C}{\alpha} = \frac{I_S}{\alpha} e^{\frac{V_{BE}}{V_T}} = (\beta + 1) I_B$

với I_S là dòng bão hòa: $I_S = \frac{qA_E D_n n_i^2}{N_A W_{Bn}}$

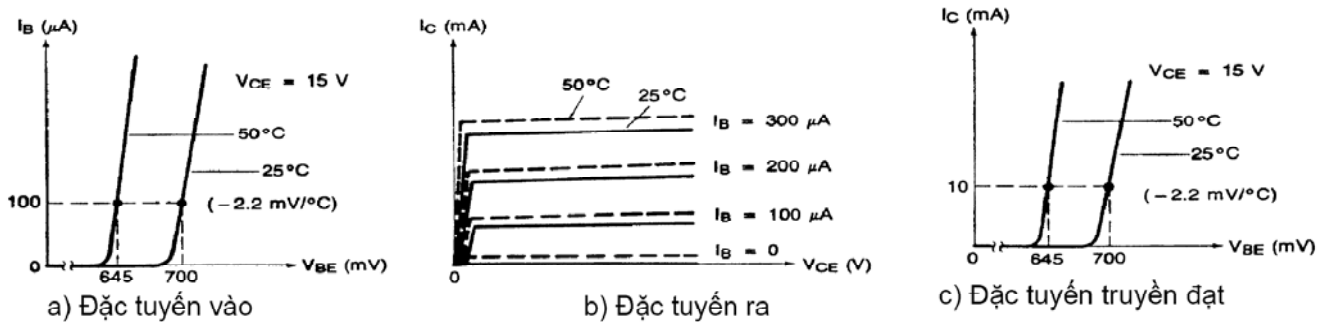
trong đó A_E là diện tích mặt cắt ngang tại miền phát, N_A là nồng độ tạp chất Acceptor tại miền nền và W_{Bn} là bề rộng phân trung hòa trong miền nền.

- Các Đặc tuyến Volt-Ampere của BJT** (còn gọi là các đặc tuyến I-V)



Hình 5.4 Các đặc tuyến vào và ra của BJT NPN mắc CE

• **Ảnh hưởng của nhiệt độ đến các đặc tuyến của BJT** (TD với BJT NPN)



- **Điều chế miền nền:** Xét BJT NPN phân cực ở chế độ tích cực [thuận] (khuếch đại), nếu V_{CE} tăng $\Rightarrow$ bề rộng hiệu dụng của miền nền giảm $\Rightarrow$ dòng I_C tăng. Nghĩa là bề rộng miền nền bị thay đổi (điều chế) khi điện áp V_{CE} thay đổi.

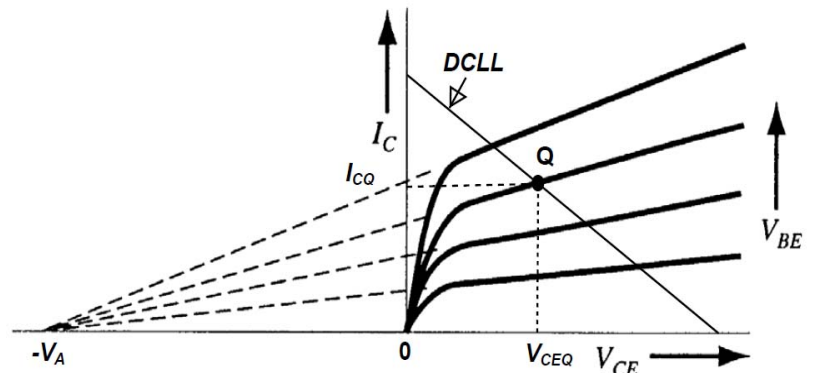
- **Điện áp Early V_A :** giá trị điện áp tại điểm nằm trên trục hoành mà mọi đường cong I_C theo V_{CE} (ở phần khuếch đại) đều đi qua điểm này.

Độ dốc tại điểm làm việc Q:

$$\frac{dI_C}{dV_{CE}} = \frac{I_{CQ}}{V_{CEQ} + V_A} \approx \frac{I_{CQ}}{V_A} \text{ (nếu } V_A \gg V_{CEQ})$$

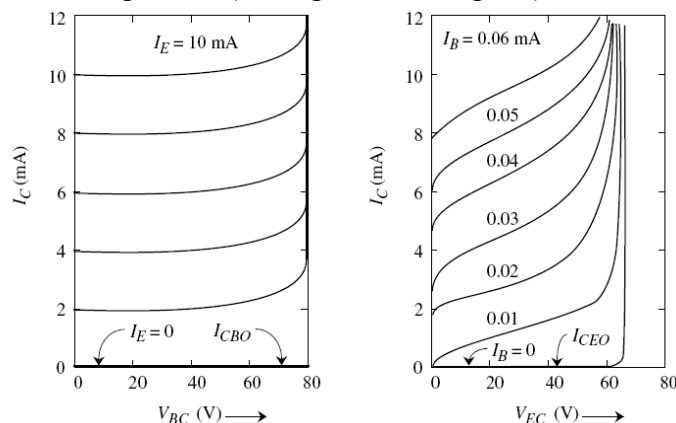
Khi đó dòng I_C :

$$I_C = I_S e^{\frac{V_{BE}}{V_T}} \left(1 + \frac{V_{CE}}{V_A} \right)$$



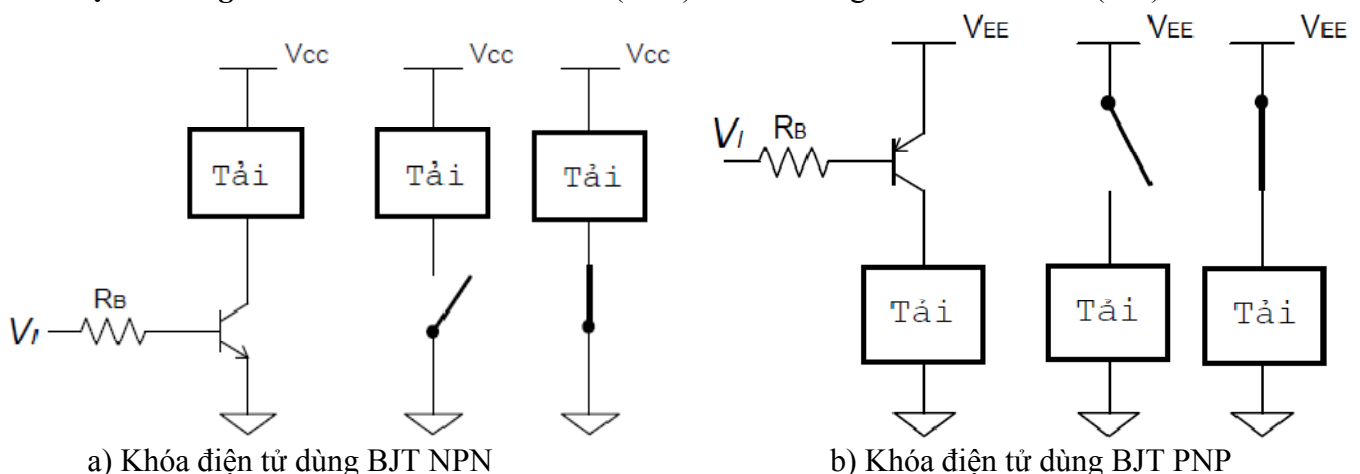
- **Điện áp đánh thủng BV_{CBO} , BV_{CEO}**

- o CB: BV_{CBO} không bị ảnh hưởng bởi I_E .
- o CE: BV_{CEO} bị ảnh hưởng bởi I_B (I_B tăng thì BV_{CEO} giảm)



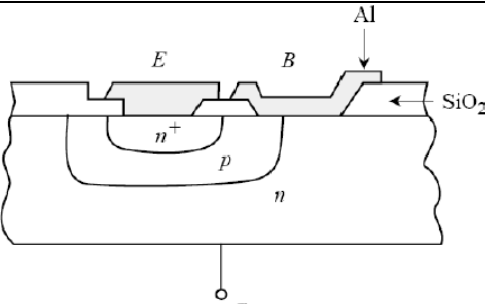
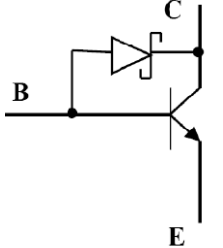
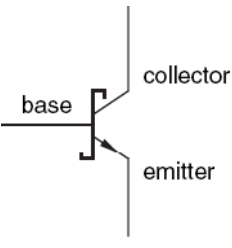
Hình 5.5 Một thí dụ về đánh thủng ở BJT

- **Khóa điện tử dùng BJT:** Khóa mở với BJT tắt (OFF) – Khóa đóng với BJT bão hòa (ON)

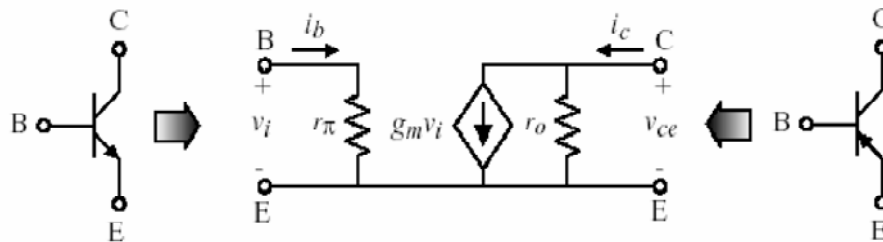


- ❖ Do điện tích chứa tại J_C khi bão hòa nên giảm tốc độ chuyển mạch của BJT khi chuyển từ bão hòa sang tắt. v_P

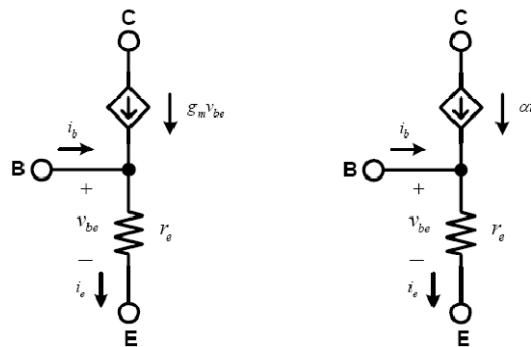
- **Transistor Schottky:**

Cấu tạo	Mạch tương đương	Ký hiệu	Đặc điểm
			• Giảm điện tích chứa tại J_C khi BJT bão hòa vì diode Schottky có V_{ON} nhỏ hơn V_{ON} của chuyển tiếp PN. • Tăng tốc độ chuyển mạch

- **Mô hình tín hiệu nhỏ của BJT (tần số trung bình)**

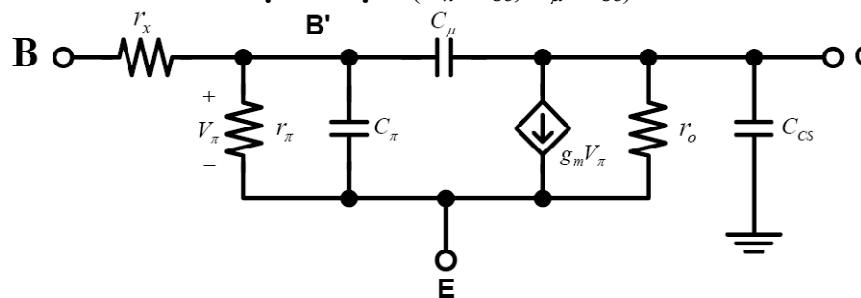


(a) Mô hình π (mắc CE)



(b) Mô hình T (nếu không bỏ qua r_o được thì sẽ có điện trở r_o nối từ C đến E)

- **Mô hình tần số cao của BJT ở chế độ tích cực:** ($C_\pi = C_{be}$, $C_\mu = C_{bc}$)



Tần số cắt f_T (khi đó $\beta_{ac} = 1$)

$$f_T = f_\alpha = \frac{1}{2\pi\tau_{ec}} \approx \beta_0 f_\beta = \frac{g_m}{2\pi(C_\pi + C_\mu)}$$

Với τ_{ec} là thời gian điện tử đi từ E đến C với BJT NPN mắc CB ở chế độ tích cực, f_α và f_β là các tần số mà ở đó α_{ac} và β_{ac} giảm đi $\sqrt{2}$ so với trị số ở tần số thấp, và $\beta_0 (\approx \beta_{dc} = h_{FE})$ là giá trị của β_{ac} ở tần số thấp.

- **Mô hình tham số h.** Các tham số h cho BJT cấu hình CE:

$$h_{ie} \equiv r_\pi \equiv r_{be} \equiv \left. \frac{\partial v_{BE}}{\partial i_B} \right|_{V_{CE}} = \left. \frac{v_{be}}{i_b} \right|_{V_{CE}=0} = \beta_{ac} r'_e = \beta \frac{V_T}{I_{EQ}} \approx \beta \frac{V_T}{I_{CQ}}$$

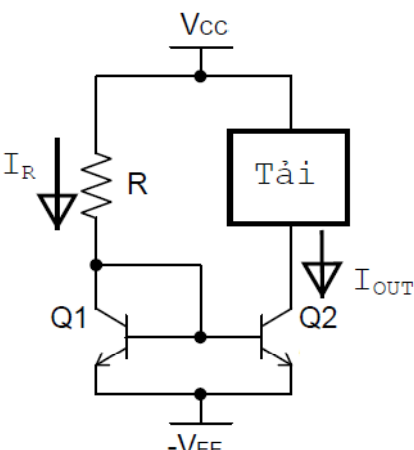
$$h_{fe} \equiv \beta_{ac} \equiv \left. \frac{\partial i_c}{\partial i_b} \right|_{V_{CE}} = \left. \frac{i_c}{i_b} \right|_{V_{CE}=0} = g_m h_{ie}$$

$$g_m = \frac{I_{CQ}}{V_T} = \frac{1}{r_e}$$

$$r_c \equiv r_o \equiv \frac{1}{h_{oe}} \equiv \left. \frac{\partial V_{CE}}{\partial i_c} \right|_{I_B} = \left. \frac{V_{ce}}{i_c} \right|_{i_b=0} = \frac{V_A + V_{CEQ}}{I_{CQ}} \approx \frac{V_A}{I_{CQ}} \quad (\text{nếu } V_A \gg V_{CEQ})$$

Chú ý: $\beta_{dc} = h_{FE} = I_C/I_B$; $\beta_{ac} = h_{fe} = i_c/i_b$ (ở tần số thấp và trung bình: $\beta_{ac} \approx \beta_{dc} = \beta$)

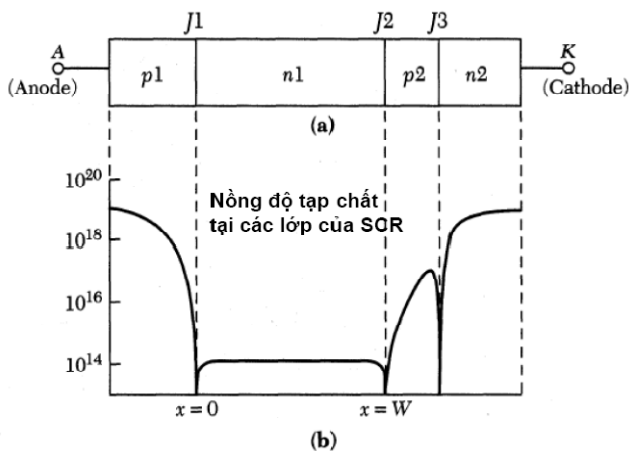
• **Gương dòng điện (Current mirror)**

Mạch	Điều kiện để là nguồn dòng	Phương trình
	- Q1 và Q2 có đặc tính giống nhau - Q1 (được mắc như diode) và Q2 luôn ở chế độ tích cực thuận (dẫn đến có giới hạn với điện trở tải R_L) Chú ý: V_{CC} và $V_{EE} > 0$	Dòng hằng qua tải: $I_{OUT} = \frac{I_R}{1 + \frac{2}{\beta}}$ với dòng chuẩn I_R: $I_R = \frac{V_{CC} + V_{EE} - V_{BE}}{R}$ Giới hạn của tải R_L là $0 \leq R_L < \frac{V_{CC} + V_{EE} - V_{CE,sat}}{I_{OUT}}$

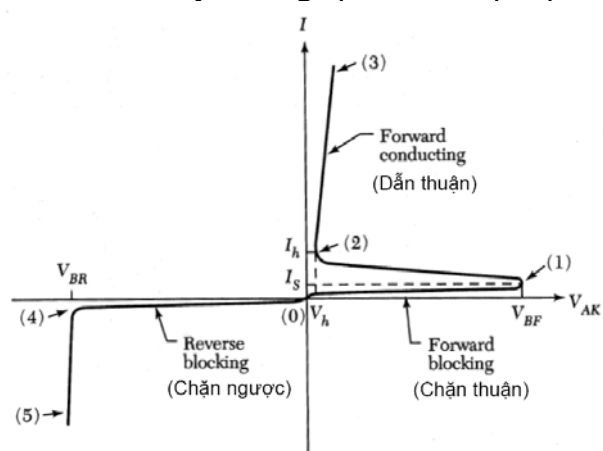
• **Thyristor**: là dụng cụ công suất quan trọng, được thiết kế để xử lý **điện áp cao và dòng điện lớn**.

o **Diode 4 lớp p-n-p-n**

Cấu tạo



Đặc tuyến dòng-áp của diode p-n-p-n

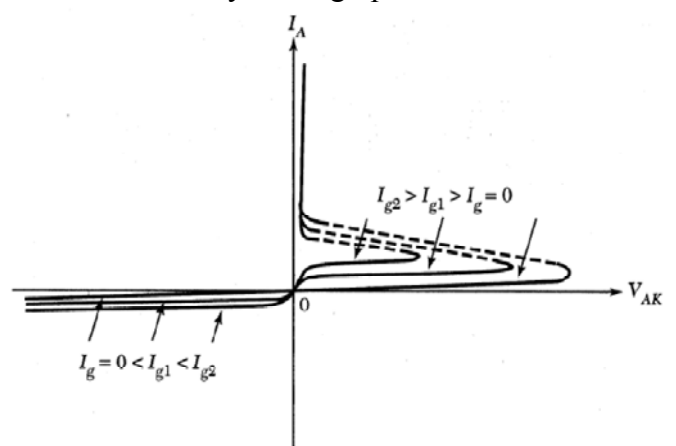
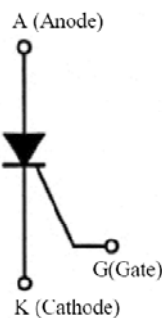
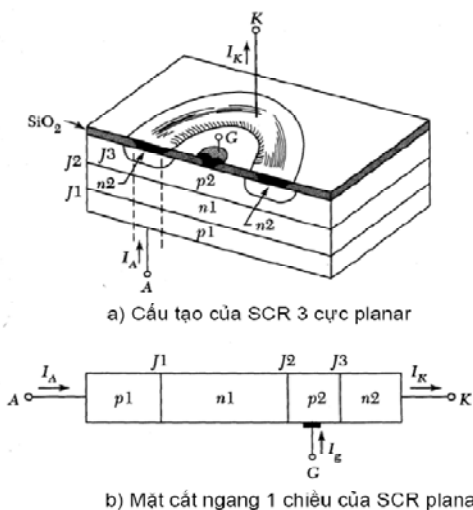


o **SCR (Silicon Controlled Rectifier)**

Cấu tạo của SCR

Ký hiệu

Đặc tuyến dòng-áp của SCR



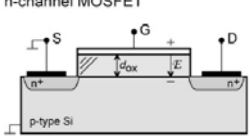
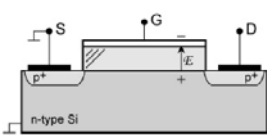
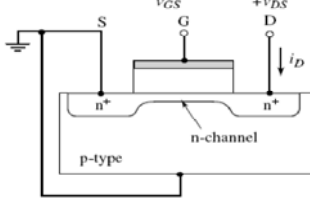
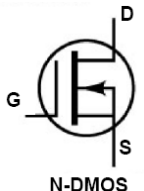
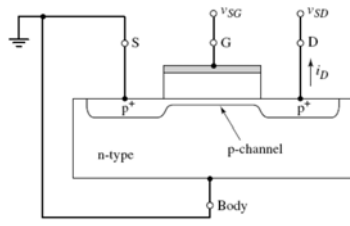
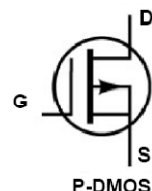
Khi dòng cổng I_G tăng thì điện áp chuyển V_{BF} giảm

Chương 7. MOSFET

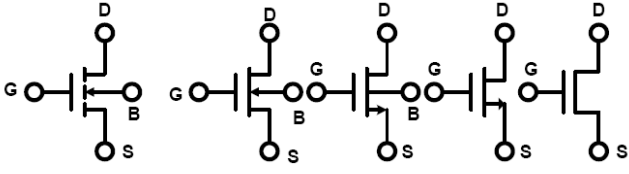
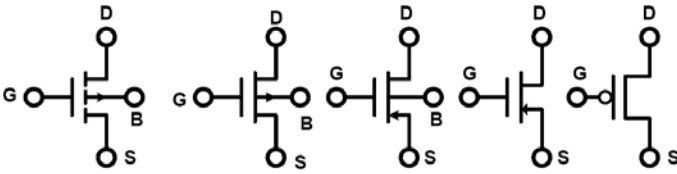
MOSFET có cách lý giữa cổng và kênh dẫn bằng lớp cách điện, thành phần cơ bản là kim loại (M=Metal), lớp cách điện SiO_2 (O=Oxide), và bán dẫn (S=semiconductor).

Các tên gọi khác của MOSFET là MISFET (Metal-Insulator-Semiconductor), IGFET (Insulated Gate FET). Nguyên tắc hoạt động của FET là dòng hạt dẫn từ nguồn điện máng được điều khiển bằng điện áp cổng hay điện trường cổng. Điện trường này làm cảm ứng điện tích trong bán dẫn ở giao tiếp bán dẫn-oxide.

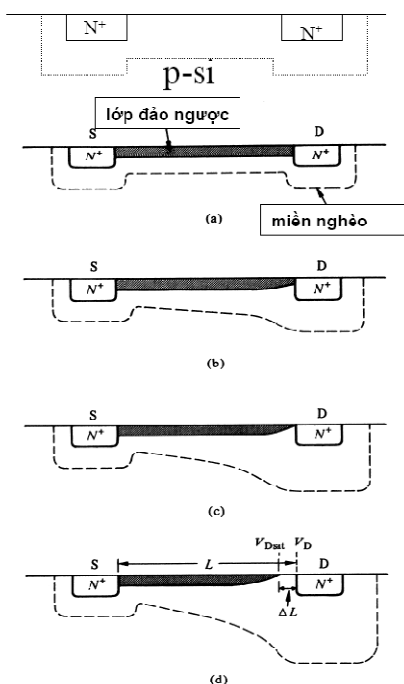
• Cấu trúc của MOSFET

MOSFET loại giàu (còn gọi là MOSFET kênh dẫn chưa lấp sẵn)	MOSFET loại nghèo (còn gọi là MOSFET kênh dẫn lấp sẵn)
n-channel MOSFET  - Kênh điện tử (loại N) được cảm ứng trong bán dẫn P do các điện tích dương ở cổng. - Gọi tắt là N-EMOS (MOSFET loại giàu kênh N) p-channel MOSFET  - Kênh lỗ (loại P) được cảm ứng trong bán dẫn N do các điện tích âm ở cổng. - Gọi tắt là P-EMOS (MOSFET loại giàu kênh P)	N-DMOS   P-DMOS  

Ký hiệu của EMOS:

N-EMOS	P-EMOS
 n ← p IEEE standard symbol	 n ← p IEEE standard symbol

• Mô tả định tính hoạt động của N-EMOS



$0 < V_G < V_{TN}$; V_{DS} nhỏ hoặc lớn
không có kênh dẫn, không dòng điện
(V_{TN} = điện áp ngưỡng MOS kênh N)

$V_G > V_{TN}$; $V_{DS} \approx 0$
 I_D tăng theo V_{DS}

$V_G > V_{TN}$; V_{DS} nhỏ, > 0
 I_D tăng theo V_{DS} , nhưng tốc độ tăng bị giảm

$V_G > V_{TN}$; $V_{DS} \approx$ nghẹt (pinch-off)
 I_D đạt đến giá trị bão hòa, $I_{D,sat}$
Giá trị V_{DS} được gọi là $V_{DS,sat}$

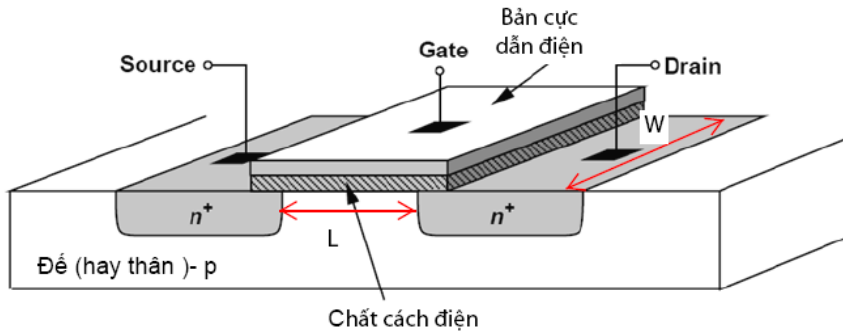
$V_G > V_{TN}$; $V_{DS} > V_{DS,sat}$
 I_D không tăng nữa, miền bão hòa.

- **Các chế độ phân cực cho tụ MOS trong N-EMOS**

Có 3 chế độ phân cực quan trọng cho tụ MOS:

- o **Tích lũy lỗ** (Hole Accumulation): khi phân cực âm giữa kim loại và bán dẫn ($V_{GS} < V_{FB} < 0$, V_{FB} là điện áp dải phẳng), tại giao tiếp giữa bán dẫn và cách điện sẽ có tích lũy lỗ.
- o **Nghèo** (Depletion): khi phân cực dương giữa kim loại và bán dẫn ($V_{FB} < V_{GS} < V_{TN}$, $V_{TN} > 0$), tại giao tiếp giữa bán dẫn và cách điện sẽ các lỗ bị đẩy xuống dưới hình thành miền nghèo.
- o **Đảo ngược** (Inversion): khi phân cực dương giá trị đủ lớn giữa kim loại và bán dẫn ($V_{GS} > V_{TN}$), các điện tử được hút vào miền gần giao tiếp giữa bán dẫn và chất cách điện, do đó hình thành nên kênh dẫn điện tử (kênh N) trong bán dẫn P.

- **Cấu trúc N-EMOS**



Ký hiệu mạch



Vật liệu dùng cho bản cực dẫn điện thường dùng Silicon đa tinh thể được pha tạp chất rất nhiều (còn được gọi là polysilicon hay polySi hay poly). Vật liệu cách điện thông thường là SiO_2 . Để tối thiểu hóa dòng điện giữa miền thân và miền S(source)/D(drain) người ta thường nối miền thân với cực nguồn.

- **Sự tạo thành kênh dẫn trong N-EMOS**

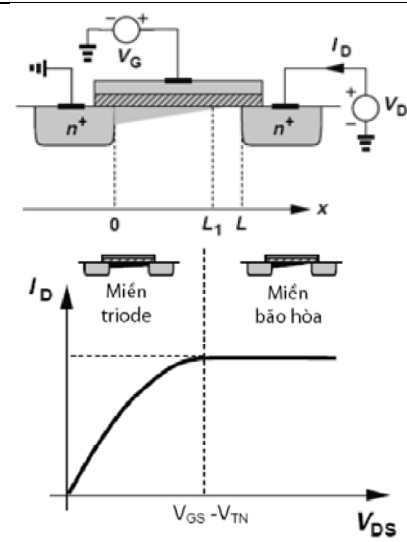
Sự tạo thành kênh dẫn N	Sự ảnh hưởng của chiều dài kênh dẫn L và chiều rộng kênh dẫn W
	• MOSFET được gọi là MOSFET kênh ngắn khi $L < 1\mu\text{m}$, trong IC người ta thường dùng MOSFET kênh ngắn. • MOSFET được gọi là MOSFET kênh dài khi $L > 1\mu\text{m}$

- **Các miền hoạt động của N-EMOS với $V_{GS} > V_{TN}$**

Miền tuyến tính (miền Ohm hay miền triode) ($V_{DS} < V_{DS,sat} = V_{GS} - V_{TN}$)	Miền bão hòa (hay miền tích cực) ($V_{DS} \geq V_{DS,sat} = V_{GS} - V_{TN}$)
	• Ở cạnh miền bão hòa $V_{DS} = V_{DS,sat}$ • Ở miền bão hòa $V_{DS} \geq V_{DS,sat}$

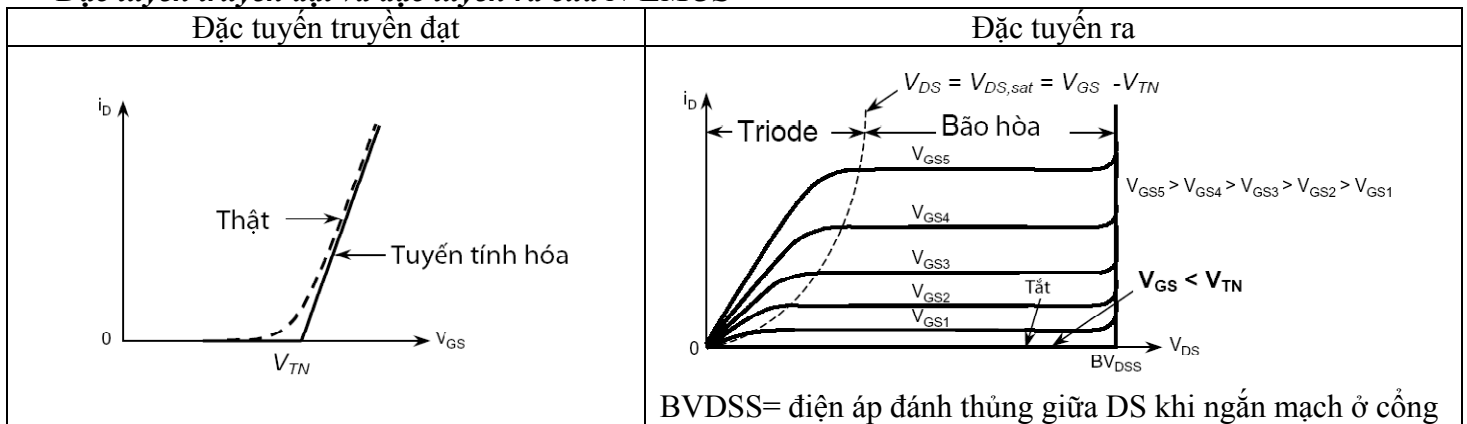
Khi V_{DS} nhỏ (có thể hoán đổi D và S) thì có thể xem như điện trở được điều khiển bằng áp ($V_{GS3} > V_{GS2} > V_{GS1} > V_{TN}$)

$$R_{ON} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TN})}$$



Khi V_{DS} tăng, điểm nghẹt di chuyển về phía cực nguồn

• Đặc tuyến truyền đạt và đặc tuyến ra của N-EMOS



Các phương trình dòng điện máng I_D trong N-EMOS

- $V_{GS} \leq V_{TN}$: miền tắt $\Rightarrow I_D = 0$
- $V_{GS} > V_{TN}$: ($V_{DS,sat} = V_{GS} - V_{TN}$)
 - o $0 < V_{DS} < V_{DS,sat}$: miền tuyến tính (còn gọi là miền Ohm, miền điện trở hay miền triode)

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TN}) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

với μ_n là độ linh động điện tử và C_{ox} là điện dung lớp cách điện trên 1 đơn vị diện tích.
 Nếu $|V_{DS}| \ll 2(V_{GS} - V_{TN})$ thì I_D là hàm tuyến tính theo V_{DS} : (có thể hoán đổi D và S)

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TN}) V_{DS}$$

Khi đó MOSFET tương đương với điện trở R_{DS} (R_{ON} hay $R_{DS,ON}$): $R_{DS} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TN})}$

- o $V_{DS} \geq V_{DS,sat} = V_{GS} - V_{TN}$: miền bão hòa (còn gọi là miền tích cực) với $I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TN})^2$

Người ta thường ứng dụng miền tắt và tuyến tính cho MOSFET làm khóa điện tử, và miền bão hòa cho MOSFET làm phần tử khuếch đại tín hiệu hoặc làm nguồn dòng.

• Một số đặc tính không lý tưởng của MOSFET (Xét N-EMOS ở miền bão hòa)

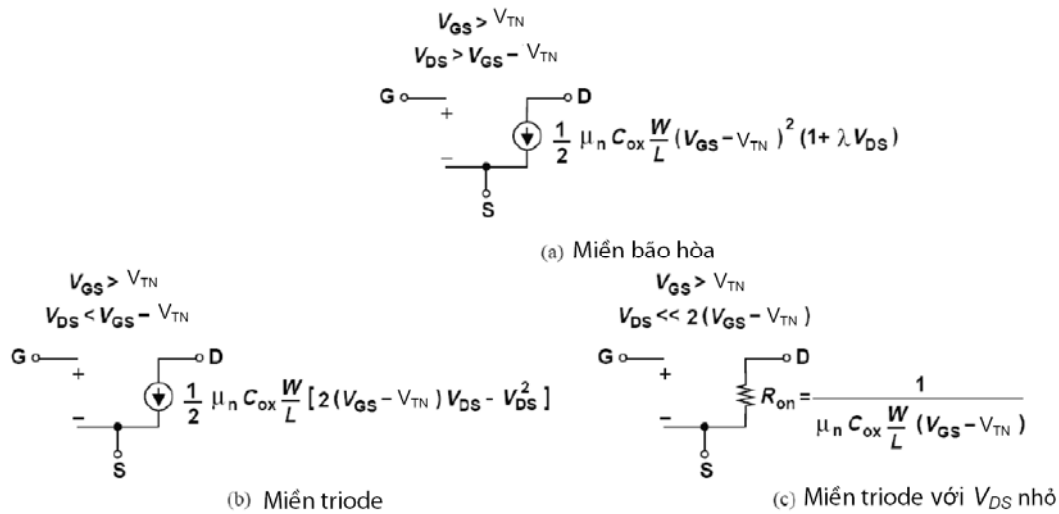
- o Điều chế chiều dài kênh dẫn: tương tự hiệu ứng Early trong BJT, khi tăng V_{DS} thì điểm nghẹt dịch chuyển về miền nguồn, dẫn đến chiều dài kênh dẫn hiệu dụng nhỏ hơn hay dòng I_D tăng lên. Khi đó phương trình dòng điện máng có dạng

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TN})^2 (1 + \lambda V_{DS}) \text{ với } \lambda = \frac{1}{V_A} \text{ và } V_A \text{ là điện áp Early}$$

- o Hiệu ứng thân: khi tăng V_{SB} làm điện áp ngưỡng V_{TN} tăng $\Rightarrow$ ảnh hưởng đặc tuyến I-V.

- o Ảnh hưởng của nhiệt độ: khi T tăng $\Rightarrow V_{TN}$ và độ linh động giảm $\Rightarrow$ dòng I_D giảm
- o Sự bão hòa vận tốc: khi kích thước transistor giảm, độ dày lớp oxide mỏng hơn $\Rightarrow$ vận tốc điện tử bão hòa và lúc phương trình dòng I_D : $I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TN})^\alpha$ với $\alpha=1 \rightarrow 2$, tùy theo công nghệ.

• **Mô hình tín hiệu lớn của N-EMOS** (dùng để phân tích tổng quát hay tính điểm tĩnh)



• **Mô hình tín hiệu nhỏ của N-EMOS** (khi N-EMOS làm việc ở miền bão hòa và $|v_{gs}| < 0.2(V_{GS} - V_{TN})$)

Mô hình π	Mô hình T	Tần số cao
Hỗ dẫn g_m: $g_m = \left. \frac{dI_D}{dV_{GS}} \right _Q = \frac{i_d}{v_{gs}} = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TN})$ Điện trở ra r_o: $r_o = \left. \frac{\partial V_{DS}}{\partial I_D} \right _Q = \frac{v_{ds}}{i_d} = \frac{V_A + V_{DSQ}}{I_{DQ}} \approx \frac{V_A}{I_{DQ}}$		Tần số cắt $f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})}$

- o Các cách mắc MOSFET: CS, CD và CG.
- o Các ứng dụng tiêu biểu của MOSFET là khóa analog, điện trở được điều khiển bằng áp, nguồn dòng và phân tử khuếch đại tín hiệu trong mạch khuếch đại.

• **Tóm tắt quan hệ dòng-áp của MOSFET**

NMOS	PMOS
Miền tắt ($V_{GS} \leq V_{TN}$): $I_D = 0$ Miền triode ($V_{GS} > V_{TN}$ và $0 \leq V_{DS} < V_{DS,sat}$) $I_D = K_n \left[(V_{GS} - V_{TN})V_{DS} - \frac{V_{DS}^2}{2} \right] \text{ với } K_n = \mu_n C_{ox} \frac{W}{L}$ Miền bão hòa ($V_{GS} > V_{TN}$ và $V_{DS} \geq V_{DS,sat}$) $I_D = \frac{K_n}{2} (V_{GS} - V_{TN})^2$ $g_m = K_n (V_{GSQ} - V_{TN}) = \sqrt{2K_n I_{DQ}}$ Điểm chuyển tiếp $V_{DS,sat} = V_{GS} - V_{TN}$ Loại giàu: $V_{TN} > 0$ Loại nghèo: $V_{TN} < 0$	Miền tắt ($V_{GS} \geq V_{TP}$): $I_D = 0$ Miền triode ($V_{GS} < V_{TP}$ và $0 \geq V_{DS} > V_{DS,sat}$) $I_D = K_p \left[(V_{GS} - V_{TP})V_{DS} - \frac{V_{DS}^2}{2} \right] \text{ với } K_p = \mu_p C_{ox} \frac{W}{L}$ Miền bão hòa ($V_{GS} < V_{TP}$ và $V_{DS} \leq V_{DS,sat}$) $I_D = \frac{K_p}{2} (V_{GS} - V_{TP})^2$ $g_m = -K_p (V_{GSQ} - V_{TP}) = \sqrt{2K_p I_{DQ}}$ Điểm chuyển tiếp $V_{DS,sat} = V_{GS} - V_{TP}$ Loại giàu: $V_{TP} < 0$ Loại nghèo: $V_{TP} > 0$