



ĐỀ THI CUỐI KỲ HỌC KỲ 1, 2012-2013

Ngày 22/12/2012 - Lớp Cao học K2012

Môn thi: THIẾT KẾ ASIC VÀ LỖI IP	Thời gian: 120 phút
SV:	MSSV:
<i>Sinh viên được phép tham khảo tài liệu; Sinh viên không được phép sử dụng máy vi tính, laptop</i>	
Sinh viên làm bài vào đề thi Đề thi có 8 trang	

- Bài 1:** (1.5đ) a) Hãy áp dụng **Coding Guideline** cho thiết kế IP vào đoạn code Verilog sau:
b) Hãy liệt kê các Guideline đã áp dụng được.

Code chưa áp dụng Guideline	Code áp dụng Guideline
<pre> module LCD_Controller (//Host Side iDATA,iRS, Start,oDone, CLK,RST_N, //LCD Interface LCD_DATA, LCD_RW, LCD_EN, LCD_RS); //Host Side input [7:0] iDATA; input iRS,Start; input CLK,RST_N; output reg oDone; //LCD Interface output [7:0] LCD_DATA; output reg LCD_EN; output LCD_RW; output LCD_RS; //Internal Register reg [4:0] Cont; reg [1:0] ST; reg preStart,mStart; //////////////////////////////////// //Only write to LCD, bypass iRS to LCD_RS assign LCD_DATA = iDATA; assign LCD_RW = 1'b0; assign LCD_RS = iRS; //////////////////////////////////// always@(posedge CLK or negedge RST_N) begin </pre>	

```

if(!RST_N)
begin
oDone <= 1'b0;
LCD_EN <= 1'b0;
prestart <= 1'b0;
mStart <= 1'b0;
Cont <= 0;
ST <= 0;
end
else
begin
///// Input Start Detect /////
preStart<= Start;
if({preStart,Start}==2'b01)
begin
mStart <= 1'b1;
oDone <= 1'b0;
end
////////////////////////////////////
if(mStart)
begin
case(ST)
0: ST <= 1; //Wait Setup
1: begin
LCD_EN <= 1'b1;
ST <= 2;
end
2: begin
if(Cont<16) //Clock divide
Cont <= Cont+1;
else
ST <= 3;
end
3: begin
LCD_EN <= 1'b0;
mStart <= 1'b0;
oDone <= 1'b1;
Cont <= 0;
ST <= 0;
end
endcase
end
end
end
endmodule

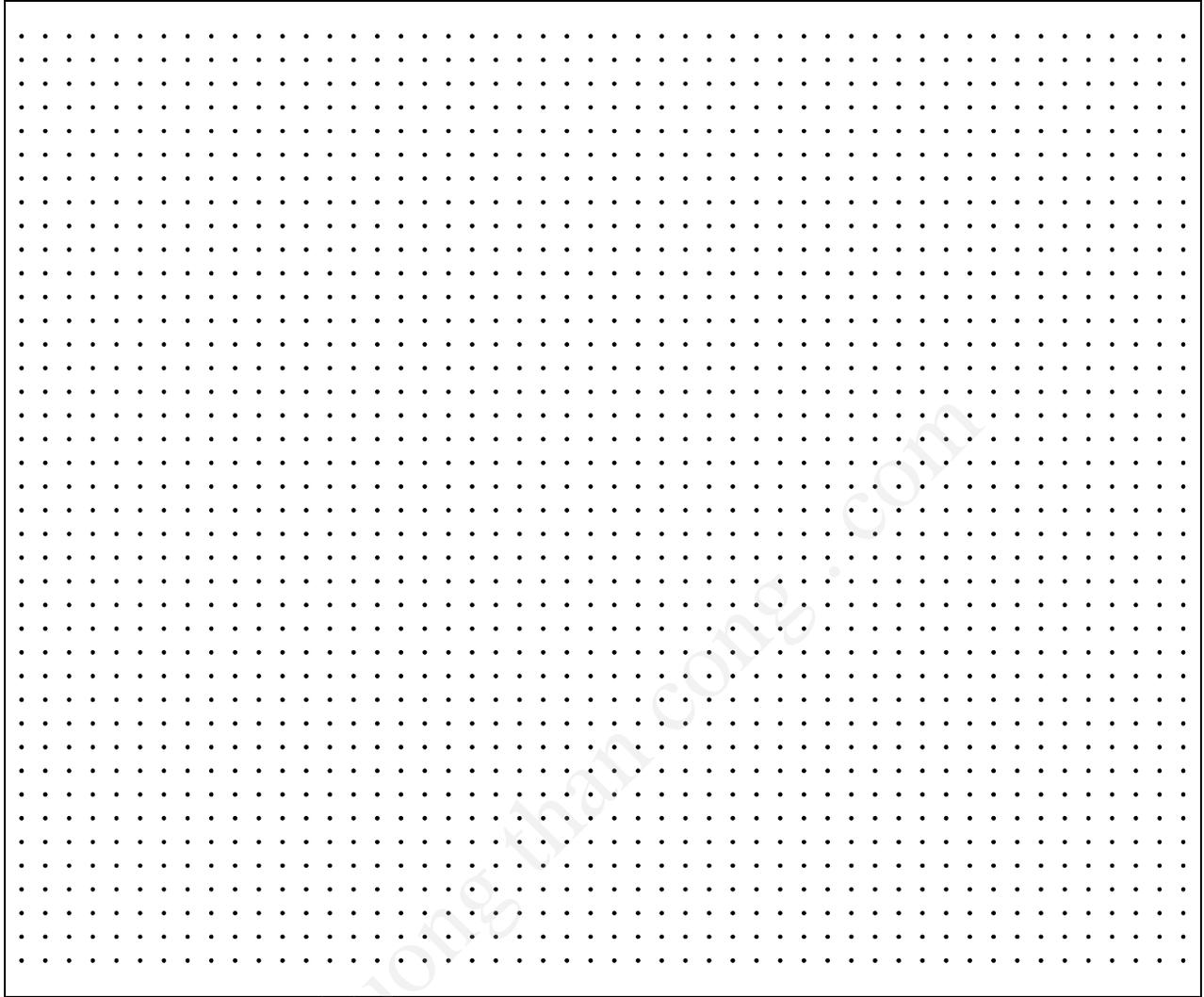
```

Liệt kê các Guideline đã áp dụng được	

Bài 2: (2đ) Hãy vẽ các cổng logic sau bằng stick diagram sử dụng công nghệ CMOS

4-input NAND	4-input NOR
3-input AND	3-input OR

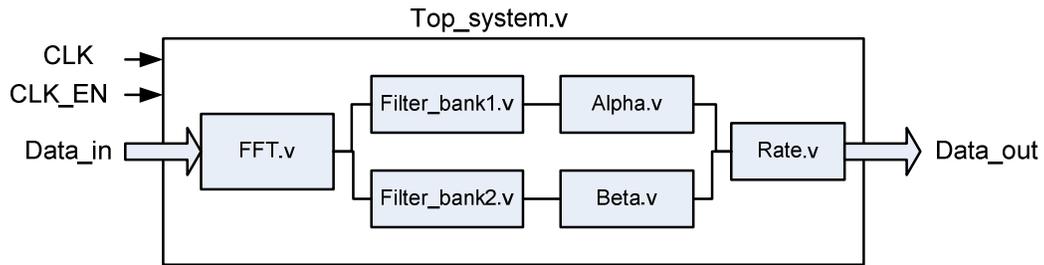
Bài 3: (1đ) a) Hãy vẽ layout cổng NOR 3 ngõ vào, và ghi chú kích thước các bề dày của wires
 b) Cho biết diện tích của cổng NOR 3 ngõ vào
 (Chú ý: khoảng cách các chấm là bằng 1 λ)



Bài 4: (1đ) Vẽ sơ đồ transistor-level sử dụng công logic CMOS cho các hàm sau:

a) $Y = \overline{(A + B)} \cdot \overline{(C + D)}$	b) $Y = \overline{A} \cdot \overline{(B \cdot C + D)}$

Bài 5: (1.5đ) Cho sơ đồ thiết kế sau:



a) Viết script cho Synopsys Design Compiler có tên là “my_constraints” để tạo các constraints sau:

- Maximum operating clock **150MHz**
- Clock latency **1ns**
- Clk_en delay **1ns**
- Reset delay **1ns**
- Input delay **5ns**
- Output delay **5ns**
- Fanout **5** for all outputs
- Capacitive Load **0.1 pF**
- Maximum transition **1.0**

--	--

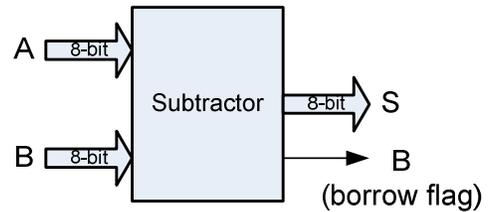
- b) Viết script biên dịch thiết kế theo **top-down strategy** theo yêu cầu sau
- Sử dụng lại script my_constraint
 - Ungroup cho bộ Filter_bank1 và Filter_bank2
 - Áp dụng high-effort cho lệnh compile

--	--

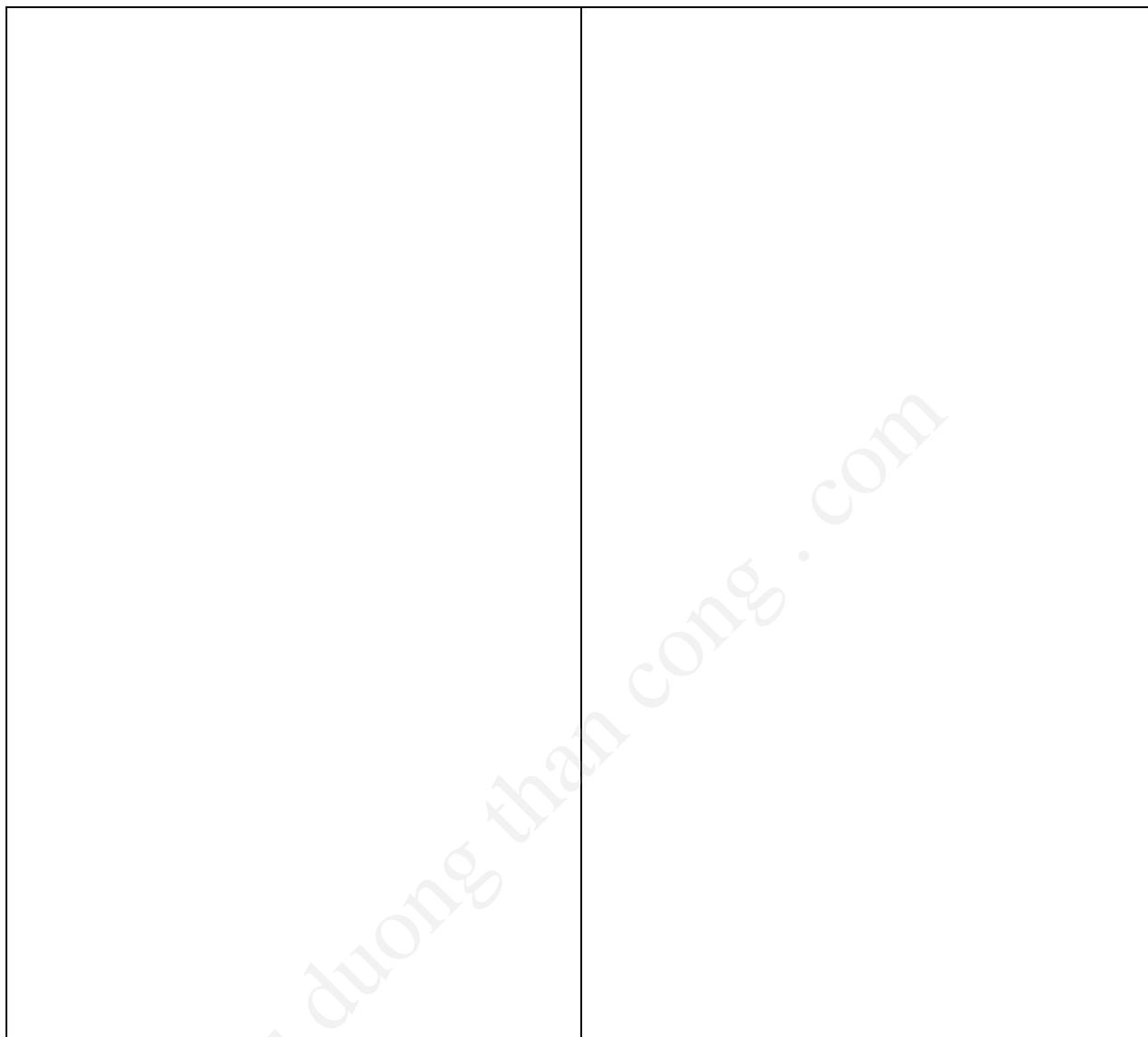
Bài 6: (1đ) Viết testbench cho unsigned 8-bit Subtractor

Yêu cầu:

- Tạo 10 dữ liệu ngõ vào A, B ngẫu nhiên
- Mô tả “golden response”
- Đánh giá đáp ứng bằng thông báo PASS hoặc FAIL
- Hiển thị thông báo “Start Simulation”, “End Simulation”, “CASE 1 PASS”, hoặc “CASE 1 FAIL”, ...
- Xuất ra file báo cáo có tên “sim_report.log”



--	--



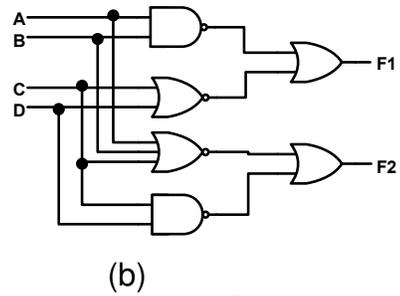
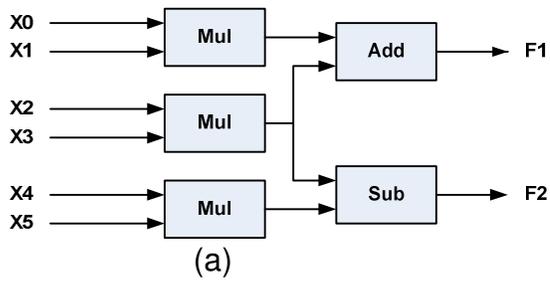
Bài 7: (1đ) Vẽ Binary Decision Diagram (BDD) cho hàm sau:

$$f = a'bcd' + abc'd'$$

a'bcd'	abc'd'	f

Bài 8: (1đ) Tối ưu thiết kế sau sử dụng các kỹ thuật:

- Chia sẻ tài nguyên, chia sẻ biểu thức chung
- Thay đổi, sắp xếp toán tử
- Tối ưu biểu thức logic



Thiết kế tối ưu

Department of Electronics

Lecturer

Dr. Hoang Trang

Dr. Truong Quang Vinh