

KỸ THUẬT SỐ

ThS. Phạm Thị Đan Ngọc
Khoa Kỹ Thuật Điện Tử 2
Email: ngocptd@ptithcm.edu.vn

Ngày 26 tháng 10 năm 2014

Chương 2: Các phần tử logic cơ bản

- ① Các tham số chính
- ② Các họ cổng logic
- ③ Giao tiếp giữa các cổng logic
- ④ Một số lưu ý khi sử dụng IC số

2.1 Các tham số chính

2.1 Các tham số chính

2.1.1 Mức logic

2.1 Các tham số chính

2.1.1 Mức logic

2.1.2 Độ chống nhiễu

2.1 Các tham số chính

2.1.1 Mức logic

2.1.2 Độ chống nhiễu

2.1.3 Hệ số ghép tải K

2.1 Các tham số chính

2.1.1 Mức logic

2.1.2 Độ chống nhiễu

2.1.3 Hệ số ghép tải K

2.1.4 Công suất tiêu thụ

2.1 Các tham số chính

2.1.1 Mức logic

2.1.2 Độ chống nhiễu

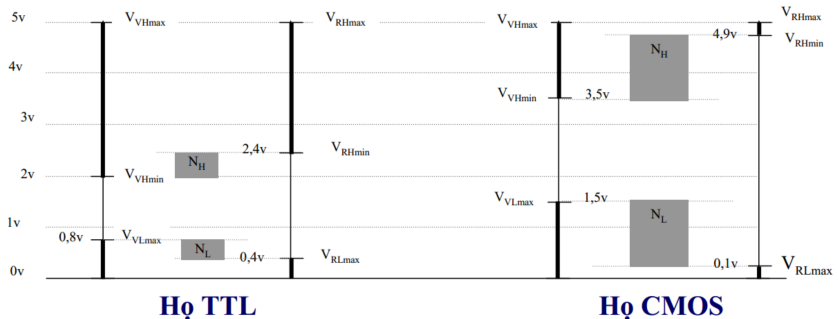
2.1.3 Hệ số ghép tải K

2.1.4 Công suất tiêu thụ

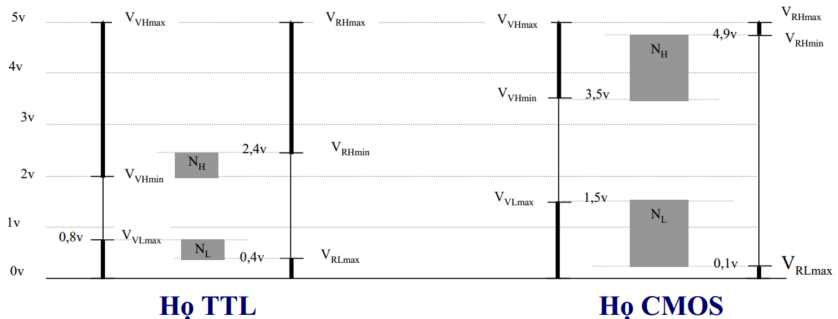
2.1.5 Trễ truyền đạt

2.1.1 Mức logic

2.1.1 Mức logic

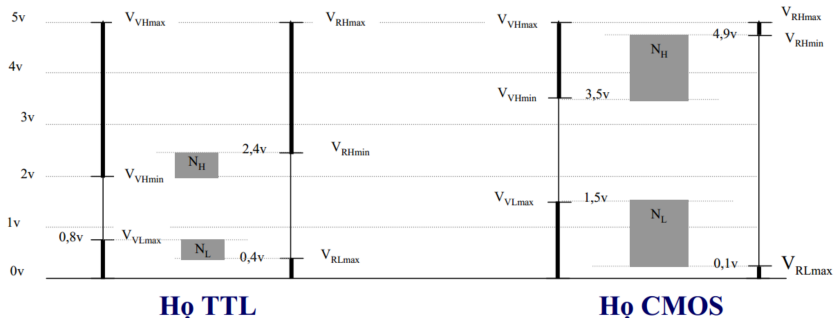


2.1.1 Mức logic



- Mức logic là mức điện thế ở ngõ vào và ngõ ra của cổng tương ứng với logic "1" và logic "0". Mức logic phụ thuộc điện thế nguồn cung cấp của cổng (V_{CC} đối với họ TTL (Transistor Transistor Logic) và V_{DD} đối với họ MOS (Metal Oxide Semiconductor)).

2.1.1 Mức logic



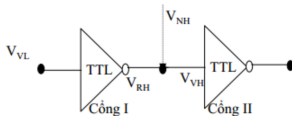
- Mức logic là mức điện thế ở ngõ vào và ngõ ra của cổng tương ứng với logic "1" và logic "0". Mức logic phụ thuộc điện thế nguồn cung cấp của cổng (V_{CC} đối với họ TTL (Transistor Transistor Logic) và V_{DD} đối với họ MOS (Metal Oxide Semiconductor)).
- Lưu ý:* mức logic vào vượt quá điện thế nguồn cung thì có thể gây hư hỏng cho cổng.

2.1.2 Độ chống nhiễu

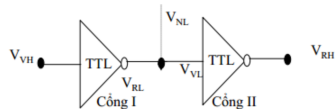
- Là mức nhiễu lớn nhất tác động tới ngõ vào hoặc ngõ ra của cổng mà chưa làm thay đổi trạng thái vốn có của nó.

2.1.2 Độ chống nhiễu

- Là mức nhiễu lớn nhất tác động tới ngõ vào hoặc ngõ ra của cổng mà chưa làm thay đổi trạng thái vốn có của nó.



a) Tác động nhiễu khi mức ra cao



b) Tác động nhiễu khi mức ra thấp

■ Ảnh hưởng của nhiễu có thể phân ra hai trường hợp:

+ Nhiễu mức cao: đầu ra cổng I lấy logic H (hình a), đầu ra cổng II là logic L, nếu các cổng vẫn hoạt động bình thường. Khi tính tới tác động của nhiễu:

$$V_{RHmin} + V_{NH} \geq V_{VHmin} \Leftrightarrow V_{NH} \geq V_{VHmin} - V_{RHmin}$$

Với cổng TTL:

$$V_{NL} \geq 2V - 2,4V = -0,4V$$

Với cổng CMOS:

$$V_{NL} \geq 3,5V - 4,9V = -1,4V$$

+ Nhiễu mức thấp: đầu ra cổng I lấy logic L (hình b), tương tự ta có:

$$V_{RLmax} + V_{NL} \leq V_{VLmax} \Leftrightarrow V_{NL} \leq V_{VLmax} - V_{RLmax}$$

Với cổng TTL:

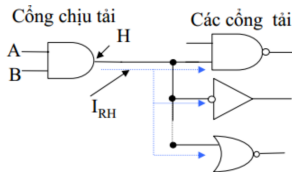
$$V_{NL} \leq 0,8V - 0,4V = 0,4V$$

Với cổng CMOS:

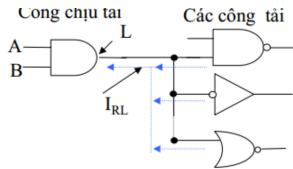
$$V_{NL} \leq 1,5V - 0,1V = 1,4V$$

2.1.3 Hệ số ghép tải K

- Cho biết khả năng nối được bao nhiêu ngõ vào tới ngõ ra của một cổng đã cho. Hệ số này phụ thuộc dòng ra của cổng chịu tải và dòng vào của các cổng tải ở cả hai trạng thái High và Low.



a) Mức ra của cổng chịu tải là H



b) Mức ra của cổng chịu tải là L

- Công thức tính hệ số ghép tải:

$$K_t = \frac{I_{RL\max}}{I_{RL}} ;$$

$I_{RL}=1,6\text{mA}$ gọi là đơn vị ghép tải (D_t)

2.1.4 Công suất tiêu thụ



Hình : Hai trạng thái tiêu thụ dòng của cổng logic.

2.1.4 Công suất tiêu thụ



Hình : Hai trạng thái tiêu thụ dòng của cổng logic.

- I_{CCH} - là dòng tiêu thụ khi ngõ ra lấy mức High.

2.1.4 Công suất tiêu thụ



Hình : Hai trạng thái tiêu thụ dòng của cổng logic.

- I_{CCH} - là dòng tiêu thụ khi ngõ ra lấy mức High.
- I_{CCL} - là dòng tiêu thụ khi ngõ ra lấy mức Low.

2.1.4 Công suất tiêu thụ



Hình : Hai trạng thái tiêu thụ dòng của cổng logic.

- I_{CCH} - là dòng tiêu thụ khi ngõ ra lấy mức High.
- I_{CCL} - là dòng tiêu thụ khi ngõ ra lấy mức Low.
- Theo thống kê, tín hiệu số có tỷ lệ bit H/bit L khoảng 50 %. Do đó, dòng tiêu thụ trung bình I_{CC} được tính theo công thức:

2.1.4 Công suất tiêu thụ



Hình : Hai trạng thái tiêu thụ dòng của cổng logic.

- I_{CCH} - là dòng tiêu thụ khi ngõ ra lấy mức High.
- I_{CCL} - là dòng tiêu thụ khi ngõ ra lấy mức Low.
- Theo thống kê, tín hiệu số có tỷ lệ bit H/bit L khoảng 50 %. Do đó, dòng tiêu thụ trung bình I_{CC} được tính theo công thức:

$$I_{CC} = (I_{CCH} + I_{CCL}) / 2$$

2.1.4 Công suất tiêu thụ



Hình : Hai trạng thái tiêu thụ dòng của cổng logic.

- I_{CCH} - là dòng tiêu thụ khi ngõ ra lấy mức High.
- I_{CCL} - là dòng tiêu thụ khi ngõ ra lấy mức Low.
- Theo thống kê, tín hiệu số có tỷ lệ bit H/bit L khoảng 50 %. Do đó, dòng tiêu thụ trung bình I_{CC} được tính theo công thức:

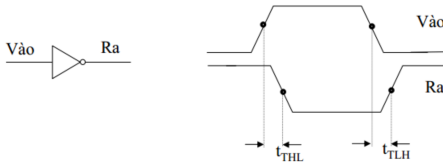
$$I_{CC} = (I_{CCH} + I_{CCL}) / 2$$

- Công suất tiêu thụ trung bình của mỗi cổng sẽ là: $P_0 = I_{CC} \cdot V_{CC}$

2.1.5 Trễ truyền đạt

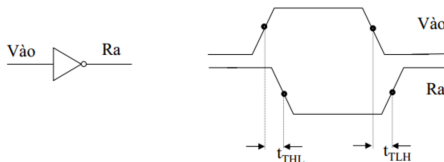
2.1.5 Trễ truyền đạt

- Tín hiệu đi qua một cổng phải mất một khoảng thời gian, được gọi là trễ truyền đạt.



2.1.5 Trễ truyền đạt

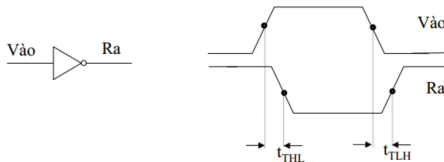
- Tín hiệu đi qua một cổng phải mất một khoảng thời gian, được gọi là trễ truyền đạt.



- Trễ truyền đạt xảy ra tại cả hai sườn của xung ngõ ra. Nếu ký hiệu trễ truyền đạt ứng với sườn trước là t_{THL} và sườn sau là t_{TLH} thì trễ truyền đạt trung bình được tính như sau:

2.1.5 Trễ truyền đạt

- Tín hiệu đi qua một cổng phải mất một khoảng thời gian, được gọi là trễ truyền đạt.

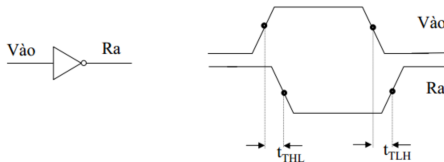


- Trễ truyền đạt xảy ra tại cả hai sườn của xung ngõ ra. Nếu ký hiệu trễ truyền đạt ứng với sườn trước là t_{THL} và sườn sau là t_{TLH} thì trễ truyền đạt trung bình được tính như sau:

$$t_D = (t_{THL} + t_{TLH}) / 2$$

2.1.5 Trễ truyền đạt

- Tín hiệu đi qua một cổng phải mất một khoảng thời gian, được gọi là trễ truyền đạt.



- Trễ truyền đạt xảy ra tại cả hai sườn của xung ngõ ra. Nếu ký hiệu trễ truyền đạt ứng với sườn trước là t_{THL} và sườn sau là t_{TLH} thì trễ truyền đạt trung bình được tính như sau:

$$t_D = (t_{THL} + t_{TLH}) / 2$$

- Thời gian trễ truyền đạt hạn chế tần số hoạt động của cổng. Trễ càng lớn thì tần số hoạt động cực đại càng thấp.

2.2 Các họ cổng logic

2.2 Các họ cổng logic

- Họ DDL

2.2 Các họ cổng logic

- Họ DDL
- Họ DTR

2.2 Các họ cổng logic

- Họ DDL
- Họ DTR
- Họ RTL

2.2 Các họ cổng logic

- Họ DDL
- Họ DTR
- Họ RTL
- Họ TTL

2.2 Các họ cổng logic

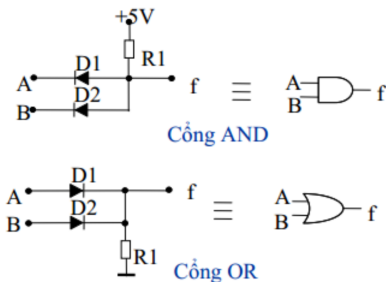
- Họ DDL
- Họ DTR
- Họ RTL
- Họ TTL
- Họ MOSFET

2.2.1 Họ DDL - Diode Diode Logic

2.2.1 Họ DDL - Diode Diode Logic

- DDL là họ cổng do các diode bán dẫn tạo thành.

Cổng AND, OR 2 lối vào họ DDL:



Bảng trạng thái

thể hiện nguyên lý hoạt động của các cổng AND, OR họ DDL

AND		
A(V)	B(V)	f(V)
0	0	0,7
0	3	0,7
3	0	0,7
3	3	4,7

OR		
A(V)	B(V)	f(V)
0	0	0
0	5	4,3
5	0	4,3
5	5	4,3

Theo mức điện áp vào/ra

2.1 Họ DDL - Diode Diode Logic

2.1 Họ DDL - Diode Diode Logic

- Ưu điểm:

2.1 Họ DDL - Diode Diode Logic

- Ưu điểm:
 - Mạch điện đơn giản, dễ tạo ra các cổng AND, OR nhiều ngõ vào.
→ Cho phép xây dựng các ma trận diode với nhiều ứng dụng khác nhau.

2.1 Họ DDL - Diode Diode Logic

- Ưu điểm:
 - Mạch điện đơn giản, dễ tạo ra các cổng AND, OR nhiều ngõ vào.
→ Cho phép xây dựng các ma trận diode với nhiều ứng dụng khác nhau.
 - Tần số hoạt động có thể đạt cao bằng cách chọn các diode chuyển mạch nhanh.

2.1 Họ DDL - Diode Diode Logic

- Ưu điểm:
 - Mạch điện đơn giản, dễ tạo ra các cổng AND, OR nhiều ngõ vào.
→ Cho phép xây dựng các ma trận diode với nhiều ứng dụng khác nhau.
 - Tần số hoạt động có thể đạt cao bằng cách chọn các diode chuyển mạch nhanh.
 - Công suất tiêu thụ nhỏ.

2.1 Họ DDL - Diode Diode Logic

- Ưu điểm:
 - Mạch điện đơn giản, dễ tạo ra các cổng AND, OR nhiều ngõ vào.
→ Cho phép xây dựng các ma trận diode với nhiều ứng dụng khác nhau.
 - Tần số hoạt động có thể đạt cao bằng cách chọn các diode chuyển mạch nhanh.
 - Công suất tiêu thụ nhỏ.
- Nhược điểm:

2.1 Họ DDL - Diode Diode Logic

- Ưu điểm:
 - Mạch điện đơn giản, dễ tạo ra các cổng AND, OR nhiều ngõ vào.
→ Cho phép xây dựng các ma trận diode với nhiều ứng dụng khác nhau.
 - Tần số hoạt động có thể đạt cao bằng cách chọn các diode chuyển mạch nhanh.
 - Công suất tiêu thụ nhỏ.
- Nhược điểm:
 - Độ chống nhiễu thấp (V_{RL} lớn).

2.1 Họ DDL - Diode Diode Logic

- Ưu điểm:
 - Mạch điện đơn giản, dễ tạo ra các cổng AND, OR nhiều ngõ vào.
→ Cho phép xây dựng các ma trận diode với nhiều ứng dụng khác nhau.
 - Tần số hoạt động có thể đạt cao bằng cách chọn các diode chuyển mạch nhanh.
 - Công suất tiêu thụ nhỏ.
- Nhược điểm:
 - Độ chống nhiễu thấp (V_{RL} lớn).
 - Hệ số ghép tải nhỏ.

2.1 Họ DDL - Diode Diode Logic

- Ưu điểm:
 - Mạch điện đơn giản, dễ tạo ra các cổng AND, OR nhiều ngõ vào.
→ Cho phép xây dựng các ma trận diode với nhiều ứng dụng khác nhau.
 - Tần số hoạt động có thể đạt cao bằng cách chọn các diode chuyển mạch nhanh.
 - Công suất tiêu thụ nhỏ.
 - Nhược điểm:
 - Độ chống nhiễu thấp (V_{RL} lớn).
 - Hệ số ghép tải nhỏ.
- ⇒ Để cải thiện độ chống nhiễu, ta có thể ghép nối tiếp ở mạch ngõ ra một diode. Tuy nhiên, khi đó V_{RH} cũng bị sụt đi 0.6 (V).

2.2.2 Họ DTL - Diode Transistor Logic

2.2.2 Họ DTL - Diode Transistor Logic

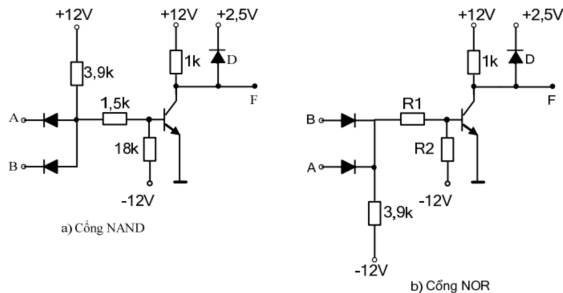
- Để thực hiện chức năng đảo, ta có thể đấu nối tiếp với các cổng DDL một Transistor hoạt động ở chế độ khóa. Mạch cổng như thế được gọi là DTL.

2.2.2 Họ DTL - Diode Transistor Logic

- Để thực hiện chức năng đảo, ta có thể đấu nối tiếp với các cổng DDL một Transistor hoạt động ở chế độ khóa. Mạch cổng như thế được gọi là DTL.
- Ví dụ các cổng NOT, NAND thuộc họ DTL

2.2.2 Họ DTL - Diode Transistor Logic

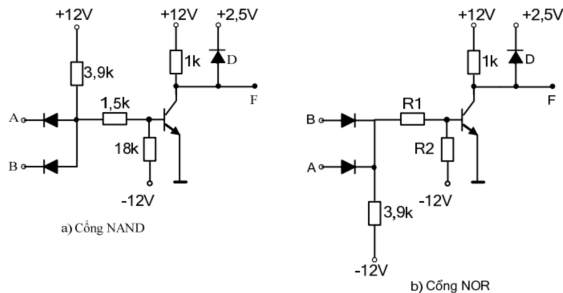
- Để thực hiện chức năng đảo, ta có thể đấu nối tiếp với các cổng DDL một Transistor hoạt động ở chế độ khóa. Mạch cổng như thế được gọi là DTL.
- Ví dụ các cổng NOT, NAND thuộc họ DTL



Hình : DTL cổng NAND và cổng OR

2.2.2 Họ DTL - Diode Transistor Logic

- Để thực hiện chức năng đảo, ta có thể đấu nối tiếp với các cổng DDL một Transistor hoạt động ở chế độ khóa. Mạch cổng như thế được gọi là DTL.
- Ví dụ các cổng NOT, NAND thuộc họ DTL



Hình : DTL cổng NAND và cổng OR

2.2.3 Họ RTL - Resistor Transistor Logic

2.2.3 Họ RTL - Resistor Transistor Logic

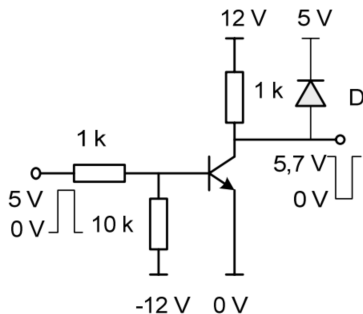
- Là các cổng logic được cấu tạo bởi các điện trở và transistor.

2.2.3 Họ RTL - Resistor Transistor Logic

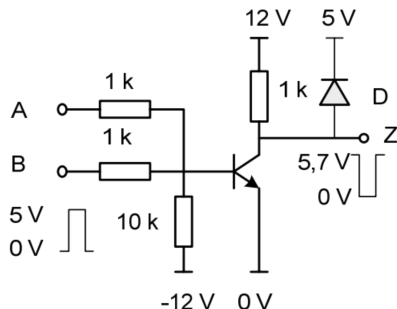
- Là các cổng logic được cấu tạo bởi các điện trở và transistor.
- Hiện nay họ RTL không còn tồn tại, vì các họ logic khác có công suất tiêu thụ nhỏ hơn và độ chống nhiễu cao hơn.

2.2.3 Họ RTL - Resistor Transistor Logic

- Là các cổng logic được cấu tạo bởi các điện trở và transistor.
- Hiện nay họ RTL không còn tồn tại, vì các họ logic khác có công suất tiêu thụ nhỏ hơn và độ chống nhiễu cao hơn.



Cổng NOT họ RTL



Cổng NOR họ RTL

2.3 Họ DTL - Diode Transistor Logic

2.3 Họ DTL - Diode Transistor Logic

- Ưu điểm:

2.3 Họ DTL - Diode Transistor Logic

- Ưu điểm:
 - Trong hai trường hợp trên, nhờ các diode D_2 , D_3 độ chồng nhiễu trên ngõ vào của Q_1 được cải thiện.

2.3 Họ DTL - Diode Transistor Logic

- Ưu điểm:
 - Trong hai trường hợp trên, nhờ các diode D_2 , D_3 độ chồng nhiễu trên ngõ vào của Q_1 được cải thiện.
 - Mức logic thấp tại ngõ ra f giảm xuống khoảng 0.2 V (bằng điện thế bão hòa U_{CE} của Q_1).

2.3 Họ DTL - Diode Transistor Logic

- Ưu điểm:
 - Trong hai trường hợp trên, nhờ các diode D_2 , D_3 độ chồng nhiễu trên ngõ vào của Q_1 được cải thiện.
 - Mức logic thấp tại ngõ ra f giảm xuống khoảng 0.2 V (bằng điện thế bão hòa U_{CE} của Q_1).
 - Do I_{RHmax} và I_{RLmax} của bán dẫn có thể lớn hơn nhiều so với diode nên hệ số ghép tải của cổng cũng tăng lên.

2.3 Họ DTL - Diode Transistor Logic

- Ưu điểm:
 - Trong hai trường hợp trên, nhờ các diode D_2 , D_3 độ chống nhiễu trên ngõ vào của Q_1 được cải thiện.
 - Mức logic thấp tại ngõ ra f giảm xuống khoảng 0.2 V (bằng điện thế bão hòa U_{CE} của Q_1).
 - Do I_{RHmax} và I_{RLmax} của bán dẫn có thể lớn hơn nhiều so với diode nên hệ số ghép tải của cổng cũng tăng lên.
- Nhược điểm:

2.3 Họ DTL - Diode Transistor Logic

- Ưu điểm:
 - Trong hai trường hợp trên, nhờ các diode D_2 , D_3 độ chồng nhiễu trên ngõ vào của Q_1 được cải thiện.
 - Mức logic thấp tại ngõ ra f giảm xuống khoảng 0.2 V (bằng điện thế bão hòa U_{CE} của Q_1).
 - Do I_{RHmax} và I_{RLmax} của bán dẫn có thể lớn hơn nhiều so với diode nên hệ số ghép tải của cổng cũng tăng lên.
- Nhược điểm:
 - Vì tải của các cổng là điện trở nên hệ số ghép tải cao hơn so với DDL và RTL.

2.3 Họ DTL - Diode Transistor Logic

- Ưu điểm:
 - Trong hai trường hợp trên, nhờ các diode D_2 , D_3 độ chống nhiễu trên ngõ vào của Q_1 được cải thiện.
 - Mức logic thấp tại ngõ ra f giảm xuống khoảng 0.2 V (bằng điện thế bão hòa U_{CE} của Q_1).
 - Do I_{RHmax} và I_{RLmax} của bán dẫn có thể lớn hơn nhiều so với diode nên hệ số ghép tải của cổng cũng tăng lên.
- Nhược điểm:
 - Vì tải của các cổng là điện trở nên hệ số ghép tải cao hơn so với DDL và RTL.
 - Trễ truyền đạt của họ cổng này còn lớn..

2.2.4 Họ TTL - Transistor Transistor Logic

2.2.4 Họ TTL - Transistor Transistor Logic

- Một số mạch TTL như sau:

2.2.4 Họ TTL - Transistor Transistor Logic

- Một số mạch TTL như sau:
 - a) Mạch cổng NAND.

2.2.4 Họ TTL - Transistor Transistor Logic

- Một số mạch TTL như sau:
 - a) Mạch cổng NAND.
 - b) Mạch cổng OR.

2.2.4 Họ TTL - Transistor Transistor Logic

- Một số mạch TTL như sau:
 - a) Mạch cổng NAND.
 - b) Mạch cổng OR.
 - c) Mạch cổng collector để hở.

2.2.4 Họ TTL - Transistor Transistor Logic

- Một số mạch TTL như sau:
 - a) Mạch cổng NAND.
 - b) Mạch cổng OR.
 - c) Mạch cổng collector để hở.
 - d) Mạch cổng TTL 3 trạng thái.

2.2.4 Họ TTL - Transistor Transistor Logic

- Một số mạch TTL như sau:
 - a) Mạch cổng NAND.
 - b) Mạch cổng OR.
 - c) Mạch cổng collector để hở.
 - d) Mạch cổng TTL 3 trạng thái.
 - e) Họ TTL có diode Schotky (TTL + S).

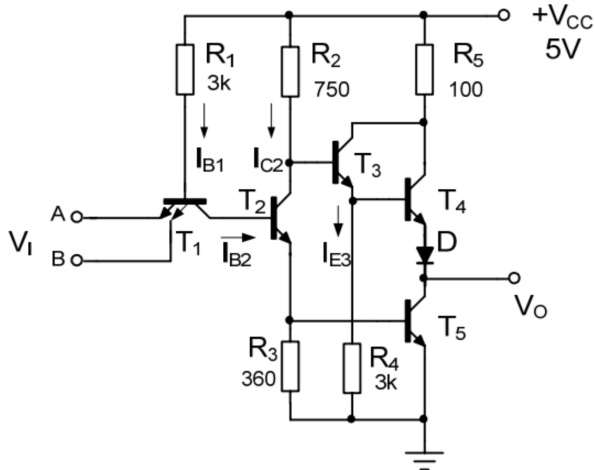
a) Họ TTL - Mạch cổng NAND.

a) Họ TTL - Mạch cổng NAND.

- Sơ đồ mạch

a) Họ TTL - Mạch cổng NAND.

- Sơ đồ mạch



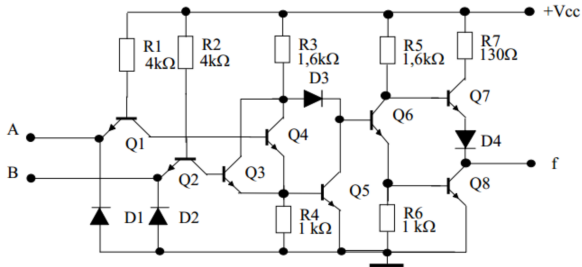
b) Họ TTL - Mạch cổng OR.

b) Họ TTL - Mạch cổng OR.

- Sơ đồ mạch TTL cổng OR

b) Họ TTL - Mạch cổng OR.

- Sơ đồ mạch TTL cổng OR



c) Họ TTL - Mạch cổng collector để hở.

c) Họ TTL - Mạch cổng collector để hở.

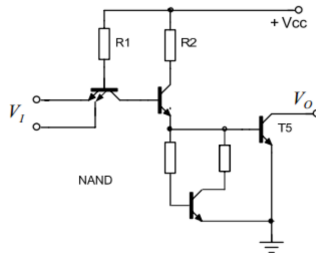
- Cho ghép nối trực tiếp ngõ ra của các cổng với nhau.

c) Họ TTL - Mạch cổng collector để hở.

- Cho ghép nối trực tiếp ngõ ra của các cổng với nhau.
- Khi hoạt động: nối thêm điện trở gánh từ collector để hở đến dương nguồn.

c) Họ TTL - Mạch cổng collector để hở.

- Cho ghép nối trực tiếp ngõ ra của các cổng với nhau.
- Khi hoạt động: nối thêm điện trở gánh từ collector để hở dẫn đến dương nguồn.



c) Họ TTL - Mạch cổng collector để hở.

c) Họ TTL - Mạch cổng collector để hở.

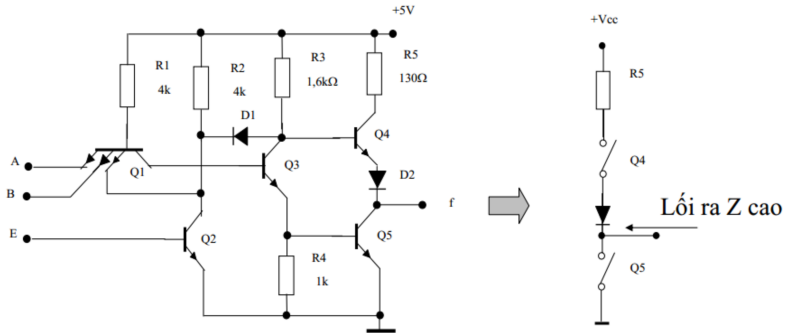
- Nhược điểm của họ cổng TTL có mạch ra kéo kín là hệ số tải ngõ ra không thể thay đổi, nên nhiều khi gây khó khăn trong việc kết nối với ngõ vào của các mạch điện tử tầng sau. Cổng logic collector để hở khắc phục được nhược điểm này.

c) Họ TTL - Mạch cổng collector để hở.

- Nhược điểm của họ cổng TTL có mạch ra kéo kín là hệ số tải ngõ ra không thể thay đổi, nên nhiều khi gây khó khăn trong việc kết nối với ngõ vào của các mạch điện tử tầng sau. Cổng logic collector để hở khắc phục được nhược điểm này.
- Một nhược điểm của cổng logic collector hở là tần số hoạt động của mạch sẽ giảm xuống do phải sử dụng điện trở gánh ngoài.

d) Họ TTL - Mạch cổng TTL 3 trạng thái

d) Họ TTL - Mạch cổng TTL 3 trạng thái



e) TTL - Một số mạch Transistor khác

e) TTL - Một số mạch Transistor khác

- Họ HTL (High Threshold Logic - vi mạch số mức ngưỡng cao): sử dụng nguồn 15 V để tăng khả năng chống nhiễu. Phù hợp với các thiết bị điều khiển của công nghiệp (không cần tốc độ quá cao, nhưng cần độ tin cậy).

e) TTL - Một số mạch Transistor khác

- Họ HTL (High Threshold Logic - vi mạch số mức ngưỡng cao): sử dụng nguồn 15 V để tăng khả năng chống nhiễu. Phù hợp với các thiết bị điều khiển của công nghiệp (không cần tốc độ quá cao, nhưng cần độ tin cậy).
- Họ ECL (Emitter Coupled Logic - vi mạch số ghép emitter): tốc độ hoạt động nhanh nhất, dùng trong các ứng dụng yêu cầu tốc độ cao. Đặc điểm là thời gian đóng/mở ngắn, khả năng chịu tải lớn, tạp âm nội bộ thấp, mức tạp âm cho phép nhỏ, tiêu hao công suất lớn, mức điện áp ngõ ra thay đổi theo nhiệt độ.

e) TTL - Một số mạch Transistor khác

- Họ HTL (High Threshold Logic - vi mạch số mức ngưỡng cao): sử dụng nguồn 15 V để tăng khả năng chống nhiễu. Phù hợp với các thiết bị điều khiển của công nghiệp (không cần tốc độ quá cao, nhưng cần độ tin cậy).
- Họ ECL (Emitter Coupled Logic - vi mạch số ghép emitter): tốc độ hoạt động nhanh nhất, dùng trong các ứng dụng yêu cầu tốc độ cao. Đặc điểm là thời gian đóng/mở ngắn, khả năng chịu tải lớn, tạp âm nội bộ thấp, mức tạp âm cho phép nhỏ, tiêu hao công suất lớn, mức điện áp ngõ ra thay đổi theo nhiệt độ.
- Họ I²L - vi mạch số tích hợp phun: mức độ tích hợp khoảng 500 cổng/ $1mm^2$. Đặc điểm: đơn giản, điện áp thấp, dòng cực nhỏ, mức độ tích hợp cao, tốc độ đóng/mở khá thấp, biên độ điện áp ngõ ra nhỏ.

2.2.5 Họ MOS FET

2.2.5 Họ MOS FET

- Bán dẫn trường (MOS FET) cũng được dùng rất phổ biến để xây dựng mạch điện các loại cổng logic. Đặc điểm chung và nổi bật của họ này là:

2.2.5 Họ MOS FET

- Bán dẫn trường (MOS FET) cũng được dùng rất phổ biến để xây dựng mạch điện các loại cổng logic. Đặc điểm chung và nổi bật của họ này là:
 - Mạch điện chỉ bao gồm các MOS FET mà không có điện trở.

2.2.5 Họ MOS FET

- Bán dẫn trường (MOS FET) cũng được dùng rất phổ biến để xây dựng mạch điện các loại cổng logic. Đặc điểm chung và nổi bật của họ này là:
 - Mạch điện chỉ bao gồm các MOS FET mà không có điện trở.
 - Dải điện thế hoạt động rộng, vào khoảng $+3\text{ V}$ đến $+15\text{ V}$.

2.2.5 Họ MOS FET

- Bán dẫn trường (MOS FET) cũng được dùng rất phổ biến để xây dựng mạch điện các loại cổng logic. Đặc điểm chung và nổi bật của họ này là:
 - Mạch điện chỉ bao gồm các MOS FET mà không có điện trở.
 - Dải điện thế hoạt động rộng, vào khoảng $+3\text{ V}$ đến $+15\text{ V}$.
 - Thời gian trễ lớn, nhưng công suất tiêu thụ rất bé.

2.2.5 Họ MOS FET

- Bán dẫn trường (MOS FET) cũng được dùng rất phổ biến để xây dựng mạch điện các loại cổng logic. Đặc điểm chung và nổi bật của họ này là:
 - Mạch điện chỉ bao gồm các MOS FET mà không có điện trở.
 - Dải điện thế hoạt động rộng, vào khoảng $+3\text{ V}$ đến $+15\text{ V}$.
 - Thời gian trễ lớn, nhưng công suất tiêu thụ rất bé.
- Tùy theo loại MOS FET được sử dụng, loại họ này được chia theo các loại sau:

2.2.5 Họ MOS FET

- Bán dẫn trường (MOS FET) cũng được dùng rất phổ biến để xây dựng mạch điện các loại cổng logic. Đặc điểm chung và nổi bật của họ này là:
 - Mạch điện chỉ bao gồm các MOS FET mà không có điện trở.
 - Dải điện thế hoạt động rộng, vào khoảng $+3\text{ V}$ đến $+15\text{ V}$.
 - Thời gian trễ lớn, nhưng công suất tiêu thụ rất bé.
- Tùy theo loại MOS FET được sử dụng, loại họ này được chia theo các loại sau:
 - a) PMOS
 - b) NMOS
 - c) CMOS
 - d) Cổng truyền dẫn

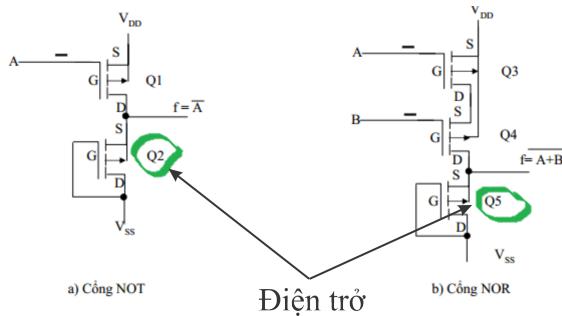
a) PMOS

a) PMOS

- Mạch điện của họ cổng này chỉ dùng MOSFET có kênh dẫn loại P. Công nghệ PMOS cho phép sản xuất các mạch tích hợp với mật độ cao nhất.

a) PMOS

- Mạch điện của họ cổng này chỉ dùng MOSFET có kênh dẫn loại P. Công nghệ PMOS cho phép sản xuất các mạch tích hợp với mật độ cao nhất.



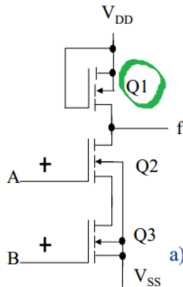
b) NMOS

b) NMOS

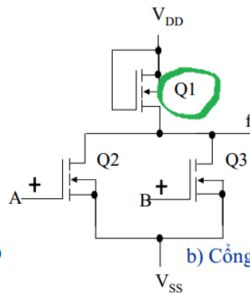
- Mạch điện của họ cổng này chỉ dùng MOSFET có kênh dẫn loại N.

b) NMOS

- Mạch điện của họ cổng này chỉ dùng MOSFET có kênh dẫn loại N.



a) Cổng NAND



b) Cổng NOR

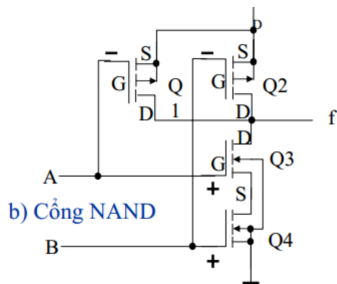
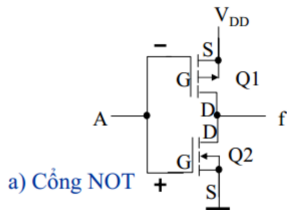
c) CMOS - Complementary MOS

c) CMOS - Complementary MOS

- Mạch điện của họ cổng này sử dụng cả hai loại MOSFET kênh dẫn P và kênh dẫn N. Bởi vậy, có hiện tượng bù dòng điện trong mạch. Chính vì thế mà công suất tiêu thụ của họ cổng này nhỏ, đặc biệt ở trạng thái tĩnh là rất bé.

c) CMOS - Complementary MOS

- Mạch điện của họ cổng này sử dụng cả hai loại MOSFET kênh dẫn P và kênh dẫn N. Bởi vậy, có hiện tượng bù dòng điện trong mạch. Chính vì thế mà công suất tiêu thụ của họ cổng này nhỏ, đặc biệt ở trạng thái tĩnh là rất bé.



d) Cổng truyền dẫn

d) Cổng truyền dẫn

- Cổng truyền dẫn hay còn gọi là chuyển mạch hai chiều, nó cung cấp trạng thái chuyển mạch bật/tắt cho các tín hiệu điện (số và tương tự).

d) Cổng truyền dẫn

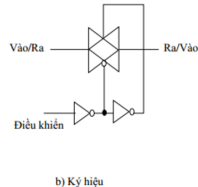
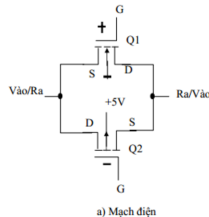
- Cổng truyền dẫn hay còn gọi là chuyển mạch hai chiều, nó cung cấp trạng thái chuyển mạch bật/tắt cho các tín hiệu điện (số và tương tự).
- Gồm có 2 Transistor N-MOS và P-MOS kênh cảm ứng mắc song song.

d) Cổng truyền dẫn

- Cổng truyền dẫn hay còn gọi là chuyển mạch hai chiều, nó cung cấp trạng thái chuyển mạch bật/tắt cho các tín hiệu điện (số và tương tự).
- Gồm có 2 Transistor N-MOS và P-MOS kênh cảm ứng mắc song song.
- Ứng dụng: mạch tạo xung, mạch đếm, thanh ghi dịch, vi xử lý, bộ nhớ, chuyển mạch tương tự ...

d) Cổng truyền dẫn

- Cổng truyền dẫn hay còn gọi là chuyển mạch hai chiều, nó cung cấp trạng thái chuyển mạch bật/tắt cho các tín hiệu điện (số và tương tự).
- Gồm có 2 Transistor N-MOS và P-MOS kênh cảm ứng mắc song song.
- Ứng dụng: mạch tạo xung, mạch đếm, thanh ghi dịch, vi xử lý, bộ nhớ, chuyển mạch tương tự ...



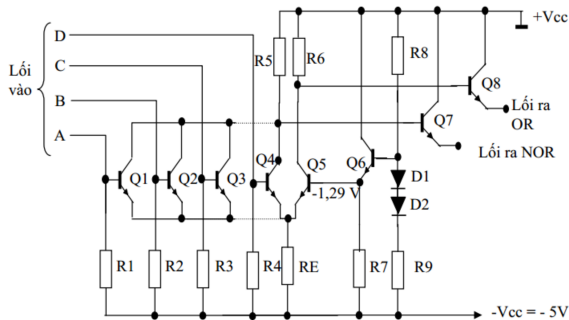
e) ECL Emitter Coupled Logic

e) ECL Emitter Coupled Logic

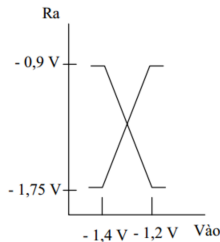
- Đối với loại cổng này, cực E của một số bán dẫn nối chung với nhau. Sử dụng công nghệ TTL nhưng cấu trúc mạch khác họ TTL.

e) ECL Emitter Coupled Logic

- Đối với loại cổng này, cực E của một số bán dẫn nối chung với nhau. Sử dụng công nghệ TTL nhưng cấu trúc mạch khác họ TTL.



a) Mạch điện nguyên lý



b) Đồ thị mức vào/ra

2.3 Giao tiếp giữa các cổng logic

2.3 Giao tiếp giữa các cổng logic

2.3.1 Đặc điểm

2.3.2 Giao tiếp giữa TTL với CMOS

2.3 Giao tiếp giữa các cổng logic

2.3.1 Đặc điểm

2.3.2 Giao tiếp giữa TTL với CMOS

2.3.3 Giao tiếp giữa CMOS với TTL

2.3.1 Đặc điểm ghép nối

- Đối với cổng TTL
 - Tất cả các ngõ vào của cổng TTL để hở sẽ hoạt động như mức logic 1, trường hợp này gọi là thả nổi ngõ vào.
 - Khi không sử dụng một ngõ vào nào đó của cổng thì ta phải nối nó với đất hoặc dương nguồn sao cho chức năng của cổng không bị thay đổi.

2.3.1 Đặc điểm ghép nối

- Đối với cổng TTL
 - Tất cả các ngõ vào của cổng TTL để hở sẽ hoạt động như mức logic 1, trường hợp này gọi là thả nổi ngõ vào.
 - Khi không sử dụng một ngõ vào nào đó của cổng thì ta phải nối nó với đất hoặc dương nguồn sao cho chức năng của cổng không bị thay đổi.
 - Không được nối trực tiếp hai ngõ ra của hai cổng TTL với nhau, trường hợp này phải sử dụng cổng collector để hở - OC.

2.3.1 Đặc điểm ghép nối

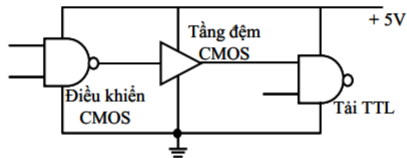
- Đối với cổng CMOS.
 - Không được phép thả nổi các đầu vào không được sử dụng đến mà phải nối chúng với đất hoặc dương nguồn hoặc đầu khác sao cho chức năng của cổng không bị thay đổi.
 - Điện trở ngõ vào cao sẽ gây nên hiện tượng tích tụ hạt tĩnh điện, dẫn đến phát sinh điện thế có thể đủ lớn để đánh thủng lớp điện môi giữa cực G và kênh dẫn. Do đó, người ta chế tạo lưới diode điện trở ở ngõ vào nhằm bảo vệ Transistor.

2.3.1 Đặc điểm ghép nối

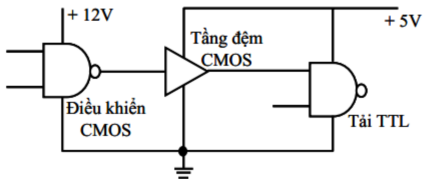
- Đối với cổng CMOS.
 - Không được phép thả nổi các đầu vào không được sử dụng đến mà phải nối chúng với đất hoặc dương nguồn hoặc đầu khác sao cho chức năng của cổng không bị thay đổi.
 - Điện trở ngõ vào cao sẽ gây nên hiện tượng tích tụ hạt tĩnh điện, dẫn đến phát sinh điện thế có thể đủ lớn để đánh thủng lớp điện môi giữa cực G và kênh dẫn. Do đó, người ta chế tạo lưới diode điện trở ở ngõ vào nhằm bảo vệ Transistor.
 - Điện trở ngõ ra thường nhỏ nên tốc độ chuyển mạch tương đối nhanh.

2.3.2 Giao tiếp giữa CMOS-TTL

Cùng điện áp cung cấp



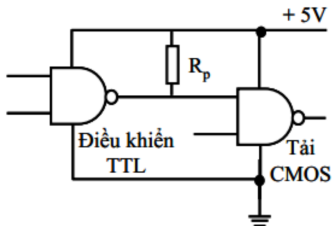
Khác điện áp cung cấp



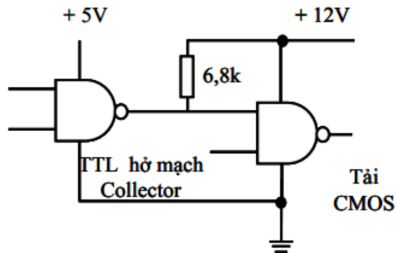
Hình : Giao tiếp giữa CMOS-TTL.

2.3.2 Giao tiếp giữa TTL-CMOS

Cùng điện áp cung cấp



Khác điện áp cung cấp



Hình : Giao tiếp giữa TTL-CMOS.

2.4 Giao tiếp giữa các cổng logic

2.4 Giao tiếp giữa các cổng logic

2.4.1 Phân loại IC theo mật độ tích hợp.

2.4 Giao tiếp giữa các cổng logic

2.4.1 Phân loại IC theo mật độ tích hợp.

2.4.2 Ký hiệu vỏ IC

2.4 Giao tiếp giữa các cổng logic

2.4.1 Phân loại IC theo mật độ tích hợp.

2.4.2 Ký hiệu vỏ IC

2.4.3 Đóng vỏ IC

2.4 Giao tiếp giữa các cổng logic

2.4.1 Phân loại IC theo mật độ tích hợp.

2.4.2 Ký hiệu vỏ IC

2.4.3 Đóng vỏ IC

2.4.4 Sơ đồ chân một số IC TTL

2.4.1 Phân loại IC theo mật độ tích hợp.

2.4.1 Phân loại IC theo mật độ tích hợp.

- SSI - Small Scale Integration: Độ tích hợp nhỏ, số cổng logic < 10 .

2.4.1 Phân loại IC theo mật độ tích hợp.

- SSI - Small Scale Integration: Độ tích hợp nhỏ, số cổng logic < 10 .
- MSI - Medium Scale Integration: Độ tích hợp trung bình, $10 < \text{số cổng logic} < 100$.

2.4.1 Phân loại IC theo mật độ tích hợp.

- SSI - Small Scale Integration: Độ tích hợp nhỏ, số cổng logic < 10 .
- MSI - Medium Scale Integration: Độ tích hợp trung bình, $10 < \text{số cổng logic} < 100$.
- LSI - Large Scale Integration: Độ tích hợp lớn, $100 < \text{số cổng logic} < 1000$.

2.4.1 Phân loại IC theo mật độ tích hợp.

- SSI - Small Scale Integration: Độ tích hợp nhỏ, số cổng logic < 10 .
- MSI - Medium Scale Integration: Độ tích hợp trung bình, $10 < \text{số cổng logic} < 100$.
- LSI - Large Scale Integration: Độ tích hợp lớn, $100 < \text{số cổng logic} < 1000$.
- VLSI - Very Large Scale Integration: Độ tích hợp rất lớn.

2.4.1 Phân loại IC theo mật độ tích hợp.

- SSI - Small Scale Integration: Độ tích hợp nhỏ, số cổng logic < 10 .
- MSI - Medium Scale Integration: Độ tích hợp trung bình, $10 < \text{số cổng logic} < 100$.
- LSI - Large Scale Integration: Độ tích hợp lớn, $100 < \text{số cổng logic} < 1000$.
- VLSI - Very Large Scale Integration: Độ tích hợp rất lớn.
- ULSI - Ultra Large Scale Integration: Độ tích hợp cực lớn.

2.4.1 Phân loại IC theo mật độ tích hợp.

- SSI - Small Scale Integration: Độ tích hợp nhỏ, số cổng logic < 10 .
- MSI - Medium Scale Integration: Độ tích hợp trung bình, $10 < \text{số cổng logic} < 100$.
- LSI - Large Scale Integration: Độ tích hợp lớn, $100 < \text{số cổng logic} < 1000$.
- VLSI - Very Large Scale Integration: Độ tích hợp rất lớn.
- ULSI - Ultra Large Scale Integration: Độ tích hợp cực lớn.
- SLSI - Super Large Scale Integration: Độ tích hợp siêu lớn.

2.4.2 Ký hiệu vỏ IC

2.4.2 Ký hiệu vỏ IC

TTL	CMOS
.. 74 .. x x x . : mục đích thương mại	.. 14 .. x x x .
.. 54 .. x x x . : mục đích quân sự	.. 4 .. x x x .

2.4.2 Ký hiệu vỏ IC

TTL	CMOS
.. 74 .. x x x . : mục đích thương mại	.. 14 .. x x x .
.. 54 .. x x x . : mục đích quân sự	.. 4 .. x x x .

- Hai chữ cái đầu: tên hãng sản xuất.

2.4.2 Ký hiệu vỏ IC

TTL	CMOS
.. 74 .. x x x . : mục đích thương mại	.. 14 .. x x x .
.. 54 .. x x x . : mục đích quân sự	.. 4 .. x x x .

- Hai chữ cái đầu: tên hãng sản xuất.
- Hai chữ cái giữa: đặc điểm cấu trúc và tính năng

2.4.2 Ký hiệu vỏ IC

TTL	CMOS
.. 74 .. x x x . : mục đích thương mại	.. 14 .. x x x .
.. 54 .. x x x . : mục đích quân sự	.. 4 .. x x x .

- Hai chữ cái đầu: tên hãng sản xuất.
- Hai chữ cái giữa: đặc điểm cấu trúc và tính năng
- Chữ cái cuối: kết cấu vỏ.

2.4.2 Ký hiệu vỏ IC

TTL	CMOS
.. 74 .. x x x . : mục đích thương mại	.. 14 .. x x x .
.. 54 .. x x x . : mục đích quân sự	.. 4 .. x x x .

- Hai chữ cái đầu: tên hãng sản xuất.
- Hai chữ cái giữa: đặc điểm cấu trúc và tính năng
- Chữ cái cuối: kết cấu vỏ.
- Các dấu "x" là tập hợp từ 0 đến 999, cho biết chức năng logic của IC.

2.4.2 Ký hiệu vỏ IC

TTL	CMOS
.. 74 .. x x x . : mục đích thương mại	.. 14 .. x x x .
.. 54 .. x x x . : mục đích quân sự	.. 4 .. x x x .

- Hai chữ cái đầu: tên hãng sản xuất.
- Hai chữ cái giữa: đặc điểm cấu trúc và tính năng
- Chữ cái cuối: kết cấu vỏ.
- Các dấu "x" là tập hợp từ 0 đến 999, cho biết chức năng logic của IC.
- Ví dụ: SN 74 LS 00.

2.4.3 Đóng vỏ IC

- 3 Phương pháp: T05, đóng vỏ dạng hộp, DIP (hai hàng chân song song).

2.4.3 Đóng vỏ IC

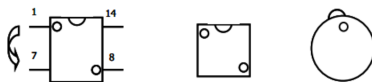
- 3 Phương pháp: T05, đóng vỏ dạng hộp, DIP (hai hàng chân song song).
- DIP: phổ biến nhất, dễ lắp ráp và sử dụng. Thường hay gặp: SSI(6, 14, 16 chân), MSI (14, 16, 24 chân), LSI (24, 28, 40 chân).

2.4.3 Đóng vỏ IC

- 3 Phương pháp: T05, đóng vỏ dạng hộp, DIP (hai hàng chân song song).
- DIP: phổ biến nhất, dễ lắp ráp và sử dụng. Thường hay gặp: SSI(6, 14, 16 chân), MSI (14, 16, 24 chân), LSI (24, 28, 40 chân).
- Loại IC phổ biến nhất là hình chữ nhật, hình vuông hoặc hình tròn.

2.4.3 Đóng vỏ IC

- 3 Phương pháp: T05, đóng vỏ dạng hộp, DIP (hai hàng chân song song).
- DIP: phổ biến nhất, dễ lắp ráp và sử dụng. Thường hay gặp: SSI(6, 14, 16 chân), MSI (14, 16, 24 chân), LSI (24, 28, 40 chân).
- Loại IC phổ biến nhất là hình chữ nhật, hình vuông hoặc hình tròn.

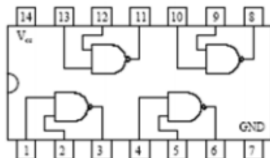


Hình : Kiểu hình dạng IC.

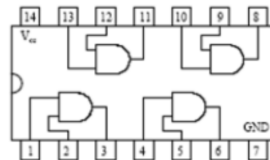
2.4.4 Sơ đồ chân một số IC TTL

2.4.4 Sơ đồ chân một số IC TTL

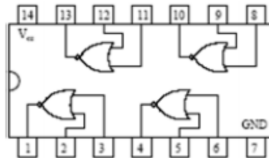
74LS00
NAND



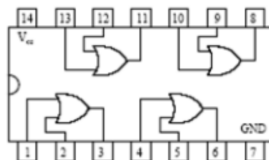
74LS08
AND



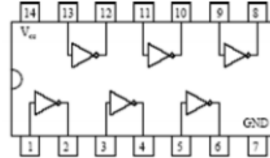
74LS02
NOR



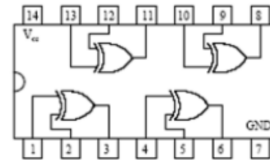
74LS32
OR



74LS04
NOT



74LS86
XOR



Hình : Kiểu hình dạng IC.